

龙芯 2E 处理器数据手册

中国科学院计算技术研究所

意法半导体公司

2006 年 9 月

目录

目录.....	I
图目录.....	III
表目录.....	IV
一 龙芯 2E处理器介绍.....	1
二 龙芯 2E处理器接口信号描述.....	3
2.1 系统接口信号框图.....	3
2.2 系统总线接口信号组成.....	4
2.3 DDR SDRAM接口信号组成.....	4
2.4 初始化信号.....	5
2.5 中断信号.....	6
2.6 JTAG信号.....	6
2.7 测试以及控制信号.....	7
2.8 时钟信号.....	7
2.9 电源和地.....	8
三 系统总线协议描述.....	9
3.1 系统接口部件结构特征描述.....	9
3.2 Master 和Slave状态.....	9
3.3 系统接口连接方式.....	9
3.4 系统总线请求类型和响应类型.....	12
3.4.1 处理器请求.....	12
3.4.2 外部设备响应.....	12
3.4.3 外部设备请求.....	12
3.4.4 处理器响应.....	13
3.5 系统接口的buffer管理.....	13
3.5.1 总线请求管理缓冲.....	13
3.5.2 处理器读/写请求缓冲.....	13
3.5.3 外部读/写请求缓冲.....	14
3.5.4 处理器对外部读请求的数据响应缓冲.....	14
3.5.5 外部设备对处理器读请求的数据响应缓冲.....	14
3.6 系统总线数据传输流控制.....	14
3.7 系统总线信号编码格式.....	15
3.8 Sysstate 以及Sysresp信号组的意义以及信号格式:	16
3.9 中断处理.....	16
3.10 系统总线仲裁.....	17
3.10.1 总线仲裁规则.....	17
3.10.2 单处理器环境下总线仲裁协议.....	17
3.10.3 多处理器环境下总线仲裁协议.....	18
3.11 系统总线请求和响应协议.....	19
3.11.1 处理器读操作协议.....	19
3.11.2 处理器写操作协议.....	21
3.11.3 外部设备读操作协议.....	24

3.11.4 外部设备写操作协议.....	25
3.11.5 处理器对外部设备的读操作数据响应协议.....	27
3.11.6 外部设备对处理器的读操作数据响应协议.....	28
四 DDR SDRAM控制接口描述	30
4.1 DDR SDRAM控制器功能概述.....	30
4.2 DDR SDRAM读操作协议.....	31
4.3 DDR SDRAM写操作协议.....	31
4.4 DDR SDRAM参数配置格式.....	32
4.5 DDR SDRAM采样模式的配置.....	33
五 龙芯 2E芯片初始化过程.....	36
5.1 上电复位过程.....	36
5.2 冷复位过程.....	37
5.3 热复位过程.....	38
5.4 处理器复位后的状态.....	38
六 电气特性.....	39
6.1 绝对最大额定值.....	39
6.2 推荐工作条件.....	39
6.3 直流电气特性.....	40
6.4 交流电气特性.....	41
6.5 功耗特性.....	42
七 热特性.....	43
7.1 热阻系数.....	43
7.2 回流焊温度曲线.....	43
八 引脚排列和封装.....	45
8.1 龙芯 2E处理器引脚排列.....	45
8.2 龙芯 2E处理器封装尺寸.....	48

图目录

图 2-1 龙芯 2E处理器接口信号框图.....	3
图 3-1 龙芯 2E单处理器系统连接示意图.....	10
图 3-2 龙芯 2E多处理器系统连接示意图.....	11
图 3-3 单处理器环境下，处理器与套片的连接	17
图 3-4 单处理器环境下系统总线使用权仲裁协议	18
图 3-5 多处理器环境下，处理器与套片的连接	18
图 3-6 多处理器环境下系统总线使用权仲裁协议	19
图 3-7 处理器读操作协议在系统总线上的地址周期	21
图 3-8 处理器块写操作协议在系统总线上的传输	23
图 3-9 处理器非块写操作协议在系统总线上的传输	23
图 3-10 外部设备读操作协议在系统总线上的地址周期	25
图 3-11 外部设备块写操作协议在系统总线上的传输	27
图 3-12 处理器数据响应协议	28
图 3-13 外部设备对处理器读操作的数据响应	29
图 4-1 DDR SDRAM读操作协议.....	31
图 4-2 DDR SDRAM写操作协议.....	31
图 4-3 DDR SDRAM工作频率和处理器工作频率比例为 1：10 时的采样模式	34
图 5-1 上电复位时序图	37
图 5-2 冷复位时序图	38
图 5-3 热复位时序图	38
图 7-1 回流焊温度曲线	43
图 8-1 龙芯 2E处理器引脚排列图(左边部分)	46
图 8-2 龙芯 2E处理器引脚排列图(右边部分).....	47
图 8-3 顶视角度	48
图 8-4 底视角度	49
图 8-5 侧视角度	49

表目录

表 2-1 系统总线信号列表	4
表 2-2 DDR SDRAM控制接口信号列表.....	5
表 2-3 初始化接口信号	5
表 2-4 中断接口信号	6
表 2-5 JTAG接口信号.....	6
表 2-6 时钟相关信号	7
表 2-7 处理器内外频配置表	7
表 2-8 DDR分频控制系数表.....	8
表 2-9 电源和地信号	8
表 3-1 Syscmd[11:0]编码标识.....	15
表 3-2 SysCmd[2:0]与读操作字节数对应关系.....	20
表 3-3 SysCmd[2:0]与写操作字节数对应关系.....	22
表 3-4 SysCmd[4:3]与写操作字节数对应关系.....	22
表 3-5 SysCmd[2:0]与读操作字节数对应关系.....	24
表 3-6 SysCmd[2:0]与写操作字节数对应关系.....	26
表 3-7 SysCmd[4:3]与写操作字节数对应关系.....	26
表 3-8 SysCmd[2:0]与读操作字节数对应关系.....	27
表 3-9 SysCmd[4:3]与读操作字节数对应关系.....	29
表 4-1 DDR SDRAM控制器所支持的DDR SDRAM芯片类型	30
表 4-2 DDR SDRAM配置参数寄存器格式.....	32
表 4-3 采样点寄存器表	34
表 6-1 绝对最大额定值	39
表 6-2 推荐工作温度、电压和频率	39
表 6-3 直流电气特性	40
表 6-4 直流电气特性(JTAG)	40
表 6-5 时钟参数特性	41
(测试条件: SysClk=100MHz, CoreClk=400MHz)	41
表 6-6 输入建立和保持时间	41
(测试条件: SysClk=100MHz, CoreClk=400MHz)	41
表 6-7 输出延迟时间	42
(测试条件: SysClk=100MHz)	42
表 6-8 JTAG参数特性.....	42
(测试条件: TCK=100MHz)	42
表 6-9 功耗特性	42
(测试条件: VDD=1.2V, VDDIO=VDDM=2.5V, SysClk=100MHz, CPU主频=400MHz)	42
表 7-1 功耗特性 θ_{JA}	43
表 7-2 回流焊温度曲线参数	44
表 8-1 龙芯 2E处理器HSBGA452 封装尺寸	50

一 龙芯 2E 处理器介绍

龙芯处理器主要包括三个系列。龙芯 1 号处理器及其 IP 系列主要面向嵌入式应用，龙芯 2 号超标量处理器及其 IP 系列主要面向桌面应用，龙芯 3 号多核处理器系列主要面向服务器和高性能机应用。根据应用的需要，其中部分龙芯 2 号也可以面向部分高端嵌入式应用，部分低端龙芯 3 号也可以面向部分桌面应用。以后上述三个系列将并行地发展。

龙芯系列处理器通过充分开发指令级并行性、数据级并行性、以及线程级并行性来提高性能。其中龙芯 1 号系列微处理器实现了带有静态分支预测和阻塞 Cache 的单发射乱序执行流水线；龙芯 2 号系列微处理器实现了带有动态分支预测和非阻塞 Cache 的超标量四发射乱序执行流水线，龙芯 2 号系列微处理器还使用浮点数据通路复用技术实现了定点的单指令流多数据流指令；下一代的龙芯 3 号系列微处理器将实现片内多核技术。

龙芯 2E 微处理器是一款实现 64 位 MIPS III 指令集的通用 RISC 处理器。龙芯 2E 的指令流水线每个时钟周期取四条指令进行译码，并且动态地发射到五个全流水的功能部件中。虽然指令在保证依赖关系的前提下进行乱序执行，但是指令的提交还是按照程序原来的顺序，以保证精确中断和访存顺序执行。

四发射的超标量结构使得指令流水线中指令和数据相关问题十分突出，龙芯 2E 采用乱序执行技术和激进的存储系统设计来提高流水线的效率。

乱序执行技术包括寄存器重命名技术、动态调度技术和转移预测技术。寄存器重命名解决 WAR（读后写）和 WAW（写后写）相关，并用于例外和错误转移预测引起的精确现场恢复，龙芯 2E 分别通过 64 项的物理寄存器堆进行定点和浮点寄存器的重命名。动态调度根据指令操作数准备好的次序而不是指令在程序中出现的次序来执行指令，减少了 RAW（写后读）相关引起的阻塞，龙芯 2E 有一个 16 项的定点保留站和一个 16 项的浮点保留站用于乱序发射，并通过一个 64 项的 Reorder 队列（简称 ROQ）实现乱序执行的指令按照程序的次序提交。转移预测通过预测转移指令是否成功跳转来减少由于控制相关引起的阻塞，龙芯 2E 使用 16 项的转移目标地址缓冲器（Branch Target Buffer，简称 BTB），2K 项的转移历史表（Branch History Table，简称 BHT），9 位的全局历史寄存器（Global History Register，简称 GHR），和 4 项的返回地址栈（Return Address Stack，简称 RAS）进行转移预测。

龙芯 2E 先进的存储系统设计可以有效地提高流水线的效率。龙芯 2E 的一级 Cache 由 64KB 的指令 Cache 和 64KB 的数据 Cache 组成，片上二级 Cache 大小为 512KB，均采用四路组相联的结构。龙芯 2E 处理器内部集成了遵守

JESD79C 标准的 DDR 控制器，加快了处理器访问内存的速度。龙芯 2E 的 TLB 有 64 项，采用全相联结构，每项可以映射一个奇页和一个偶页。龙芯 2E 通过 24 项的访存队列以及 8 项的访存失效队列(Miss Queue)来动态地解决地址依赖，实现访存操作的乱序执行、非阻塞 Cache、取数指令猜测执行(Load Speculation)、写合并(Store Fill Buffer)等访存优化技术。

龙芯 2E 有两个定点功能部件和两个浮点功能部件。浮点部件通过浮点指令的 `fmt` 域的扩展可以执行 32 位和 64 位的定点指令，以及 8 位和 16 位的用于媒体加速的 SIMD 指令。

龙芯 2E 处理器采用 90nm 的 CMOS 工艺实现，布线层为七层铜金属，芯片晶体管数目为 4700 万，芯片面积 6800 微米×5200 微米，最高工作频率为 1GHz，典型工作频率为 800MHz，实测功耗为 5-7 瓦。龙芯 2E 单精度峰值浮点运算速度为 80 亿次/秒，双精度浮点运算速度为 40 亿次/秒，在 1GHz 主频下 SPEC CPU2000 的实测分值达到 500 分，综合性能已经达到高端奔腾 III 处理器以及中低端奔腾 IV 处理器的水平。芯片样机能运行完整的 64 位中文 Linux 操作系统，全功能的 Mozilla 浏览器、多媒体播放器和 OpenOffice 办公套件等复杂软件。

二 龙芯 2E 处理器接口信号描述

2.1 系统接口信号框图

图 2-1 为龙芯 2E 处理器接口信号框图，箭头的方向表示信号的类型：输入、输出或者双向信号。

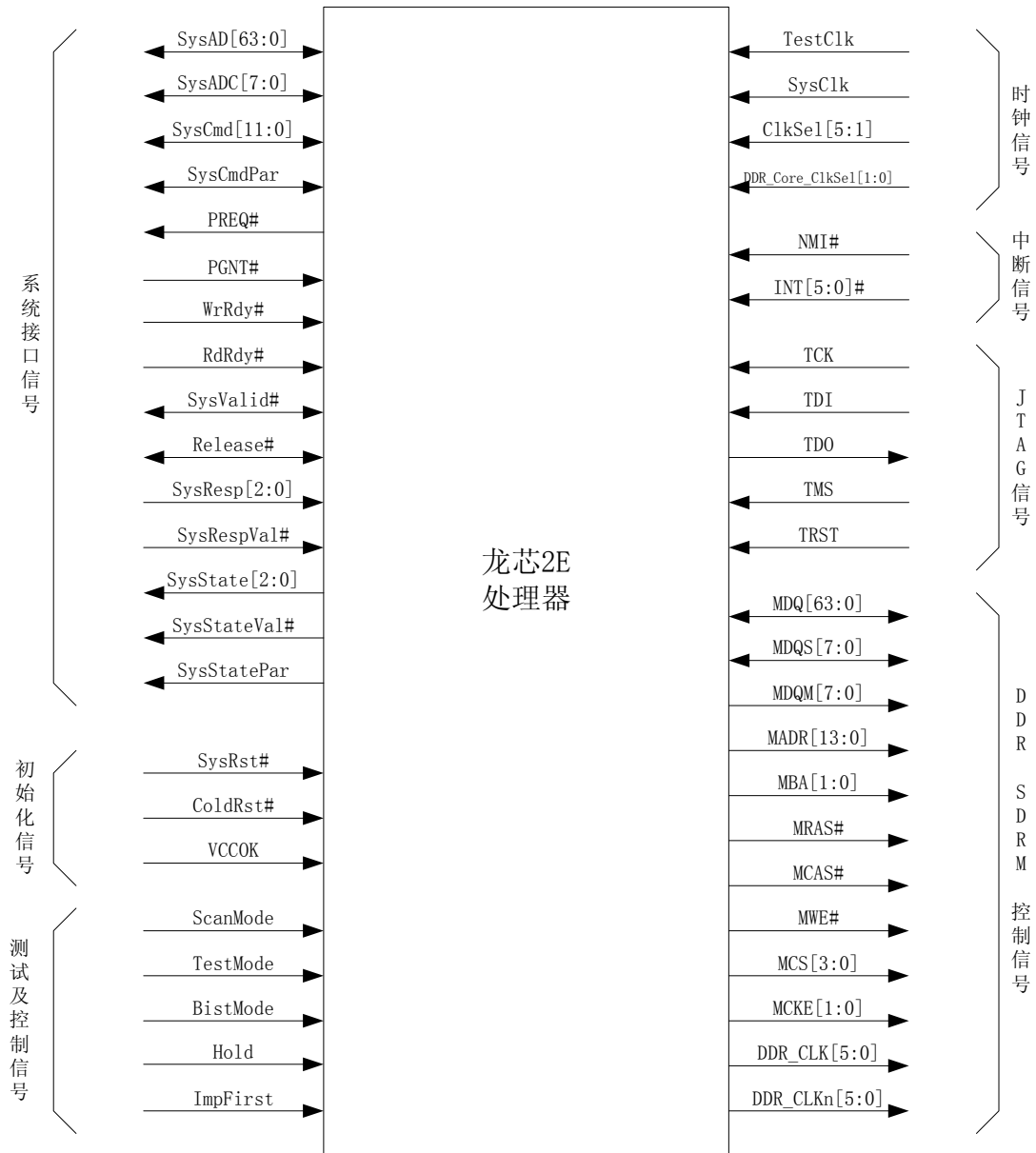


图 2-1 龙芯 2E 处理器接口信号框图

2.2 系统总线接口信号组成

龙芯 2E 处理器系统总线信号组成如下：

- 64 位双向系统地址数据总线
- 12 位双向命令数据标识总线
- 3 位总线仲裁信号
- 1 位数据传输有效标识信号
- 2 位数据传输流控制信号
- 5 位针对外部写操作请求号释放信号（含有效位）
- 4 位全局写请求号释放信号（含有效位）

龙芯 2E 处理器系统总线信号如表 2-1 所示：

表 2-1 系统总线信号列表

信号名称	输入/输出	描述
SysAD[63:0]	I/O	系统总线地址/数据总线
SysADC[7:0]	I/O	系统总线地址/数据奇偶校验总线
SysCmd[11:0]	I/O	系统总线命令/数据标识总线
SysCmdPar	I/O	系统总线命令/数据标识奇偶校验总线
PREQ#	O	处理器请求信号
PGNT#	I	套片对处理器请求的应答信号
WrRdy#	I	写准备好信号
RdRdy#	I	读准备好信号
SysValid#	I/O	系统总线传输有效标识信号
Release#	I/O	系统总线释放信号
SysResp[2:0]	I	套片对写操作的请求号释放
SysRespVal#	I	套片对写操作的请求号释放有效标识
SysState[2:0]	O	处理器对外部写操作的请求号的释放
SysStateVal#	O	处理器对外部写操作的请求号释放的有效标识
SysStatePar	O	处理器释放外部写操作的请求号的奇偶校验标识

2.3 DDR SDRAM 接口信号组成

龙芯 2E 处理器内部集成的内存控制器的信号完全遵守 DDR SDRAM 的行业标准（JESD79C）。这些信号组成如下：

- 64 位双向数据总线
- 8 位双向数据选通信号
- 8 位数据掩码信号
- 14 位地址总线

- 6 位 bank 以及芯片片选信号
- 10 位差分时钟信号
- 2 位时钟使能信号
- 3 位命令总线

龙芯 2E 处理器 DDR SDRAM 控制信号如表 2-2 所示：

表 2-2 DDR SDRAM 控制接口信号列表

信号名称	输入/输出	描述
MDQ[63:0]	IO	DDR SDRAM 数据总线
MDQS[7:0]	IO	DDR SDRAM 数据选通信号
MDQM[7:0]	O	DDR SDRAM 数据掩码信号
MADR[13:0]	O	DDR SDRAM 地址总线
MBA[1:0]	O	DDR SDRAM Bank 地址信号
MWE#	O	DDR SDRAM 写使能
MCAS#	O	DDR SDRAM 列选使能
MRAS#	O	DDR SDRAM 行选使能
MCS[3:0]#	O	DDR SDRAM 芯片选择
MCKE[1:0]	O	DDR SDRAM 时钟使能
DDR_CLK[5:0]	O	DDR SDRAM 正相时钟输出
DDR_CLKn[5:0]	O	DDR SDRAM 反相时钟输出

2.4 初始化信号

表 2-3 列出了初始化接口信号的名称、定义、方向并对其进行描述。

表 2-3 初始化接口信号

信号名称	输入/输出	描述
VccOK	I	当供电电源已经提供了 100ms 的大于 90% 标准电压值的电压, 并且输入时钟稳定的输入了 100ms 后, VccOK 被置为有效。 VccOK 的有效初始化处理器基础操作模式的配置。
ColdRst#	I	开机复位或冷复位时被置为有效。
SysRst#	I	对于任意复位方式外部设备都置 SysRst# 有效, 当冷复位时此信号的有效可以同步或异步于 SysClk , 当热复位时此信号的有效必须同步于 SysClk , SysRst# 的无效必须同步于 SysClk 。

龙芯 2E 处理器有三种复位信号：**VccOK**，**ColdRst#**和 **SysRst#**。

- **VccOK**：外部设备置 **VccOK** 有效，向处理器表明下面的电压参数已满足，处理器开始读芯片内部的 ROM，配置所有基础操作模式。
 1. 标准为+3.3V 的供电电源（VccIO）已经提供了 100ms 的大于 3.0V 的电压。

2. 标准为+1.8V 的供电电源（VccInt）已经提供了 100ms 的大于 1.62V 的电压。
 3. 标准为+3.3V 的供电电源（VccIOP）已经提供了 100ms 的大于 3.0V 的电压。
 4. 标准为+1.8V 的供电电源（VccIntP）已经提供了 100ms 的大于 1.62V 的电压。
- **ColdRst#**: 上电复位或冷复位时外部设备置 **ColdRst#**有效, **ColdRst#**的无效必须同步于 **SysClk**。
 - **SysRst#**: 对于任意复位方式外部设备都置 **SysRst#**有效, 当冷复位时此信号的有效可以同步或异步于 **SysClk**, 当热复位时此信号的有效必须同步于 **SysClk**, **SysRst** 的无效必须同步于 **SysClk**。

2.5 中断信号

龙芯 2E 处理器支持 6 个外部中断和 1 个不可屏蔽中断。这些中断可以由外部写请求或分布的中断管脚引起, 这些管脚的信号在时钟上升沿被处理器内部锁存器锁存。中断产生时, 处理器进行例外处理。表 2-4 列出了中断接口信号的名称、定义、方向并对其进行描述。

表 2-4 中断接口信号

信号名称	输入/输出	描述
Int#[5..0]	I	6 个外部中断, 这些信号同中断寄存器的各位分别进行或操作
NMI#	I	非屏蔽中断, 此信号的非值同中断寄存器的第 6 位进行或操作

2.6 JTAG 信号

龙芯 2E 处理器提供同 JTAG 规范一致的边界扫描接口, JTAG 接口特别有益于检测处理器管脚的连接完整性。表 2-5 列出了 JTAG 接口信号的名称、定义、方向并对其进行描述。

表 2-5 JTAG 接口信号

信号名称	输入/输出	描述
TDI	I	JTAG 串行扫描数据输入
TDO	O	JTAG 串行扫描数据输出
TMS	I	JTAG 命令, 表明进入的串行数据为命令信号
TCK	I	JTAG 串行扫描时钟
TRST#	I	当 TRST# 引脚无效时, 将复位 JTAG 控制器状态机

2.7 测试以及控制信号

龙芯 2E 处理器中，测试信号（ScanMode、TestMode、BistMode、Hold 等）仅用于芯片物理测试，如扫描链测试等。当芯片正常工作时，这些信号置为无效（均为 1）。ImpFirst 信号用于选择读操作数据返回是否为关键字优先，在目前的设计中，默认为关键字优先，即 ImpFirst 为 1。

2.8 时钟信号

在龙芯 2E 处理器中，与时钟相关的信号见表 2-6。系统输入时钟信号只有一个即 SysClk，TestClk 仅在芯片测试时使用。处理器内核的时钟由 SysClk 由 PLL 生成，处理器内核时钟与 SysClk 的倍频关系由 ClkSel 信号来决定，具体的倍频关系见表 2-7。

龙芯 2E 处理器对 DDR SDRAM 的输出工作时钟是由处理器内核时钟分频生成，具体的分频控制是由 DDR_Core_ClkSel 信号来控制，具体分频关系见表 2-8。

表 2-6 时钟相关信号

信号名称	输入/输出	描述
SysClk	I	系统输入时钟，提供内部 PLL 用于产生内核工作时钟。它也表示系统接口总线的工作时钟。
ClkSel[5:1]	I	PLL 倍频系统控制信号，详见表 2-7。
DDR_Core_ClkSel[1:0]	I	DDR 分频系数控制信号，详见表 2-8。

表 2-7 处理器内外频配置表

ClkSel[5:1]	倍频	输入频率范围(MHz)	ClkSel[5:1]	倍频	输入频率范围(MHz)
00000	1	ANY	00001	1.25	50~75
00010	2	50~90	00011	2.25	50~83
00100	3	50~60	00101	3.5	50
00110	4	50~90	00111	4.5	50~83
01000	5	83~133	01001	5.5	83~133
01010	6	83~133	01011	6.5	66~120
01100	7	120~133	01101	7.5	66~100
01110	8	100~133	01111	8.5	50~90
10000	9	90~133	10001	9.5	50~83

10010	10	83~133	10011	10.5	50~75
10100	11	75~133	10101	11.5	50~66
11111	12	75~133	Default	10	

表 2-8 DDR 分频控制系数表

DDR_Core_ClkSel1	DDR_Core_ClkSel0	分频系数
0	0	6
0	1	8
1	0	10
1	1	12

2.9 电源和地

在龙芯 2E 处理器中的电源和地信号见表 2-9。

表 2-9 电源和地信号

信号名称	输入/输出	描述
VDD	PWR	1.2V 处理器核电源
GND	GND	1.2V 处理器核地
VDDM_2v5	PWR	2.5V DDR 电源
GNDM_2v5	GND	2.5V DDR 地
VDDIO_2v5	PWR	2.5V IO 电源
GNDIO_2v5	GND	2.5V IO 地
VDDM_Ref	I	1.25V DDR 参考电压输入
VDD2v5_PLL	PWR	2.5V PLL 电源
GND2v5_PLL	GND	2.5V PLL 地
VDD_PLL_0	PWR	1.2V PLL 电源 0
GND_PLL_0	GND	1.2V PLL 地 0
VDD_PLL_1	PWR	1.2V PLL 电源 1
GND_PLL_1	GND	1.2V PLL 地 1
DVDD_PLL	PWR	1.2V PLL 数字电源
DGND_PLL	GND	1.2V PLL 数字地
AVDD2v5_PLL_0	PWR	2.5V PLL 模拟电源 0
AGND2v5_PLL_0	GND	2.5V PLL 模拟地 0
AVDD2v5_PLL_1	PWR	2.5V PLL 模拟电源 1
AGND2v5_PLL_1	GND	2.5V PLL 模拟地 1
GND_2v5_comp	GND	2.5V 补偿地

三 系统总线协议描述

龙芯 2E 处理器的 SYSAD 总线接口部件实现系统总线 split transaction 技术，该技术使得系统总线上多个总线处理事务可以同时被处理，因此，在一定程度上可以提高系统总线的工作效率。

3.1 系统接口部件结构特征描述

龙芯 2E 处理器系统接口部件结构特征如下：

- 处理器系统总线采用多处理器总线监听协议；
- 系统总线不支持 Cache 一致性协议的相关操作；
- 系统接口部件内部支持 PCI 设备与 DDR SDRAM 之间的 DMA 操作；
- 系统总线实现具有广播特征的写操作总线协议。

3.2 Master 和 Slave 状态

在任何时刻，系统总线接口部件都处于或者是 Master 状态或者是 Slave 状态。当处理器处于 Master 状态时，处理器来驱动系统总线信号并且允许处理器发送处理器请求到外部设备；当处理器处于 Slave 状态时，处理器不驱动系统总线信号，此时，处理器监听系统总线上的外部事务请求，并且作出相应的判断和处理。

3.3 系统接口连接方式

龙芯 2E 处理器实现多处理器之间基于监听的总线协议，既可以支持单处理器系统，又可以支持多处理器系统。

● 单处理器型连接方式

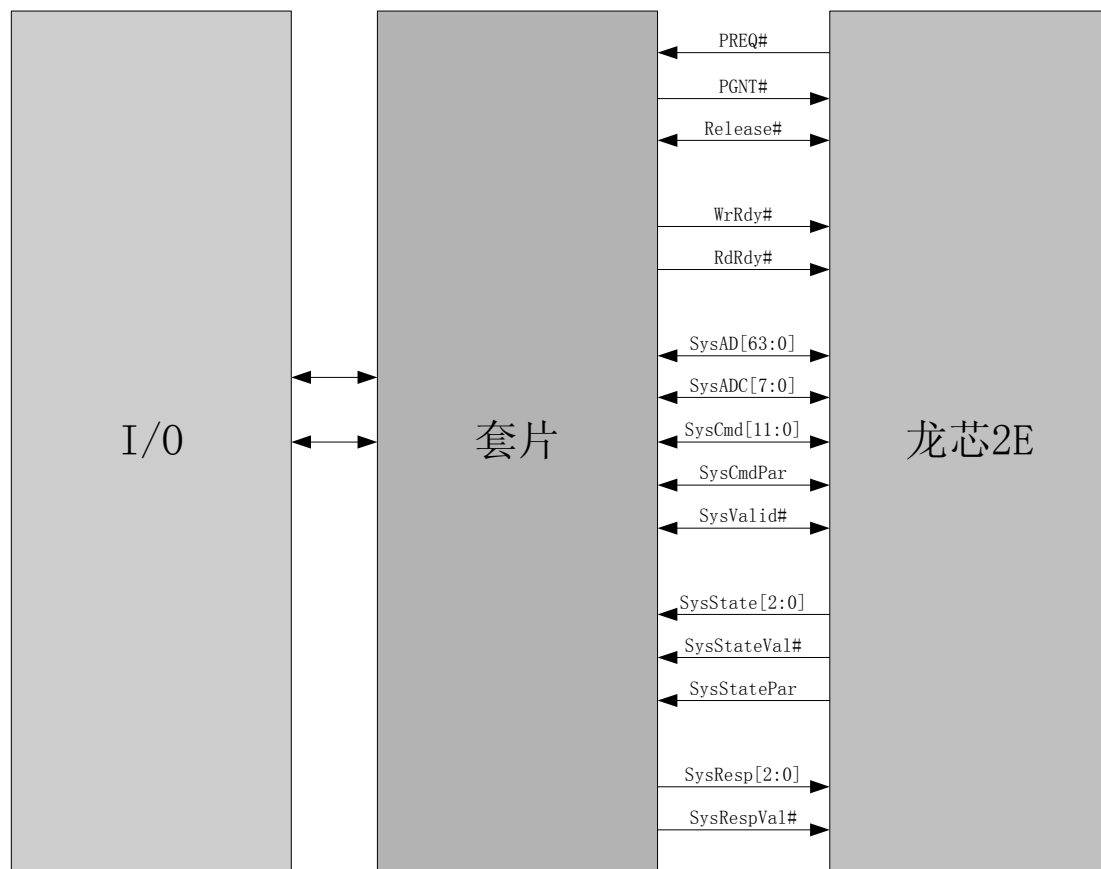


图 3-1 龙芯 2E 单处理器系统连接示意图

● 多处理器型连接方式

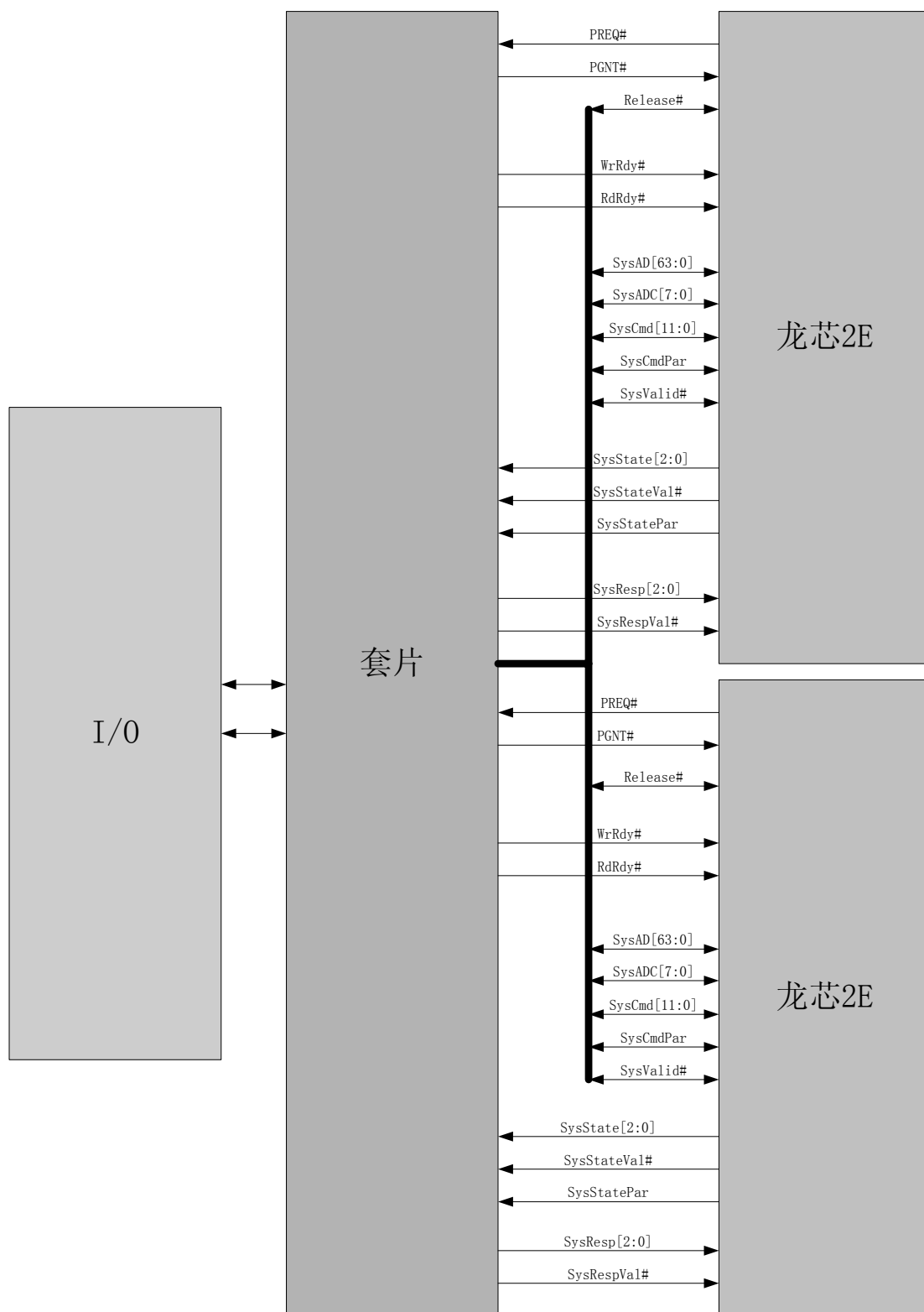


图 3-2 龙芯 2E 多处理器系统连接示意图

3.4 系统总线请求类型和响应类型

龙芯 2E 系统总线接口支持如下请求和响应：

- 处理器请求
- 外部设备响应
- 外部设备请求
- 处理器响应

3.4.1 处理器请求

系统总线上的处理器请求是由处理器内核发起的对外部设备的读/写访问操作。龙芯 2E 处理器支持以下几种处理器请求类型：

- 块读 (Block Read)
- 双字 (Double) /字 (Single) /部分字 (Partial-Word) 读请求
- 块写 (Block Write)
- 双字 (Double) /字 (Single) /部分字 (Partial-Word) 写请求

对于读操作，处理器需要外部设备给出读操作相应的数据；对于写操作，处理器需要套片给出写操作相应的请求号 (Request Number)。

3.4.2 外部设备响应

外部设备响应是针对处理器读请求的数据响应，由套片或者共享总线的另外一个处理器发起。龙芯 2E 处理器支持以下几种响应操作：

- 块 (Block) 数据响应
- 双字 (Double) /字 (Single) /部分字 (Partial-Word) 数据响应

3.4.3 外部设备请求

外部设备请求是针对处理器所管辖的内存空间的读/写请求，该请求由套片或者共享总线的另外一个处理器发起。龙芯 2E 处理器支持以下几种外部请求：

- 块读 (Block Read)
- 双字 (Double) /字 (Single) /部分字 (Partial-Word) 读请求
- 块写 (Block Write)
- 双字 (Double) /字 (Single) /部分字 (Partial-Word) 写请求

对于外部设备发起的读操作，处理器需要给出读操作相应的数据；对于外部

设备发起的写操作，处理器在完成对该写操作的内存写入以后，需要给出该写操作相应的请求号（Request Number）。

3.4.4 处理器响应

处理器响应是处理器针对外部设备读请求的数据响应。龙芯 2E 处理器支持以下几种响应操作：

- 块（Block）数据响应
- 双字（Double）/字（Single）/部分字（Partial-Word）数据响应

3.5 系统接口的 buffer 管理

为了提高系统总线的操作效率，龙芯 2E 处理器系统总线采取了 Split transaction 技术，为了实现该技术，处理器系统接口部件包含了如下 5 个缓冲：

- 总线请求管理缓冲(current_request_buffer)
- 处理器读/写请求缓冲(processor_request_buffer)
- 外部读/写请求缓冲(external_request_buffer)
- 处理器对外部读请求的数据响应缓冲(processor_response_buffer)
- 外部设备对处理器读请求的数据响应缓冲(external_response_buffer)

3.5.1 总线请求管理缓冲

总线请求管理缓冲是维护系统总线 Split transaction 的核心所在，它记录当前时刻系统总线上所存在的总线事务以及这些事务所对应的 ID（即 Request_number），处理器的任何读/写请求在发起前都需要查询该队列，在确认当前系统总线还存在可以使用的事务 ID（Request_number）时才进行系统总线使用权的申请。另外，对于共享在同一总线的所有处理器以及套片来说，事务 ID（Request_number）是全局分配的，由于龙芯 2E 处理器系统总线上最多能同时支持 8 个事务处理，因此，总线请求管理缓冲的项数为 8 项。

3.5.2 处理器读/写请求缓冲

在龙芯 2E 处理器系统接口部件中，处理器读写请求缓冲包含 8 项，即处理器接口部件中能最大缓冲 8 个处理器读/写请求。这些请求以 FIFO 的形式被处理器接口部件处理。

3.5.3 外部读/写请求缓冲

在龙芯 2E 处理器系统接口部件中，外部读写请求缓冲包含 8 项，即处理器接口部件中能最大缓冲 8 个外部读/写请求。这些请求以 FIFO 的形式被处理器接口部件处理。

3.5.4 处理器对外部读请求的数据响应缓冲

在龙芯 2E 处理器系统接口部件中，处理器对外部设备读请求的数据响应缓冲包含 8 项，即处理器接口部件中能最大缓冲 8 个处理器对外部读请求的数据响应。这些响应以 FIFO 的形式被处理器接口部件处理。

3.5.5 外部设备对处理器读请求的数据响应缓冲

在龙芯 2E 处理器系统接口部件中，外部设备对处理器读请求的数据响应缓冲包含 8 项，即处理器接口部件中能最大缓冲 8 个外部设备对处理器读请求的数据响应。这些响应以 FIFO 的形式被处理器接口部件处理。

3.6 系统总线数据传输流控制

龙芯 2E 处理器系统总线支持的最大数据传输速率是每个系统总线时钟周期传输一个双字的数据。对于套片来说，有时来不及处理处理器的请求，因此，引入一种数据传输流控制机制。

在龙芯 2E 的系统总线设计中，数据传输流的控制是通过 **WrRdy** 和 **RdRdy** 来实现的。

龙芯 2E 处理器只有以下条件满足时才能发起系统总线读操作：

- 系统总线处于主设备(Master)状态
- **RdRdy** 在两个系统总线时钟周期以前有效
- 系统总线上有空闲的事务 ID (request_number)

龙芯 2E 处理器只有以下条件满足时才能发起系统总线写操作：

- 系统总线处于主设备(Master)状态
- **WrRdy** 在两个系统总线时钟周期以前有效
- 系统总线上有空闲的事务 ID (request_number)

由于处理器对外部设备的读请求的数据响应不需要额外的事务 ID (request_number)，因此，当以下条件满足时，处理器就可以向系统总线上发送

数据响应:

- 系统总线处于主设备(Master)状态
- WrRdy 在两个系统总线时钟周期以前有效

3.7 系统总线信号编码格式

在龙芯 2E 系统总线设计中, SysAD 仅用于数据传输, 没有特定的标识意义, 对于总线命令的定义只在 SysCmd 中体现, 其中, SysCmd 信号组中各位的定义如表 3-1 所示。

表 3-1 Syscmd[11:0]编码标识

总线周期类别	命令类别	Syscmd[11:0]中各位的意义										
		11	10	9	8	7	6	5	4	3	2	1
处理器地址周期	块读	0	Request_number		0	X	0	X		Data_size		
	非块读	0	Request_number		0	X	1	X		Data_size		
	块写	0	Request_number		1	X	0	X		Data_size		
	非块写	0	Request_number		1	X	1	X		Data_size		
处理器数据周期	非块写	1	Request_number		X	X	X	Data_type		X		
	块写	1	Request_number		X	X	X	Data_type		X		
	数据响应	1	Request_number		X	0/1	X	Data_type		X		
外部地址周期	块读	0	Request_number		0	X	0	X		Data_size		
	非块读	0	Request_number		0	X	1	X		Data_size		
	块写	0	Request_number		1	X	0	X		Data_size		
	非块写	0	Request_number		1	X	1	X		Data_size		
外部数据周期	非块写	1	Request_number		X	X	X	Data_type		X		
	块写	1	Request_number		X	X	X	Data_type		X		
	数据响应	1	Request_number		X	0/1	X	Data_type		X		

其中:

- 1、外部信号周期和处理器信号周期中的命令格式完全一致;
- 2、Request_number 与 MIPS R10000 中的 Request_number 的意义一样, 只是在系统总线写操作命令中也包含 Request number;
- 3、X 表示无意义;
- 4、在数据响应周期, Syscmd[6]标识对应于读操作的数据返回是否正确, 即 bus error 信号。其中, Syscmd[6]=0: 表示数据是正确的; Syscmd[6]=1: 表示数据是不正确的。该信号主要用于处理器所发出的无效读请求的响应标识。

5、Data_type 标识数据是与写操作对应还是与读操作的数据返回对应，并且还用来标识是否是最后一个数据。

Data_type = 2'b00 : 写请求对应数据，且不是最后一个数据；

Data_type = 2'b01 : 读请求对应数据，且不是最后一个数据；

Data_type = 2'b10 : 写请求对应数据，而且是最后一个数据；

Data_type = 2'b11 : 读请求对应数据，而且是最后一个数据。

6、Data_size 标识读写操作对应的数据大小。

Data_size = 3'b000 : 一字节；

Data_size = 3'b001 : 二字节；

Data_size = 3'b010 : 三字节；

Data_size = 3'b011 : 四字节；

Data_size = 3'b100 : 五字节；

Data_size = 3'b101 : 六字节；

Data_size = 3'b110 : 七字节；

Data_size = 3'b111 : 八字节。

3.8 Sysstate 以及 Sysresp 信号组的意义以及信号格式:

龙芯 2E 处理器设计中，Sysstate 信号组用来实现处理器对外部写操作对应的 request number 的释放；Sysresp 信号组用来通知处理器一个 request number 被释放。

Sysstate 信号组由写操作对应的处理器完成对该写操作的处理时给出，该信号组直接与套片相连，sysstateval 信号低电平标识有效，Sysstate[2:0] = request_number。

Sysresp 信号组由套片接收到有效的 Sysstate 信号组后给出，sysrespeval 信号低电平标识有效，Sysresp[2:0] = request_number。

3.9 中断处理

为了与龙芯 2D 及以前版本处理器以及相应系统软件的兼容，在龙芯 2E 设计中，中断依然采用套片通过专用的中断信号来向处理器发起中断请求。

处理器间的中断的处理方法是：中断发起方通过写套片的特定中断寄存器，套片接收到相应的中断发送请求以后，向中断目标处理器发起中断请求。处理器对中断的处理与龙芯 2D 以前版本处理器对中断的处理相同。

3.10 系统总线仲裁

龙芯 2E 处理器的系统总线使用权的仲裁是由外于处理器之外的套片实现。仲裁协议对于单处理器环境以及多处理器环境是相同的。系统总线使用权的仲裁是由 Preq、Pgnt 以及 Release 这三个信号来实现的。

3.10.1 总线仲裁规则

系统总线仲裁遵守如下规则：

- 如果当前处理器处于从设备状态（Slave State），此时，一个处理器请求或者数据响应已经准备好，并且系统总线资源有空闲（即：系统总线上有空闲的事务 ID（Request Number）；对于读操作来说，RdRdy 有效；对于写操作来说，WrRdy 有效，等等），这样，处理器就发出有效的 Preq 信号（该信号成为低电平），如果上述情况不满足，处理器将不会发出有效的 Preq 信号；
- 处理器等待有效的 Pgnt 信号（Pgnt 为低电平）；
- 当处理器发现套片插入有效的 Pgnt 信号以后，隔两个系统总线时钟周期，处理器将 Preq 置为高电平，即获得系统总线使用权以后，不再申请系统总线使用权；
- 在处理器观察到外部设备插入有效的 Release 信号以后，隔两个系统总线时钟周期，处理器进入主设备状态（Master State）；
- 一旦处理器进入主设备状态（Master State），除非处理器观察到套片将其 Pgnt 信号置为无效（高电平），否则，处理器一直处于主设备状态；
- 当发现套片将其 Pgnt 信号置为无效（高电平），处理器在完成当前总线事务以后，立即发出有效的 Release 信号（低电平有效），处理器处于从设备状态（Slave State）。

3.10.2 单处理器环境下总线仲裁协议

下图给出了单处理器环境下处理器与套片的连接。

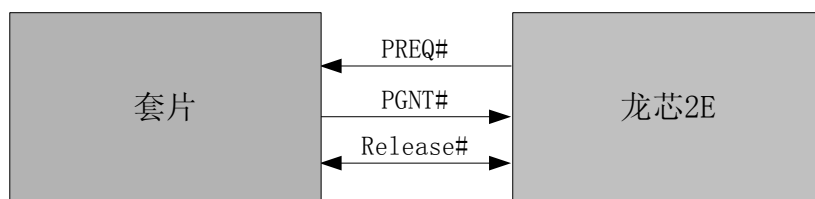


图 3-3 单处理器环境下，处理器与套片的连接

图 3-4 给出了单处理器环境下系统总线使用权仲裁协议。其中，P0 代表当前处理器处于主设备状态（Master State），EA 代表外部设备处于主设备状态，BR 代表块读（Block Read），SR 代表单字读（Single Word Read），RD 代表读响应数据（Response Data），RLD 代表对应于块读请求的最后一个双字响应（Response Last Data）。

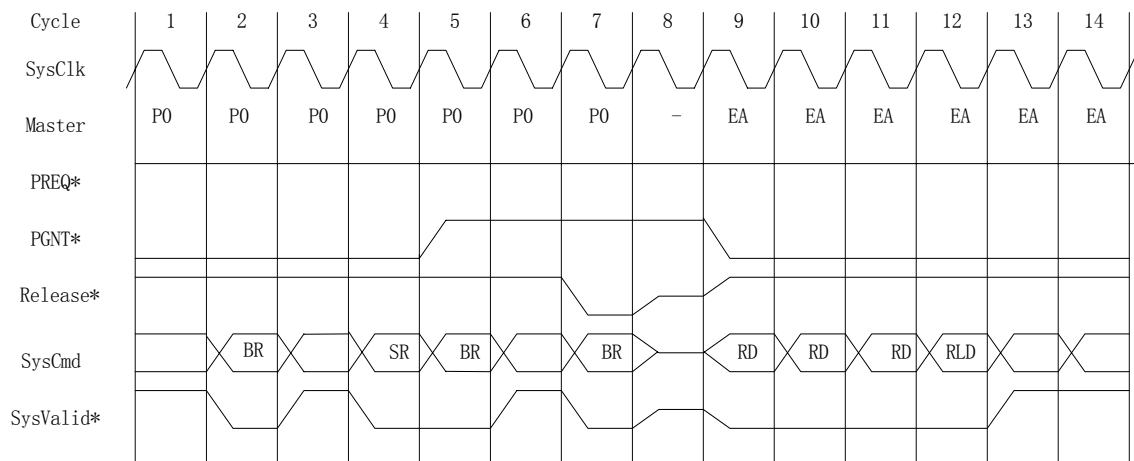


图 3-4 单处理器环境下系统总线使用权仲裁协议

3.10.3 多处理器环境下总线仲裁协议

下图给出了多处理器环境下处理器与套片的连接。

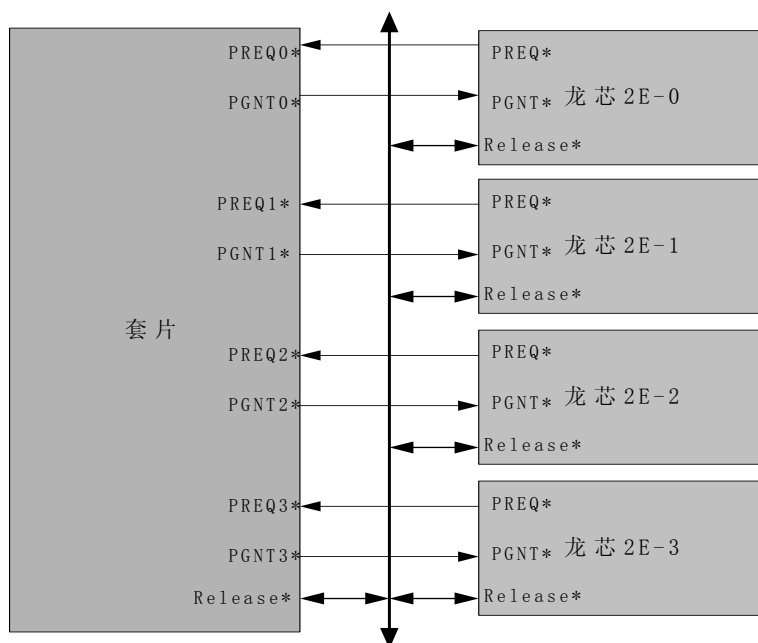


图 3-5 多处理器环境下，处理器与套片的连接

图 3-6 给出了多处理器环境下系统总线使用权仲裁协议。其中，P0 代表当前 0 号处理器处于主设备状态 (Master State)，P1 代表当前 1 号处理器处于主设备状态 (Master State)，P2 代表当前 2 号处理器处于主设备状态 (Master State)，EA 代表外部设备处于主设备状态，BR 代表块读 (Block Read)，SR 代表单字读 (Single Word Read)。

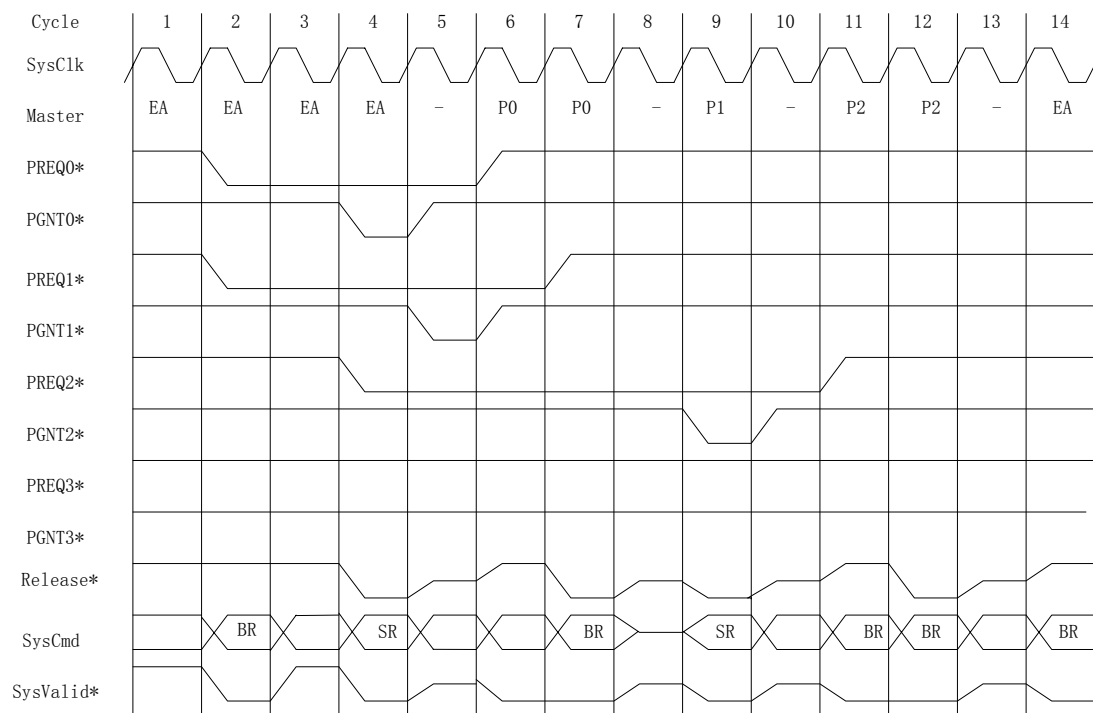


图 3-6 多处理器环境下系统总线使用权仲裁协议

3.11 系统总线请求和响应协议

龙芯 2E 系统总线接口部件所支持的总线请求和响应包括：处理器请求，外部设备响应，外部设备请求，处理器响应一共四种类型，其中处理器请求又包括：处理器读请求、处理器写请求；外部设备请求包括：外部设备读请求、外部设备写请求。

3.11.1 处理器读操作协议

龙芯 2E 处理器系统总线读操作分为：块读 (Block Read) 和双字 (Double) /字 (Single) /部分字 (Partial-Word) 读请求，共两类读请求。无论是块读还是双字/字/部分字读请求，都是由地址周期和数据周期组成的。

处理器在如下条件满足的情况下可以发出系统总线读操作：

- 处理器系统接口处于主设备状态 (Master State);
- 系统总线上有空闲的事务 ID (Request Number);
- 读准备好信号 (RdRdy) 有效

在处理器系统总线读操作地址周期, 处理器系统总线上的操作如下:

- 将系统命令总线的最高位 (SysCmd[11]) 置低, 标识地址周期;
- 在系统命令总线的第 10~第 8 位 (SysCmd[10:8]) 上发出当前读操作对应的事务 ID (即 Request Number);
- 将系统命令总线的第 7 位 (SysCmd[7]) 置低, 标识当前系统总线操作为读操作;
- 对于块读, 将系统命令总线的第 5 位 (SysCmd[5]) 置低; 对于非块读, 将系统命令总线的第 5 位 (SysCmd[5]) 置高;
- 对于非块读, 将系统命令总线的第 2~第 0 位 (SysCmd[2:0]) 置为读操作对应的字节数。其中, SysCmd[2:0]与读操作字节数对应关系见表 3-2;
- 在系统地址/数据总线 (SysAD) 上发出读操作对应的地址;
- 将 SysValid 置低, 标识当前读操作有效。

表 3-2 SysCmd[2:0]与读操作字节数对应关系

SysCmd[2:0]	数据大小	SysCmd[2:0]	数据大小
000	单字节	001	双字节
010	三字节	011	字
100	五字节	101	六字节
110	七字节	111	双字

图 3-7 给出了处理器读操作协议在系统总线上的地址周期示意。在图中 P0 代表当前处理器 P0 是系统总线的主设备 (即: Master = P0)。在系统总线主设备为 P0 时, 系统总线上的读操作是由处理器 P0 发起的。BR 代表块读操作 (Block Read), SR 代表单个数据周期的读操作 (Single Read), 单个数据周期的读操作包括 1~8 个字节的读操作。

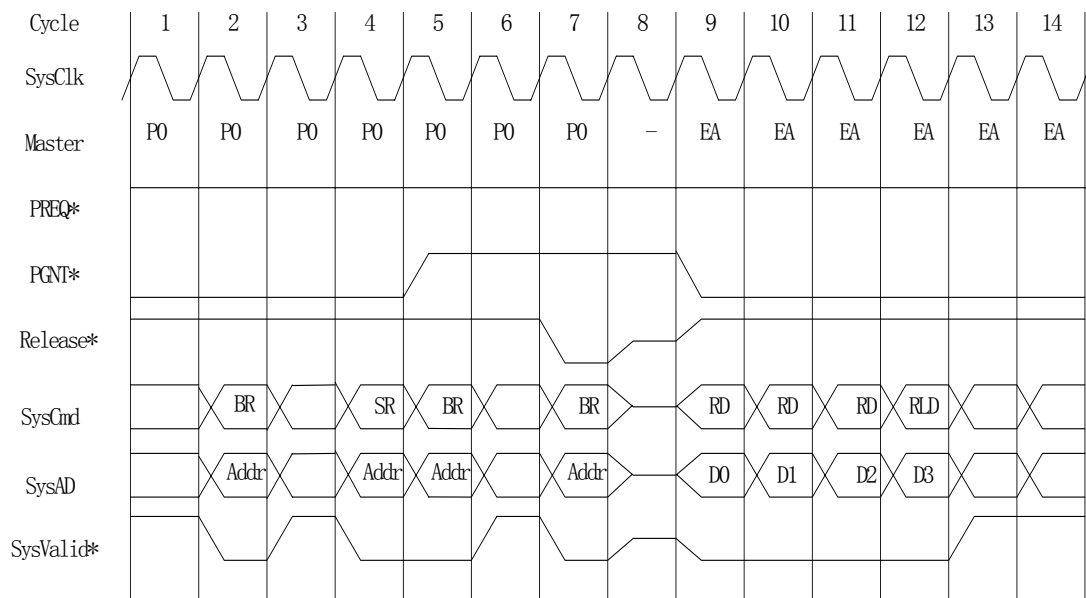


图 3-7 处理器读操作协议在系统总线上的地址周期

3.11.2 处理器写操作协议

龙芯 2E 处理器系统总线写操作分为：块写（Block Read）和双字（Double）/字（Single）/部分字（Partial-Word）写请求，共两类写请求。无论是块写还是双字/字/部分字写请求，都是由地址周期和数据周期组成的，与读操作不同，写操作的命令周期（地址周期）和数据周期是连续的。

处理器在如下条件满足的情况下可以发出系统总线写操作：

- 处理器系统接口处于主设备状态（Master State）；
- 系统总线上有空闲的事务 ID（Request Number）；
- 写准备好信号（WrRdy）有效

在处理器系统总线写操作地址周期，处理器系统总线上的操作如下：

- 将系统命令总线的最高位（SysCmd[11]）置低，标识地址周期；
- 在系统命令总线的第 10~第 8 位（SysCmd[10:8]）上发出当前写操作对应的事务 ID（即 Request Number）；
- 将系统命令总线的第 7 位（SysCmd[7]）置高，标识当前系统总线操作为写操作；
- 对于块写，将系统命令总线的第 5 位（SysCmd[5]）置低；对于非块写，将系统命令总线的第 5 位（SysCmd[5]）置高；
- 对于非块写，将系统命令总线的第 2~第 0 位（SysCmd[2:0]）置为写操作对应的字节数。其中，SysCmd[2:0]与写操作字节数对应关系见表 3-3；

- 在系统地址/数据总线（SysAD）上发出写操作对应的地址；
- 将 SysValid 置低，标识当前写操作有效。

表 3-3 SysCmd[2:0]与写操作字节数对应关系

SysCmd[2:0]	数据大小	SysCmd[2:0]	数据大小
000	单字节	001	双字节
010	三字节	011	字
100	五字节	101	六字节
110	七字节	111	双字

在处理器系统总线写操作数据周期，处理器系统总线上的操作如下：

- 将系统命令总线的最高位（SysCmd[11]）置高，标识数据周期；
- 在系统命令总线的第 4~第 3 位（SysCmd[4:3]）标识数据是与写操作对应还是与读操作的数据返回对应，并且还用来标识是否是块操作中的最后一个数据。具体标识意义见表 3-4；
- 在数据周期，数据输出有效信号（SysValid）一直置低，标识当前写数据有效。

表 3-4 SysCmd[4:3]与写操作字节数对应关系

SysCmd[4:3]	含义
00	写请求对应数据，且不是最后一个数据
01	读请求对应数据，且不是最后一个数据
10	写请求对应数据，而且是最后一个数据
11	读请求对应数据，而且是最后一个数据

图 3-8 给出了处理器块写操作协议在系统总线上的传输示意。在图中 P0 代表当前处理器 P0 是系统总线的主设备（即：Master = P0）。在系统总线主设备为 P0 时，系统总线上的读操作是由处理器 P0 发起的。BW 代表块写操作（Block Write），WD 代表块写操作对应的数据（Write Data），WLD 代表块写操作对应的最后一个数据（Write Last Data）。

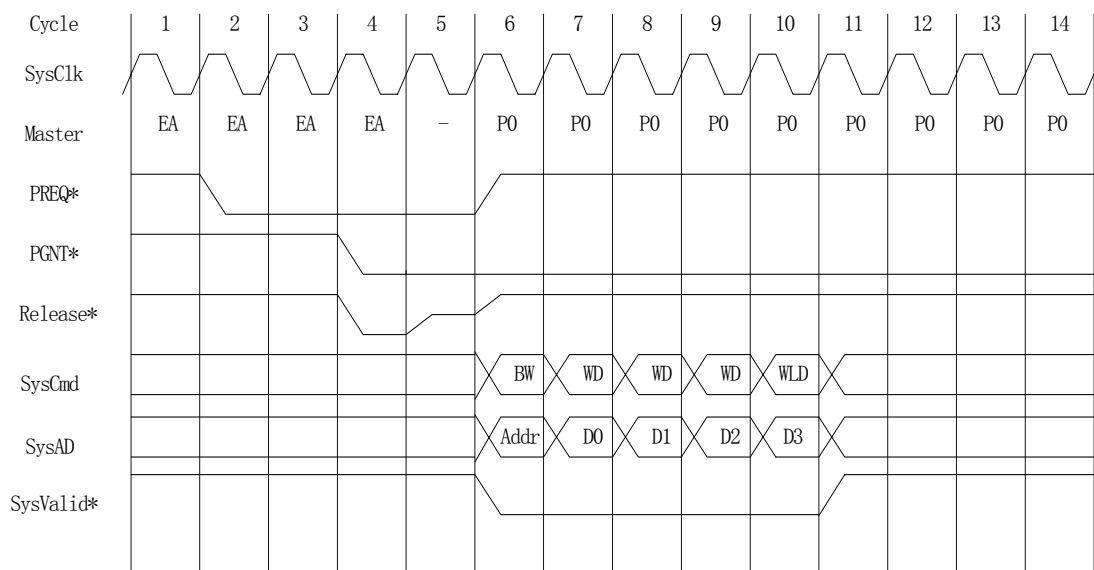


图 3-8 处理器块写操作协议在系统总线上的传输

图 3-9 给出了处理器非块写操作协议在系统总线上的传输示意。在图中 P0 代表当前处理器 P0 是系统总线的主设备（即：Master = P0）。在系统总线主设备为 P0 时，系统总线上的读操作是由处理器 P0 发起的。SW 代表非块写操作（Single Write），WLD 代表写操作对应的最后一个数据（Write Last Data）。

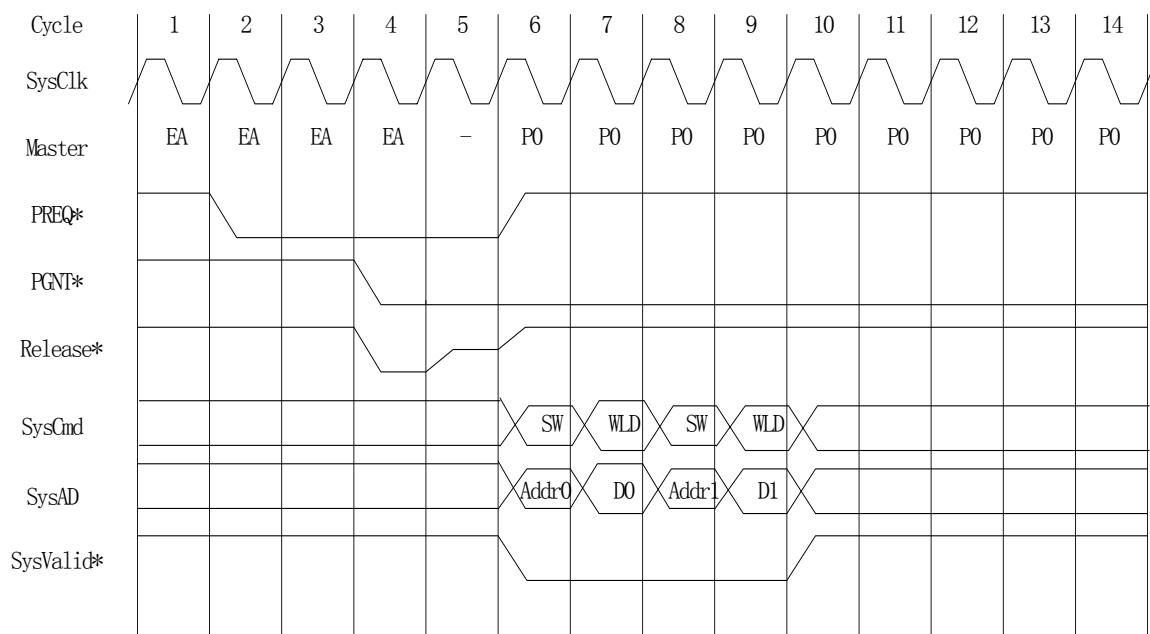


图 3-9 处理器非块写操作协议在系统总线上的传输

3.11.3 外部设备读操作协议

处理器系统总线上外部设备读操作分为：块读（Block Read）和双字（Double）/字（Single）/部分字（Partial-Word）读请求，共两类读请求。无论是块读还是双字/字/部分字读请求，都是由地址周期和数据周期组成的。

外部设备在如下条件满足的情况下可以发出系统总线读操作：

- 外部设备系统接口处于主设备状态（Master State）；
- 系统总线上有空闲的事务 ID（Request Number）；
- 读准备好信号（RdRdy）有效

在外部设备系统总线读操作地址周期，系统总线上的操作如下：

- 将系统命令总线的最高位（SysCmd[11]）置低，标识地址周期；
- 在系统命令总线的第 10～第 8 位（SysCmd[10:8]）上发出当前读操作对应的事务 ID（即 Request Number）；
- 将系统命令总线的第 7 位（SysCmd[7]）置低，标识当前系统总线操作为读操作；
- 对于块读，将系统命令总线的第 5 位（SysCmd[5]）置低；对于非块读，将系统命令总线的第 5 位（SysCmd[5]）置高；
- 对于非块读，将系统命令总线的第 2～第 0 位（SysCmd[2:0]）置为读操作对应的字节数。其中，SysCmd[2:0]与读操作字节数对应关系见表 3-5；
- 在系统地址/数据总线（SysAD）上发出读操作对应的地址；
- 将 SysValid 置低，标识当前读操作有效。

表 3-5 SysCmd[2:0]与读操作字节数对应关系

SysCmd[2:0]	数据大小	SysCmd[2:0]	数据大小
000	单字节	001	双字节
010	三字节	011	字
100	五字节	101	六字节
110	七字节	111	双字

图 3-10 给出了外部设备读操作协议在系统总线上的地址周期示意。在图中，当主设备为外部设备时（即 Master = EA 时），系统总线上传输的是外部设备的读操作。

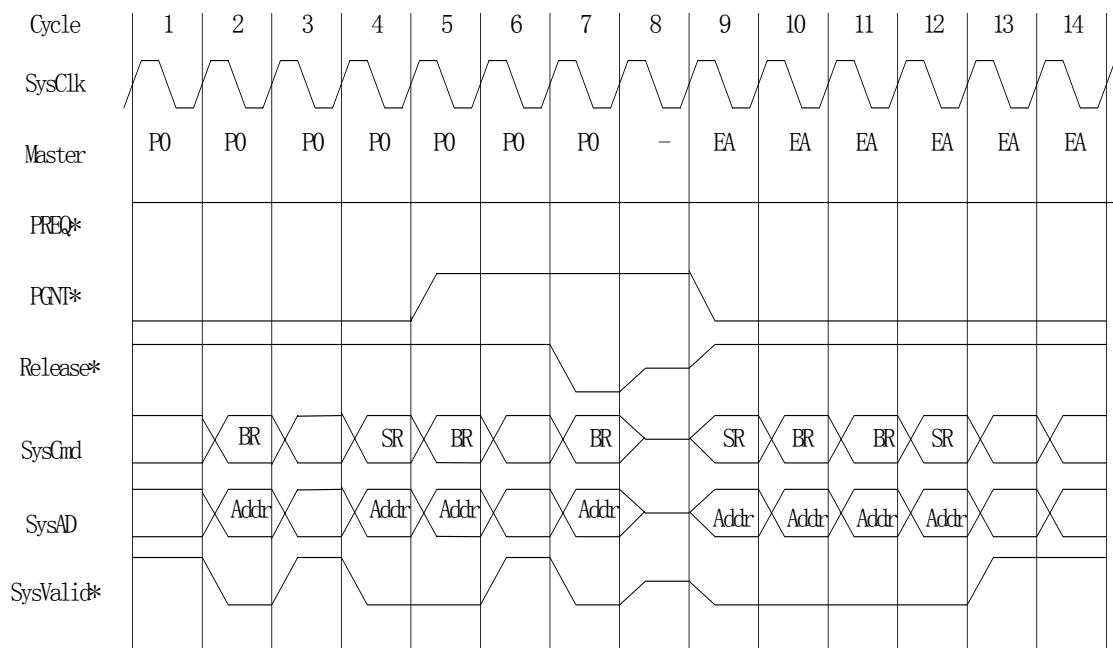


图 3-10 外部设备读操作协议在系统总线上的地址周期

3.11.4 外部设备写操作协议

处理器系统总线上外部设备写操作分为：块写（Block Read）和双字（Double）/字（Single）/部分字（Partial-Word）写请求，共两类写请求。无论是块写还是双字/字/部分字写请求，都是由地址周期和数据周期组成的，而且写操作的命令周期（地址周期）和数据周期是连续的。

外部设备在如下条件满足的情况下可以发出系统总线写操作：

- 外部设备系统接口处于主设备状态（Master State）；
- 系统总线上有空闲的事务 ID（Request Number）；
- 写准备好信号（WrRdy）有效

在外部设备系统总线写操作地址周期，系统总线上的操作如下：

- 将系统命令总线的最高位（SysCmd[11]）置低，标识地址周期；
- 在系统命令总线的第 10~第 8 位（SysCmd[10:8]）上发出当前写操作对应的事务 ID（即 Request Number）；
- 将系统命令总线的第 7 位（SysCmd[7]）置高，标识当前系统总线操作为写操作；
- 对于块写，将系统命令总线的第 5 位（SysCmd[5]）置低；对于非块写，将系统命令总线的第 5 位（SysCmd[5]）置高；

- 对于非块写，将系统命令总线的第 2~第 0 位 (SysCmd[2:0]) 置为写操作对应的字节数。其中，SysCmd[2:0]与写操作字节数对应关系见表 2-6;
- 在系统地址/数据总线 (SysAD) 上发出写操作对应的地址;
- 将 SysValid 置低，标识当前写操作有效。

表 3-6 SysCmd[2:0]与写操作字节数对应关系

SysCmd[2:0]	数据大小	SysCmd[2:0]	数据大小
000	单字节	001	双字节
010	三字节	011	字
100	五字节	101	六字节
110	七字节	111	双字

在系统总线上外部设备写操作数据周期，系统总线上的操作如下：

- 将系统命令总线的最高位 (SysCmd[11]) 置高，标识数据周期;
- 在系统命令总线的第 4~第 3 位 (SysCmd[4:3]) 标识数据是与写操作对应还是与读操作的数据返回对应，并且还用来标识是否是块操作中的最后一个数据。具体标识意义见表 2-7;
- 在数据周期，数据输出有效信号 (SysValid) 一直置低，标识当前写数据有效。

表 3-7 SysCmd[4:3]与写操作字节数对应关系

SysCmd[4:3]	含义
00	写请求对应数据，且不是最后一个数据
01	读请求对应数据，且不是最后一个数据
10	写请求对应数据，而且是最后一个数据
11	读请求对应数据，而且是最后一个数据

图 3-11 给出了外部设备块写操作协议在系统总线上的传输。在图中，当主设备为外部设备时 (即 Master = EA 时)，系统总线上传输的是外部设备的块写操作。

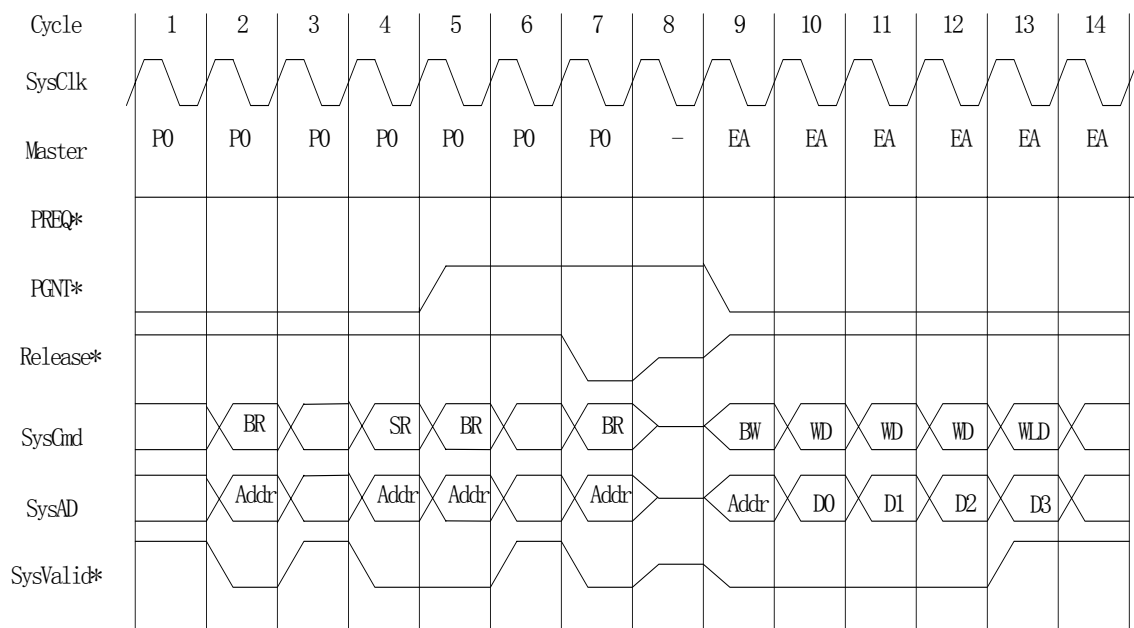


图 3-11 外部设备块写操作协议在系统总线上的传输

3.11.5 处理器对外部设备的读操作数据响应协议

处理器的数据响应是由外部设备对处理器所管辖的内存空间进行读操作而引起的。

处理器在如下条件满足的情况下可以发出数据响应操作：

- 处理器系统接口处于主设备状态（Master State）；
- 写准备好信号（WrRdy）有效

在处理器系统总线数据响应周期，处理器系统总线上的操作如下：

- 将系统命令总线的最高位（SysCmd[11]）置高，标识数据周期；
- 在系统命令总线的第 4~第 3 位（SysCmd[4:3]）标识数据是否是块操作的最后一个数据。具体标识意义见表 3-8；
- 在数据周期，数据输出有效信号（SysValid）一直置低，标识当前写数据有效。

表 3-8 SysCmd[2:0]与读操作字节数对应关系

SysCmd[4:3]	含义
00	写请求对应数据，且不是最后一个数据
01	读请求对应数据，且不是最后一个数据
10	写请求对应数据，而且是最后一个数据

11	读请求对应数据，而且是最后一个数据
----	-------------------

图 3-12 给出了处理器数据响应协议在系统总线上的示意。在图中 P0 代表当前处理器 P0 是系统总线的主设备（即：Master = P0）。EA 代表当前时刻外部设备是系统总线的主设备（即：Master = EA）。在系统总线主设备为 EA 时，系统总线上的读操作是由外部设备 EA 发起，BR 代表块读操作（Block Read），RD 代表读操作对应的数据（Read Data），RLD 代表读操作对应的最后一个数据（Read Last Data）。

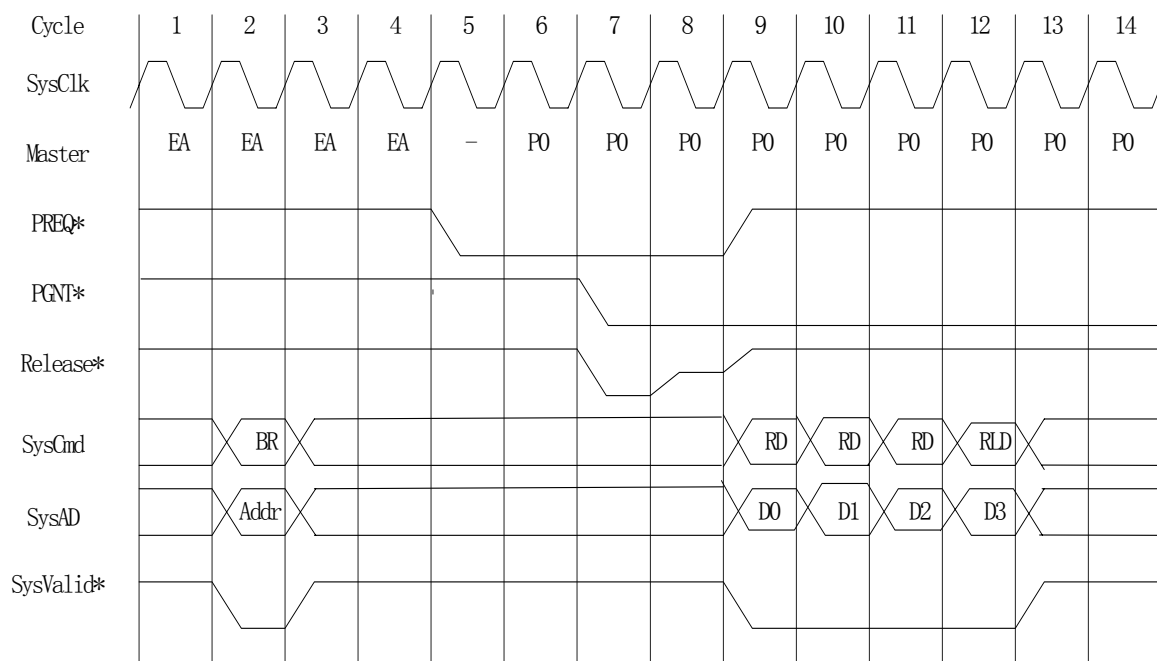


图 3-12 处理器数据响应协议

3.11.6 外部设备对处理器的读操作数据响应协议

外部设备的响应是由处理器对外部设备所管辖的 I/O 空间或者内存空间进行读操作而引起的。

外部设备在如下条件满足的情况下可以发出系统总线数据响应操作：

- 外部设备的系统接口处于主设备状态（Master State）；
- 写准备好信号（WrRdy）有效

在外部设备数据响应周期，系统总线上的操作如下：

- 将系统命令总线的最高位（SysCmd[11]）置高，标识数据周期；
- 在系统命令总线的第 4~第 3 位（SysCmd[4:3]）标识数据是否是块读操作中的最后一个数据。具体标识意义见表 3-9。

- 在数据周期，数据输出有效信号（SysValid）一直置低，标识当前写数据有效。

表 3-9 SysCmd[4:3]与读操作字节数对应关系

SysCmd[4:3]	含义
00	写请求对应数据，且不是最后一个数据
01	读请求对应数据，且不是最后一个数据
10	写请求对应数据，而且是最后一个数据
11	读请求对应数据，而且是最后一个数据

图 3-13 给出了外部设备数据响应协议在系统总线上的示意。在图中 P0 代表当前处理器 P0 是系统总线的主设备（即：Master = P0）。EA 代表当前时刻外部设备是系统总线的主设备（即：Master = EA）。在系统总线主设备为 P0 时，系统总线上的读操作是由处理器 P0 发起。BR 代表块读操作（Block Read），RD 代表读操作对应的数据（Read Data），RLD 代表读操作对应的最后一个数据（Read Last Data）。

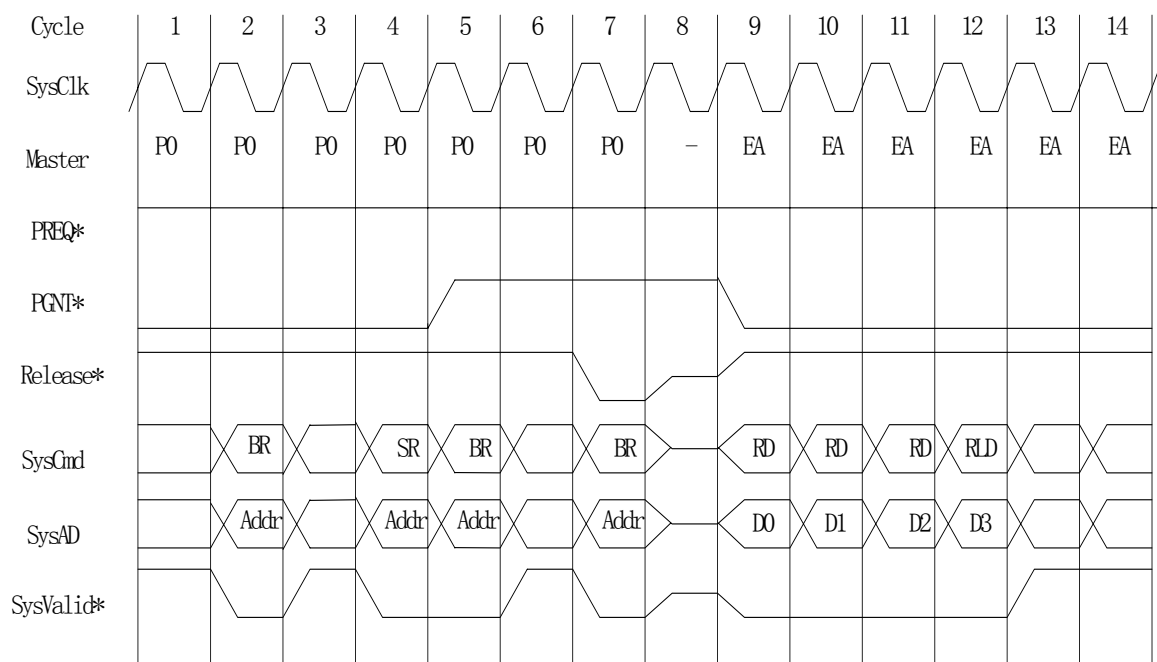


图 3-13 外部设备对处理器读操作的数据响应

四 DDR SDRAM 控制接口描述

龙芯 2E 处理器内部集成的内存控制器的设计遵守 DDR SDRAM 的行业标准 (JESD79C)。在龙芯 2E 处理器中, 所实现的所有内存读/写操作都遵守 JESD79C 的规定。

4.1 DDR SDRAM 控制器功能概述

龙芯 2E 处理器支持最大 4 个物理内存 bank (由 4 个 DDR SDRAM 片选信号实现), 一共含有 15 位的地址总线 (即: 13 位的行列地址总线和 2 位的逻辑 bank 总线)。

龙芯 2E 处理器支持 JESD79C 标准中所规定的所有内存芯片类型, 在 JESD79C 标准中所规定的内存芯片类型如下表所示:

表 4-1 DDR SDRAM 控制器所支持的 DDR SDRAM 芯片类型

BITS	Density	Org.	Row Addr.	Col Addr.
0000	64Mb	16Mb X 4	DA[11:0]	DA[9:0]
	128Mb	16Mb X 8		
0001	64Mb	8Mb X 8	DA[11:0]	DA[8:0]
	128Mb	8Mb X 16		
0010	64Mb	4Mb X 16	DA[11:0]	DA[7:0]
0011	128Mb	32Mb X 4	DA[11:0]	DA[11],DA[9:0]
0100	256Mb	64Mb X 4	DA[12:0]	DA[11],DA[9:0]
	512Mb	64Mb X 8		
0101	256Mb	32Mb X 8	DA[12:0]	DA[9:0]
	512Mb	32Mb X 16		
0110	256Mb	16Mb X 16	DA[12:0]	DA[8:0]
0111	512Mb	128Mb X 4	DA[12:0]	DA[12:11],DA[9:0]
1000	1Gb	256Mb X 4	DA[13:0]	DA[12:11],DA[9:0]
1001	1Gb	128Mb X 8	DA[13:0]	DA[11],DA[9:0]
1010	1Gb	64Mb X 16	DA[13:0]	DA[9:0]

龙芯 2E 处理器所集成的内存控制电路只接受来自处理器或者外部设备的内存读/写请求, 在所有的内存读/写操作中, 内存控制电路处于从设备状态 (Slave State)。

龙芯 2E 处理器内部集成的内存控制器实现了一种动态的 page 管理策略, 针对一次访存操作, 内存控制器对 Open Page 策略/Close Page 策略的选择是由硬件电路来实现的, 无需软件设计人员来干预。

4.2 DDR SDRAM 读操作协议

DDR SDRAM 读操作的协议如图 4-1 所示。在图中 COMMAND 由 RAS, CAS 和 WE, 共三个信号组成。对于读操作, RAS=1, CAS=0, WE=1。图中的 ADDRESS 由 MCS, MBA, MSA 组成。

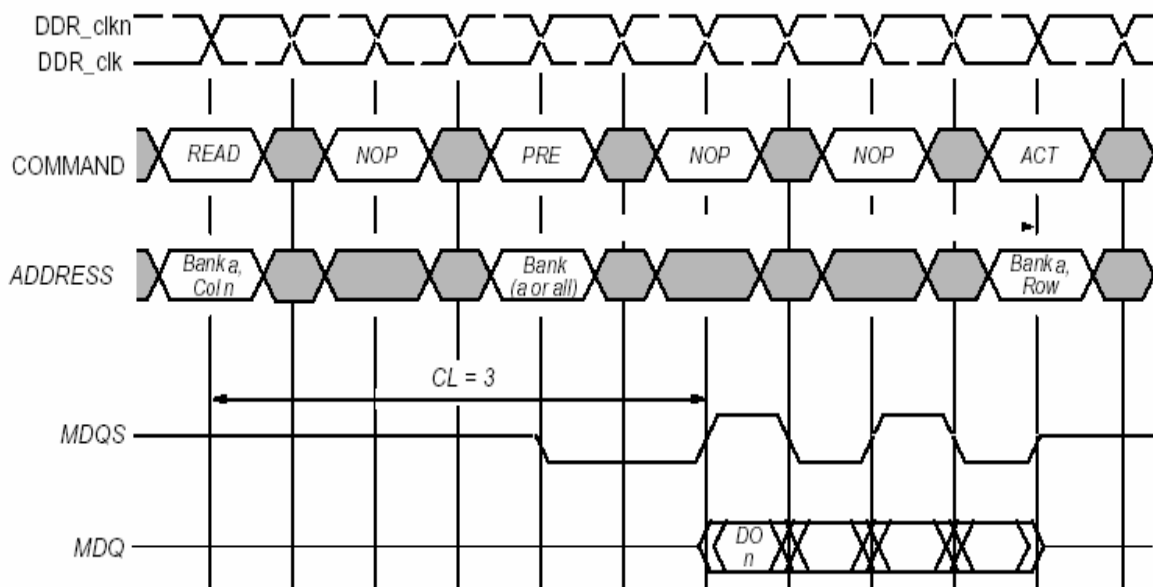


图 4-1 DDR SDRAM 读操作协议

4.3 DDR SDRAM 写操作协议

DDR SDRAM 写操作的协议如图 4-2 所示。在图中 COMMAND 是由 RAS, CAS 和 WE, 共三个信号组成的。对于写操作, RAS=1, CAS=0, WE=0。图中的 ADDRESS 由 MCS, MBA, MSA 组成。与读操作不同, 写操作需要 MDM 来标识写操作的掩码, 即需要写入的字节数。

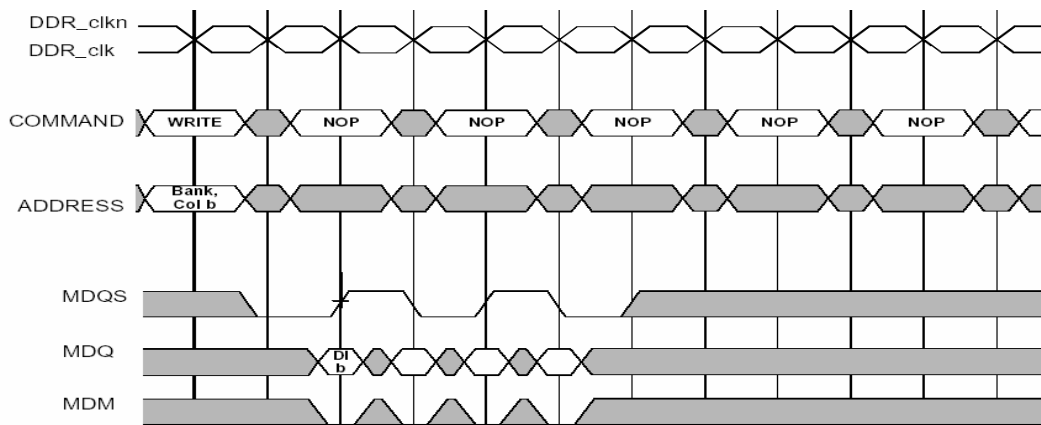


图 4-2 DDR SDRAM 写操作协议

4.4 DDR SDRAM 参数配置格式

由于系统中可能使用不同类型的 DDR SDRAM，因此，在系统上电复位以后，需要对 DDR SDRAM 进行配置。在 JESD79C 中规定了详细的配置操作和配置过程。

在龙芯 2E 处理器设计中，DDR SDRAM 的配置在系统主板初始化完成以后，需要使用内存之前，进行内存类型的配置。具体的配置操作是对与物理地址 40'H1FF00008 相对应的 32 位寄存器写入相应的配置参数。该寄存器中每一位的标识意义如下表所示。

表 4-2 DDR SDRAM 配置参数寄存器格式

位	位域名称	访问	描述
31: 30	Undefined	R/W	未定义
29	DIMM_dic	R/W	标识 DIMM_slot0 是否插有内存条。 0: 无; 1: 有;
28:27	DIMM_MO DULE_NU M	R/W	DIMM0/DIMM1 上 MOUDLE 的数目: 2'b00: DIMM1: 1; DIMM0: 1 2'b01: DIMM1: 1; DIMM0: 2 2'b10: DIMM1: 2; DIMM0: 1 2'b11: DIMM1: 2; DIMM0: 2
26	IS_SEQ	R/W	定义突发式读写时的块内顺序: 1'b0: 顺序 1'b1: 交替
25:22	DDR Type	R/W	见表 3-1
21:10	tREF	R/W	SDRAM 刷新操作之间计数 (主频 100MHz): 780 7.8us 1560 15.6us SDRAM 刷新操作之间计数 (主频 133MHz): 1040 7.8us 2080 15.6us SDRAM 刷新操作之间计数 (主频 166MHz): 1300 7.8us 2600 15.6us
9	TRCD	R/W	行地址有效到列地址有效之间需经过的计数 1'b0 2 cycles (DDR100) 1'b1 3 cycles (DDR266、DDR333)
8:7	TRFC	R/W	AUTO_REFRESH 到 ACTIVE 之间需经过的计数

			2'b00	Null
			2'b01	8 cycles (DDR100)
			2'b10	10 cycles (DDR266)
			2'b11	12 cycles (DDR333)
6	TRAS	R/W	ACTIVE 到 PRECHARGE 之间需经过的计数	
			1'b0	5 cycles (DDR100)
			1'b1	7 cycles (DDR266、DDR333)
5:4	TCAS	R/W	从读命令到第一个数据到来需经过的计数	
			2'b00	1.5 cycles
			2'b01	2 cycles
			2'b10	2.5 cycles
			2'b11	3 cycles
3	TWR	R/W	写操作最后一个数据到 PRECHARGE 之间需经过的计数	
			1'b0	2 cycles (DDR100)
			1'b1	3 cycles (DDR266、DDR333)
2	TRP	R/W	PRECHARGE 命令执行时间计数	
			1'b0	2 cycles (DDR100)
			1'b1	3 cycles (DDR266、DDR333)
1:0	TRC	R/W	ACTIVE 与 ACTIVE/AUTO_REFRESH 命令之间计数	
			2'b00	Null
			2'b01	7 cycles (DDR100)
			2'b10	9 cycles (DDR266)
			2'b11	10cycles (DDR333)
			注（由于 precharge 和 ras cas 的延时加起来正好满足这个延时，所以在 DDR 控制器里没有具体考虑这个参数）	

4.5 DDR SDRAM 采样模式的配置

对于针对内存设备读操作来说，由于数据的返回是由 DQS 来标识的，而不是采用时钟同步技术，这样就存在着采样时钟与数据不同步的问题。一般的内存控制器设计中，需要使用 DLL (Delay-locked loop) 来进行采样点选取，即通过调整采样时钟的相位来确定一个合适的采样点。使用 DLL 解决数据采样问题的缺点是不仅需要一个 DLL IP，而且还存在着采样时钟与处理器内部时钟同步的问题，因为，采样时钟是经过 DLL 调整过的时钟，因此，使用 DLL 技术以后还需要一套解决跨时钟域数据传输的类似于 FIFO 的机制。

龙芯 2E 中内存控制电路对内存设备的时钟输出与处理器内核的工作频率的比例成 1: 6、1: 8、1: 10 以及 1: 12 的关系。考虑到处理器内核的工作频率与内存设备的工作频率成一个高的倍频关系,我们在内存控制电路设计中提出一种使用处理器内核时钟直接进行数据采样的灵活高效的数据采样策略。具体的策略是采取通过软件来调整数据的采样点来进行数据采样,而数据的采样时钟是处理器内核时钟,这样作不仅可以省去一个 DLL IP,而且可以减少跨时钟域信号传输所带来的延时。下面以 DDR SDRAM 工作频率与处理器内核工作频 1: 10 为例,说明具体的采样策略。

如图 4-3 所示,内存设备的工作频率与处理器内核的工作频率比例为 1: 10。在图中 DQS*_dly 通过对 DQS*信号的锁存生成,采样点的生成就是通过对 DQS*_dly 的有效计数来确定。其中,计数值由软件来配置,这样可以达到通过软件调整采样点的目的。

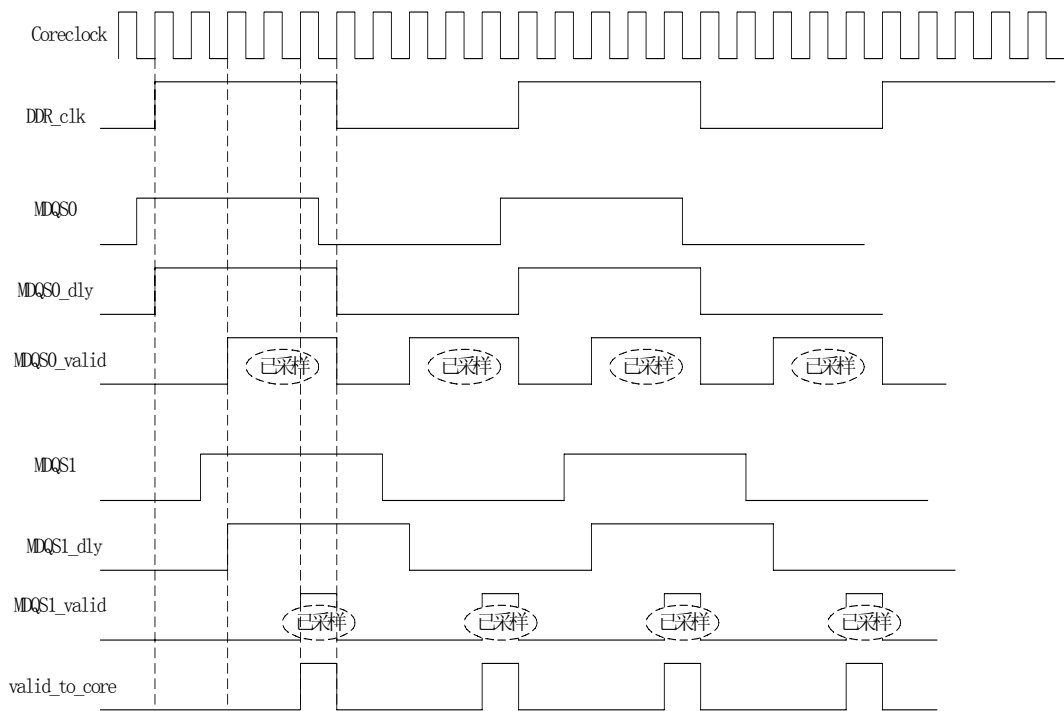


图 4-3 DDR SDRAM 工作频率和处理器工作频率比例为 1: 10 时的采样模式

在龙芯 2E 处理器设计中,针对内存读操作采样点的配置是在系统主板初始化完成以后,需要使用内存之前完成的。具体的配置操作是对与物理地址 40'H1FF00030 相对应的 32 位寄存器写入相应的 2 位有效参数。该参数 (sample_point) 位于该寄存器的最低 2 位,与此相应的采样点选取如表 4-3 所示。

表 4-3 采样点寄存器表

采样点寄存器	描述
2'b00	采样点选取 DQS 均有效后延时 1 拍进行采样
2'b01	采样点选取 DQS 均有效后延时 2 拍进行采样
2'b10	采样点选取 DQS 均有效后延时 3 拍进行采样
2'b11	无意义

龙芯 2E 中内存控制电路对内存设备的时钟输出与处理器内核的工作频率的比例成 1: 6、1: 8、1: 10 以及 1: 12 的关系。一般情况下, 采样点的选取采取默认值, 即: 当比例为 1: 6 时, 采样点寄存器的值为 2'b00, 即采样点选取 DQS 有效后延时一拍进行采样; 当比例为 1: 8 和 1: 10 时, 采样点寄存器的值为 2'b01, 即采样点选取 DQS 有效后延时 2 拍进行采样; 当比例为 1: 12 时, 采样点寄存器的值为 2'b10, 即采样点选取 DQS 有效后延时 3 拍进行采样。

五 龙芯 2E 芯片初始化过程

龙芯2E处理器的初始化由下面三种复位来实现的：

1. 上电复位 (Power-on reset)：系统上电时发生，初始化处理器内部状态机。
2. 冷复位 (Cold reset)：重新启动所有时钟并彻底初始化处理器内部状态机，但此时电源保持稳定。
3. 热复位 (Warm reset)：重新启动处理器，但此时时钟与处理器内部状态机的状态不受影响。

龙芯 2E 处理器的运行参数在芯片中是固化的，目前并不支持处理器初始化数据的配置，而是使用龙芯 2E 处理器内部的 CP0 寄存器来设置处理器的配置状态。

龙芯 2E 处理器有三种复位信号：VccOK，ColdRst*和 SysRst*。

VccOK：外部设备置 VccOK 有效，向处理器表明系统主板对处理器所提供的电压的参数已满足。

系统主板在以下情况满足时，发出有效的 VccOk 信号。

1. 标准为+3.3V 的供电电源 (VccIO) 已经提供了 100ms 的大于 3.0V 的电压。
2. 标准为+1.8V 的供电电源 (VccInt) 已经提供了 100ms 的大于 1.62V 的电压。
3. 标准为+3.3V 的供电电源 (VccIOP) 已经提供了 100ms 的大于 3.0V 的电压。
4. 标准为+1.8V 的供电电源 (VccIntP) 已经提供了 100ms 的大于 1.62V 的电压。

ColdRst*：上电复位或冷复位时外部设备置 ColdRst*有效，ColdRst*的无效必须同步于 SysClock。

SysRst*：对于任意复位方式外部设备都置 SysRst*有效，当冷复位时此信号的有效可以同步或异步于 SysClk，当热复位时此信号的有效必须同步于 SysClk，SysRst*的无效必须同步于 SysClk。

5.1 上电复位过程

龙芯 2E 处理器的上电复位执行顺序如下：

1. 标准为+3.3V 的供电电源 (VccIO 与 VccIOP) 提供稳定的大于 3.0V 的电压，标准为+1.8V 的供电电源 (VccInt 与 VccIntP) 提供稳定的大于 1.62V 的电压，并且系统为处理器提供了稳定的系统时钟。

2. 系统满足上述条件 100ms 后，外部设备置 VccOK 有效，处理器开始自动配置所有基础操作模式，此后内部锁相环开始提供稳定的流水线时钟。
3. VccOK 有效后，ColdRst* 要维持至少 64K 个 SysClk 周期的有效状态。ColdRst* 的无效必须同步于 SysClk。VccOK 有效时 ColdRst* 必须已经有效，否则处理器的行为不确定。
4. ColdRst* 维持至少 64 个 SysClk 周期的无效状态后 SysRst* 才能无效，使处理器开始工作。SysRst* 的无效必须同步于 SysClk。

图 5-1 为上电复位的时序图。

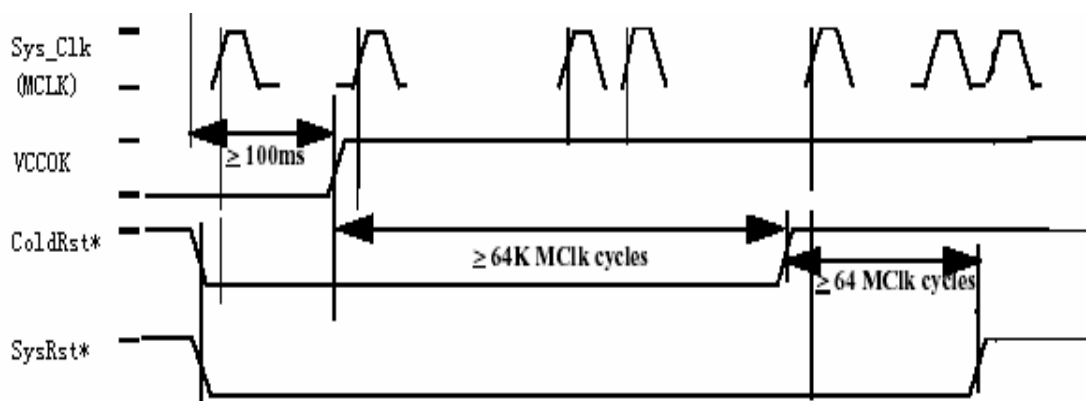


图 5-1 上电复位时序图

5.2 冷复位过程

冷复位可以在处理器自动配置完基础操作模式后的任意时刻发生，处理器冷复位时电源供电保持稳定，其它的执行顺序同上电复位相同。冷复位发生前，VccOK 必须维持至少 64 个 SysClk 周期的无效状态后才能再有效。图 5-2 为冷复位的时序图。

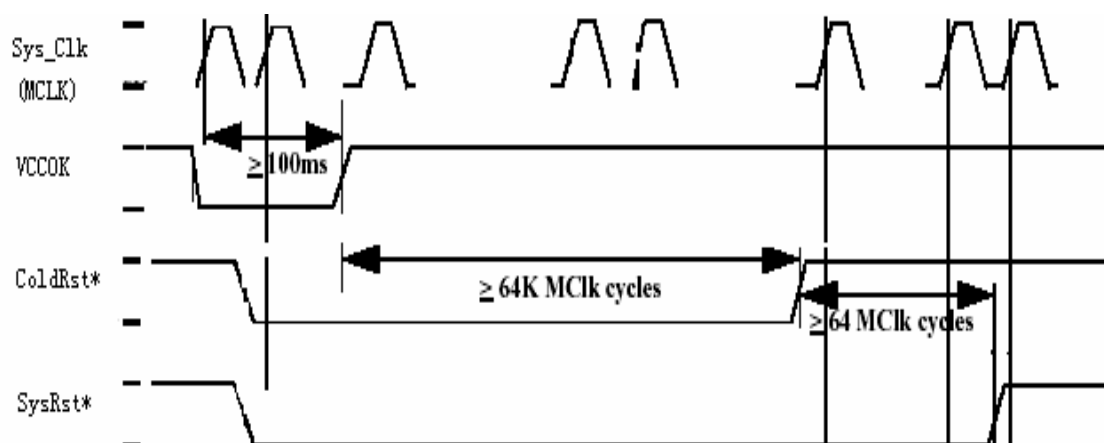


图 5-2 冷复位时序图

5.3 热复位过程

热复位发生前，SysRst*必须维持至少 64 个 SysClk 周期的有效状态才能再次无效。SysRst*的有效和无效必须同步于 SysClk。图 5-3 为热复位的时序图。

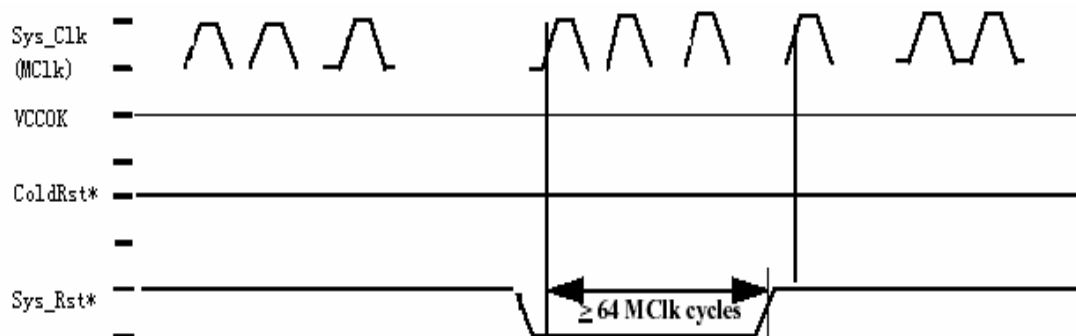


图 5-3 热复位时序图

5.4 处理器复位后的状态

上电复位和冷复位后，处理器内部所有的状态机被复位，处理器开始执行复位例外向量。

热复位过程中处理器内部所有状态均被保存。

六 电气特性

5.1 绝对最大额定值

当实际参数超过下表描述的范围时，将可能会导致芯片永久性损坏。

注意：下表提供的参数范围并不能保证芯片的正常工作。

表 6-1 绝对最大额定值

参数	描述	最小值	最大值	单位
VDD	处理器核电压	0.9	1.32	V
VDDM_2v5	DDR 电压	2.0	2.7	V
VDDIO_2v5	IO 电压	2.0	2.7	V
VDDM_Ref	DDR 参考电压	1.2	1.3	V
VDD2v5_PLL	2.5V 锁相环电压	2.0	2.7	V
VDD_PLL_0	1.2V 锁相环 0 电压			V
VDD_PLL_1	1.2V 锁相环 1 电压			V
DVDD_PLL	1.2V 锁相环数字电压			V
AVDD2v5_PLL_0	2.5V 锁相环 0 模拟电压	2.0	2.7	V
AVDD2v5_PLL_1	2.5V 锁相环 1 模拟电压	2.0	2.7	V
T _s	存储温度			°C

6.2 推荐工作条件

表 6-2 推荐工作温度、电压和频率

参数	描述	最小值	典型值	最大值	单位
T _A	工作温度	0		85	°C
VDD	处理器核电压		1.2		V
VDDM_2v5	DDR 电压		2.5		V
VDDIO_2v5	IO 电压		2.5		V
VDDM_Ref	DDR 参考电压		1.25		V
VDD2v5_PLL	2.5V 锁相环电压		2.5		V

VDD_PLL_0	1.2V 锁相环 0 电压		1.2		V
VDD_PLL_1	1.2V 锁相环 1 电压		1.2		V
DVDD_PLL	1.2V 锁相环数字电压		1.2		V
AVDD2v5_PLL_0	2.5V 锁相环 0 模拟电压		2.5		V
AVDD2v5_PLL_1	2.5V 锁相环 1 模拟电压		2.5		V

6.3 直流电气特性

表 6-3 直流电气特性

参数	描述	最小值	典型值	最大值	单位	备注
V _{IH}	输入高电平电压	1.32	1.5	1.7	V	【1】
V _{IL}	输入低电平电压	0.3	1.0	1.08	V	【1】
V _{OH}	输出高电平电压	2.3	2.37	2.375	V	【2】
V _{OL}	输出低电平电压	0.12	0.128	0.13	V	【2】
I _{IH}	输入高电平漏电流	0.002		0.4	μA	【5】
I _{IH}	输入低电平漏电流	-67.3		-65	μA	【5】
I _{OL}	输出低电平电流		8	40	mA	【3】
I _{OH}	输出高电平电流		8	40	mA	【3】
C _{IN}	输入引脚电容	4.4	7	7.5	pF	
C _{OUT}	输出引脚电容	23	25	27	pF	
R _{PH}	上拉电阻阻值	32	50	81	KΩ	【4】

表 6-4 直流电气特性(JTAG)

参数	描述	最小值	典型值	最大值	单位	备注
C _{TIN}	测试输入电容	4.4	7	7.5	pF	【6】
C _{TOUT}	测试输出电容	23	25	27	pF	【7】
C _{TCK}	TCK 电容	4.4	7	7.5	pF	

备注:

- 【1】 此参数为输入脚电平（含三态脚）。
- 【2】 此参数为单个输出脚（含输出状态三态脚）的电平条件。
- 【3】 此参数为单个输出脚（含输出状态三态脚）的驱动能力。
- 【4】 适用于输入脚（不含三态脚）。
- 【5】 适用于三态输入脚（不含输入）。
- 【6】 适用于 JTAG 中的 TDI, TMS, TRST
- 【7】 适用于 JTAG 中的 TDO

6.4 交流电气特性

表 6-5 时钟参数特性

(测试条件: SysClk=100MHz, CoreClk=400MHz)

参数	最小值	典型值	最大值	单位
SysClk 高电平时间	2	5	8	ns
SysClk 低电平时间	2		8	ns
SysClk 上升时间	1		1	ns
SysClk 下降时间	1		1	ns
SysClk 周期稳定性			±300	ps

表 6-6 输入建立和保持时间

(测试条件: SysClk=100MHz, CoreClk=400MHz)

参数	最小值	典型值	最大值	单位
SysAD[63:0]建立时间	3.5		4.4	ns
SysAD[63:0]保持时间	2.5		4.5	ns
SysADC[7:0]建立时间	3.5		4.4	ns
SysADC[7:0]保持时间	2.5		4.5	ns
SysCmd[11:0]建立时间	3.5		4.4	ns
SysCmd[11:0]保持时间	2.5		4.5	ns

表 6-7 输出延迟时间
(测试条件: SysClk=100MHz)

参数	最小值	典型值	最大值	单位
SysAD[63:0] 有效延迟	0.28		1.28	ns
SysADC[7:0] 有效延迟	0.28		1.28	ns
SysCmd[11:0] 有效延迟	0.28		1.28	ns

表 6-8 JTAG 参数特性
(测试条件: TCK=100MHz)

参数	最小值	典型值	最大值	单位
TCK 高电平时间	2	5	8	ns
TCK 低电平时间	2		8	ns
TCK 上升时间	1		1	ns
TCK 下降时间	1		1	ns
TRST 脉冲宽度	10			ns
TDI,TMS 建立时间	3.5		4.4	ns
TDI,TMS 保持时间	2.5		5.5	ns
TDO 输出有效延迟时间			1.28	ns
TDO 输出禁止延迟时间			1.28	ns

6.5 功耗特性

表 6-9 功耗特性
(测试条件: VDD=1.2V, VDDIO=VDDM=2.5V, SysClk=100MHz, CPU 主频=400MHz)

参数	电流值(A)	功耗(W)
I _{CORE} 核电流	1.07 ~ 1.13	1.28 ~ 1.36
I _{IO} IO 电流	0.8 ~ 0.9	2.0 ~ 2.25

注: 电流的变化取决于测试向量的变化。

七 热特性

7.1 热阻系数

表 7-1 功耗特性 θ_{JA}

风速 (m/s)	热阻系数	单位
0	14	°C/W
1	12	°C/W
2	11.3	°C/W

注： $\theta_{JA} = (T_J - T_A) / P_H$ T_J 表示芯片内部最高温度， T_A 表示芯片封装上的最高温度， P_H 为芯片功耗。

7.2 回流焊温度曲线

龙芯 2E 封装采用无铅工艺 (SnAg3.5)，回流焊时的最高温度为 245°C~250°C。参照 JEDEC 的 J-STD-020C 的规范，龙芯 2E 处理器的回流焊温度曲线及参数如图 7-1 和表 7-1 所示。

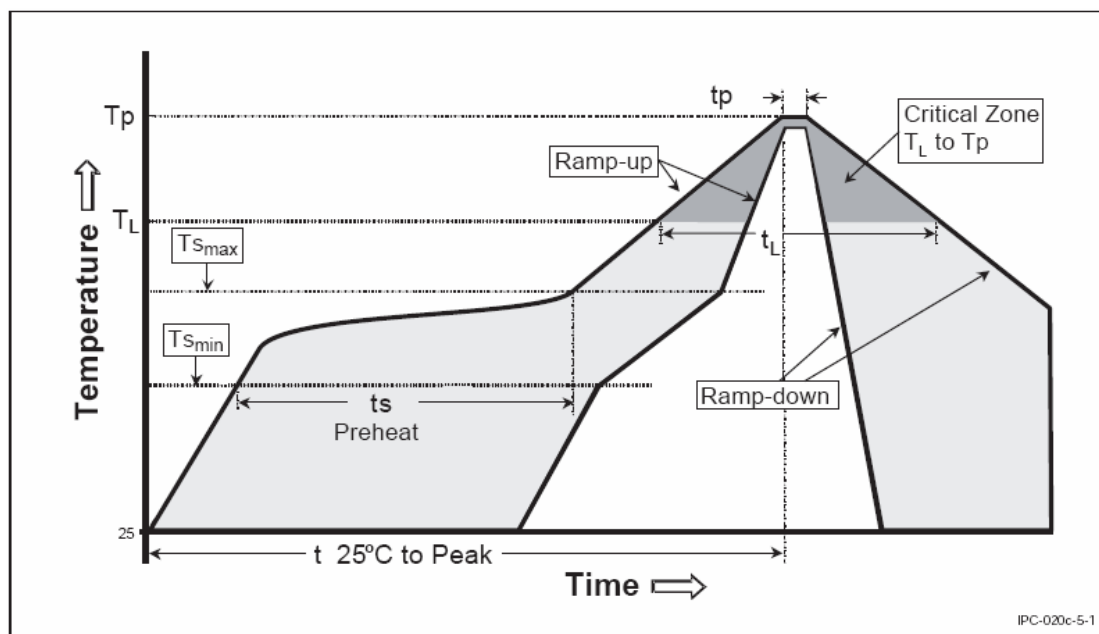


图 7-1 回流焊温度曲线

表 7-2 回流焊温度曲线参数

参数描述	参考值
Average Ramp-Up Rate ($T_{s_{max}}$ to T_p)	3°C/second max
Preheat	
—Temperature Min($T_{s_{min}}$)	150°C
—Temperature Max($T_{s_{max}}$)	200°C
—Time($T_{s_{min}}$ to $T_{s_{max}}$)	60-180 seconds
Time maintained above:	
—Temperature (T_L)	217°C
—Time(t_L)	60-150 seconds
Peak Temperature (T_p)	250°C
Time within 5°C of actual Peak Temperature (t_p)	20-40 seconds
Ramp-Down Rate	6°C/second max
Time 25°C to Peak Temperature	8 minutes max

八 引脚排列和封装

8.1 龙芯 2E 处理器引脚排列

龙芯 2E 处理器为 HSBGA452 封装。引脚分布如图 8-1 和 8-2 所示,其中 PWR1 对应于 VDD, GND1 对应于 GND; PWR2 对应于 VDDM_2v5, GND2 对应于 GNDM_2v5; PWR3 对应于 VDDIO_2v5, GND3 对应于 GNDIO_2v5。其它信号命名都与第二章相同。

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
A	VDDM_Ref_9	PWR2	MADR0	MADR2	PWR2	VDDM_Ref_10	PWR2	DDR_CLK0	DDR_CLKn0	PWR2	DDR_CLK1	DDR_CLK3	DDR_CLKn3	PWR3	DDR_CLK5
B	PWR2	GND2	MADR1	MADR3	GND2	MADR8	GND2	MADR13	MBA1	GND2	DDR_CLKn1	DDR_CLKn4	DDR_CLK4	GND3	ColdRST#
C	MDQ1	GND2	MDQ0	MADR4	MADR5	MADR7	MADR9	MADR12	MBA0	DDR_CLK2	DDR_CLKn2	DUM2	NC9	ImpFirst	PGNT#
D	MDQ2	MDQ3	MDQ4	NC8	MADR6	PWR1	MADR10	MADR11	GND1	MCKE0	MCKE1	PWR1	DUM1	Dummy0	GND1
E	MDQ5	MDQ6	MDQ7	GND1											
F	PWR2	GND2	MDQS0	MDQM0											
G	MDQ10	MDQ9	MDQ8	NC7											
H	MDQ11	MDQ12	MDQ13	MDQ14					9	10	11	12	13	14	15
J	MDQS1	MDQM1	MDQ15	PWR1				J	GND1	PWR1	GND1	PWR1	GND1	PWR1	GND1
K	PWR2	GND2	MDQ16	MDQ17				K	PWR1	GND1	PWR1	GND1	PWR1	GND1	PWR1
L	MDQ21	MDQ20	MDQ19	MDQ18				L	GND1	PWR1	GND1	PWR1	GND1	PWR1	GND1
M	MDQ22	MDQ23	MDQM2	MDQS2				M	PWR1	GND1	PWR1	GND1	PWR1	GND1	PWR1
N	PWR2	GND2	MDQ24	GND1				N	GND1	PWR1	GND1	PWR1	GND1	PWR1	GND1
P	MDQ28	MDQ27	MDQ26	MDQ25				P	PWR1	GND1	PWR1	GND1	PWR1	GND1	PWR1
R	MDQ29	MDQ30	MDQ31	MDQM3				R	GND1	PWR1	GND1	PWR1	GND1	PWR1	GND1
T	PWR2	GND2	MDQ32	MDQS3				T	PWR1	GND1	PWR1	GND1	PWR1	GND1	PWR1
U	MDQ36	MDQ35	MDQ34	MDQ33				U	GND1	PWR1	GND1	PWR1	GND1	PWR1	GND1
V	PWR2	GND2	MDQ37	PWR1				V	PWR1	GND1	PWR1	GND1	PWR1	GND1	PWR1
W	MDQS4	MDQM4	MDQ39	MDQ38					9	10	11	12	13	14	15
Y	MDQ40	MDQ41	MDQ42	MDQ43											
AA	PWR2	GND2	MDQ45	MDQ44											
AB	MDQM5	MDQ47	MDQ46	GND1											
AC	MDQS5	MDQ48	MDQ49	MDQ50	MDQ57	PWR1	NC6	NC5	GND1	NC4	NC3	PWR1	DUM0	NC2	GND1
AD	MDQ51	GND2	MDQ52	MDQS6	MDQ56	MDQ58	MDQ62	MDQ63	MDQM7	MCS3#	MRAS#	BistMode	TMS	Hold	DDR_Core_ClkSel1
AE	PWR2	GND2	MDQ53	MDQM6	GND2	MDQ59	MDQ61	GND2	MDQS7	MCS2#	MCAS#	GND3	TRST	TDI	GND3
AF	VDDM_Ref_4	PWR2	MDQ54	MDQ55	PWR2	VDDM_Ref_17	MDQ60	PWR2	MCS0#	MCS1#	MWE#	PWR3	TCK	TDO	PWR3
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

图 8-1 龙芯 2E 处理器引脚排列图(左边部分)

16	17	18	19	20	21	22	23	24	25	26	
DDR_CLKn5	PWR3	RdRdy#	WrRdy#	GND_2v5_comp	DVDD_PLL	VDD2v5_PLL	VDD_PLL_0	VDD_PLL_1	AVDD2v5_PLL_0	AVDD2v5_PLL_1	A
SysRST#	GND3	SysState2	SysStateVal#	SysResp0	DGND_PLL	GND2v5_PLL	GND_PLL_0	GND_PLL_1	AGND2v5_PLL_0	AGND2v5_PLL_1	B
PREQ#	SysState0	SysState1	SysResp1	SysResp2	Nmi#	INT0#	INT1#	INT2#	INT3#	INT4#	C
Dummy3	Dummy1	PWR1	SysStatePar	SysRespVal#	GND1	VccOK	ScanMode	INT5#	GND3	PWR3	D
							GND1	ClkSel3	ClkSel1	SysCLK	E
							ClkSel5	ClkSel4	ClkSel2	TestClk	F
							TestMode	SysAD1	SysAD0	Release#	G
16	17	18					SysAD2	SysAD3	GND3	PWR3	H
PWR1	GND1	PWR1	J				PWR1	SysAD4	SysAD5	SysAD6	J
GND1	PWR1	GND1	K				SysAD11	SysAD8	SysADC0	SysAD7	K
PWR1	GND1	PWR1	L				SysAD12	SysAD9	SysAD10	SysAD13	L
GND1	PWR1	GND1	M				SysAD16	SysADC1	SysAD15	SysAD14	M
PWR1	GND1	PWR1	N				SysAD17	SysAD18	GND3	PWR3	N
GND1	PWR1	GND1	P				GND1	SysAD19	SysAD20	SysAD21	P
PWR1	GND1	PWR1	R				SysAD24	SysADC2	SysAD23	SysAD22	R
GND1	PWR1	GND1	T				SysAD25	SysAD26	SysAD27	SysAD28	T
PWR1	GND1	PWR1	U				SysADC3	SysAD31	SysAD30	SysAD29	U
GND1	PWR1	GND1	V				PWR1	SysAD32	SysAD33	SysAD34	V
16	17	18					SysAD36	SysAD35	GND3	PWR3	W
							SysAD37	SysAD38	SysAD39	SysADC4	Y
							SysAD43	SysAD42	SysAD41	SysAD40	AA
							GND1	SysAD44	SysAD45	SysAD46	AB
NC1	SysCmd8	PWR1	SysCmd3	SysCmd2	GND1	SysAD60	SysAD49	SysAD48	SysADC5	SysAD47	AC
DDR_Core_ClkSel0	SysCmd9	SysCmd7	SysCmd4	SysCmd1	SysAD61	SysAD59	SysAD50	SysAD51	GND3	PWR3	AD
SysValid#	SysCmd10	GND3	SysCmd5	SysCmd0	SysAD62	GND3	SysAD52	SysAD53	SysAD54	SysAD55	AE
SysCmdPar	SysCmd11	PWR3	SysCmd6	SysADC7	SysAD63	PWR3	SysAD58	SysAD57	SysAD56	SysADC6	AF
16	17	18	19	20	21	22	23	24	25	26	

图 8-2 龙芯 2E 处理器引脚排列图(右边部分)

8.2 龙芯 2E 处理器封装尺寸

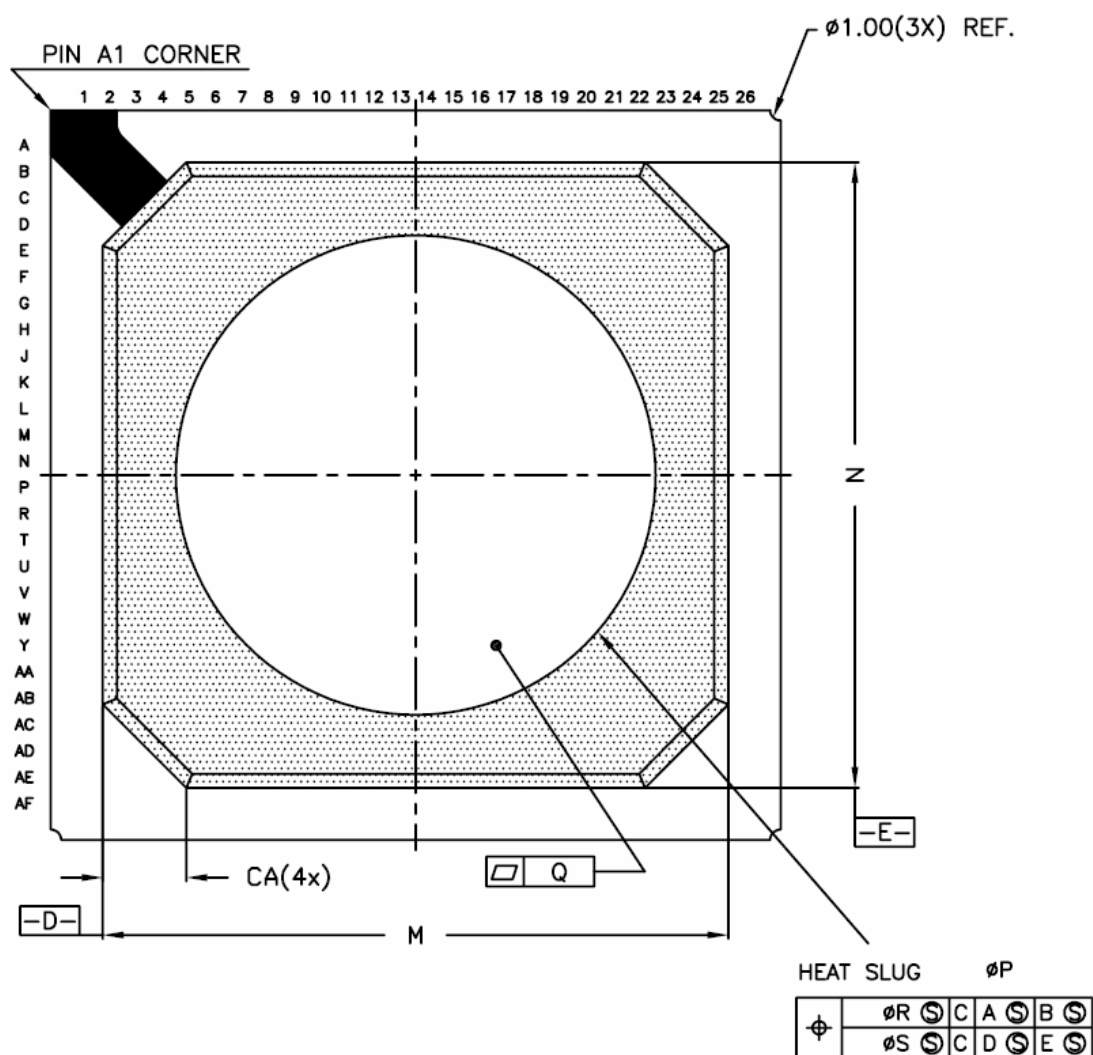


图 8-3 顶视角度

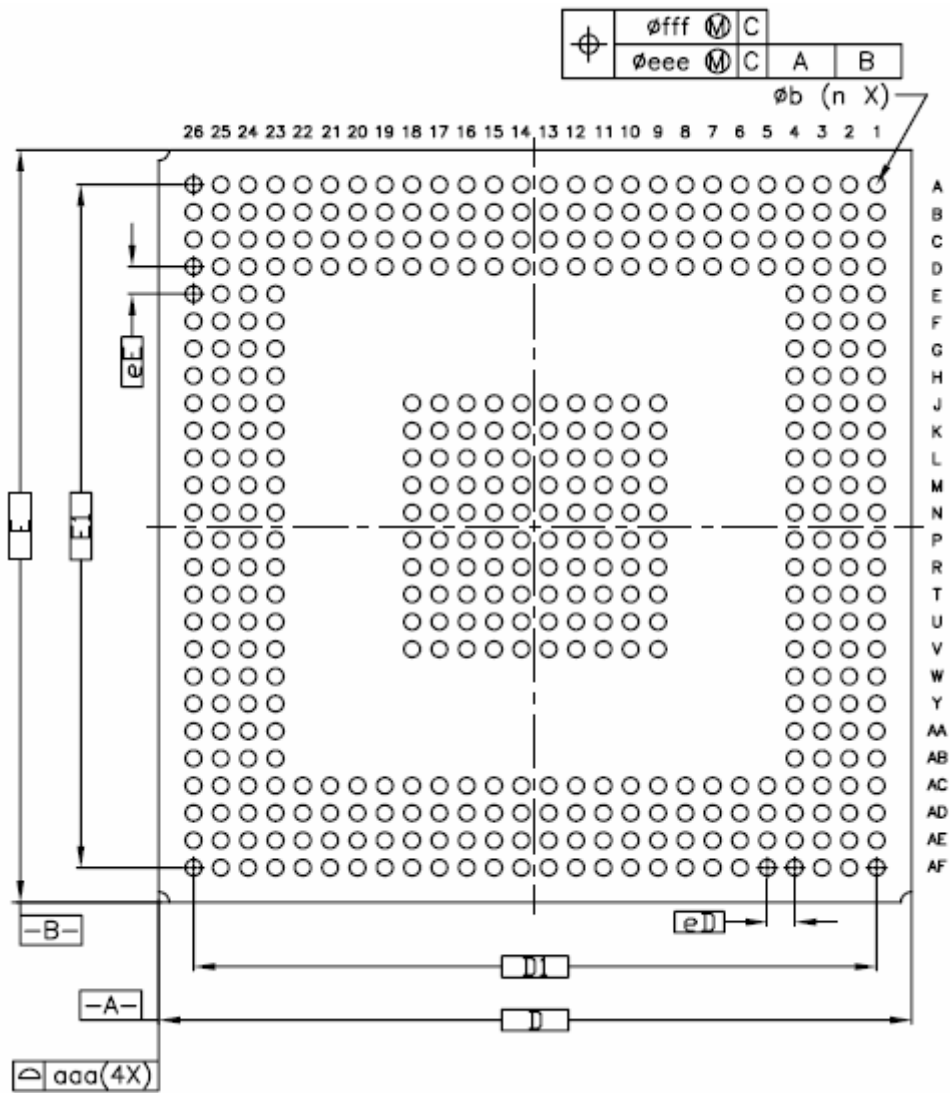


图 8-4 底视角度

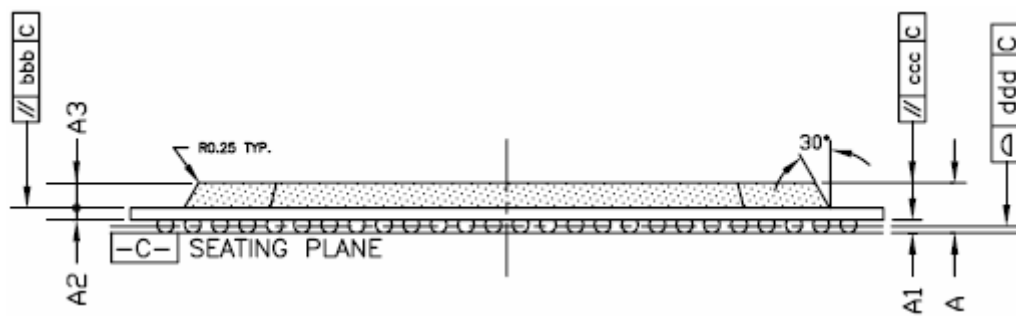


图 8-5 侧视角度

表 8-1 龙芯 2E 处理器 HSBGA452 封装尺寸

		Symbol	Common Dimensions
Package:			HSBGA
Body Size:	X	D	35.00
	Y	E	35.00
Ball Pitch:	X	eD	1.27
	Y	eE	1.27
Total Thickness:		A	2.33 ±0.13
Mold Thickness:		A3	1.17 Ref.
Substrate Thickness:		A2	0.56 Ref.
Ball Diameter:			0.75
Stand Off:		A1	0.50 ~ 0.70
Ball Width:		b	0.60 ~ 0.90
Mold Area:	X	M	30.00
	Y	N	30.00
H/S Exposed Size:		P	22.5 ~ 23.5
H/S Coplanarity:		Q	0.10
H/S Shift With Substrate Edge:		R	0.30
H/S Shift With Mold Area:		S	0.50
Chamfer:		CA	4.0 Ref.
Package Edge Tolerance:		aaa	0.20
Substrate Flatness:		bbb	0.25
Mold Flatness:		ccc	0.35
Coplanarity:		ddd	0.20
Ball Offset(Package):		eee	0.30
Ball Offset(Ball):		fff	0.15
Ball Count:		n	452
Edge Ball Center to Center:	X	D1	31.75
	Y	E1	31.75