

# Q/LS

Q/LS 0005-2013

龙芯中科技术有限公司企业标准

---

半导体集成电路  
LS2I0800D（LS2GP0800D）型微处理器  
详细规范

（报批稿）

2014-07-01 发布

2014-08-01 实施

龙芯中科技术有限公司

批准



## 目 次

|                        |    |
|------------------------|----|
| 1 范围.....              | 1  |
| 2 引用文件 .....           | 1  |
| 3 要求.....              | 1  |
| 3.1 总则.....            | 1  |
| 3.2 设计、结构和外形.....      | 1  |
| 3.2.1 工艺结构.....        | 1  |
| 3.2.2 封装形式.....        | 1  |
| 3.2.3 引出端排列.....       | 3  |
| 3.2.4 功能表或功能框图.....    | 12 |
| 3.2.5 电路图.....         | 12 |
| 3.2.6 绝对最大额定值.....     | 12 |
| 3.2.7 推荐工作条件.....      | 13 |
| 3.2.8 功能描述.....        | 13 |
| 3.3 焊球材料和涂覆.....       | 16 |
| 3.4 电特性.....           | 16 |
| 3.5 器件标识.....          | 20 |
| 4 质量保证规定.....          | 21 |
| 4.1 抽样和检验.....         | 21 |
| 4.2 筛选.....            | 21 |
| 4.3 鉴定检验.....          | 21 |
| 4.4 质量一致性检验.....       | 21 |
| 4.4.1 A组检验.....        | 21 |
| 4.4.3 B组检验.....        | 22 |
| 4.4.4 C组检验.....        | 22 |
| 4.5 检验方法.....          | 22 |
| 4.5.1 外观检查.....        | 22 |
| 4.5.2 电压和电流.....       | 22 |
| 4.5.3 老炼和寿命试验冷却程序..... | 22 |
| 4.6 数据报告.....          | 23 |
| 5 说明事项.....            | 23 |
| 5.1 订货资料.....          | 23 |
| 5.2 器件型号说明.....        | 23 |
| 5.3 操作.....            | 23 |
| 5.4 应用指南.....          | 23 |
| 附录 A.....              | 24 |
| 附录 B.....              | 30 |
| 附录 C.....              | 31 |
| 附录 D.....              | 43 |

## 前 言

本规范是 GB/T 12750-2006《半导体器件 集成电路 第 11 部分：半导体集成电路分规范（不包括混合电路）》的相关详细规范。

本规范的起草单位：龙芯中科技术有限公司。

本规范的主要起草人：齐子初，杨旭，段玮，张瑾。

# 半导体集成电路

## LS2I0800D (LS2GP0800D) 型微处理器详细规范

### 1 范围

本规范规定了半导体集成电路 LS2I0800D (LS2GP0800D) 型微处理器集成电路 (以下简称器件) 的详细要求。

### 2 引用文件

下列文件中的有关条款通过引用而成为本规范的条款。凡注日期或版次的引用文件, 其后的任何修改单 (不包括勘误的内容) 或修订版本都不适用于本规范, 但提倡使用本规范的各方探讨使用其最新版本的可能性。凡不注日期或版次的引用文件, 其最新版本适用于本规范。

GB/T 1804-2000 一般公差 未注公差的线性和角度尺寸的公差

GB/T 4589.1-2006 半导体器件 第 10 部分: 分立器件和集成电路总规范

GB/T 4937 半导体器件机械和气候试验方法

GB/T 12750-2006 半导体器件 集成电路 第 11 部分: 半导体集成电路分规范 (不包括混合电路)

GJB 548B-2005 微电子器件试验方法和程序

ESDA/JEDEC JS-001-2012 静电放电敏感度测试 (For Electrostatic Discharge Sensitivity Testing)

### 3 要求

#### 3.1 总则

器件应符合本详细规范和 GB/T 12750-2006 规定的所有要求, 本详细规范的要求与 GB/T 12750-2006 不一致时, 应以本详细规范为准。

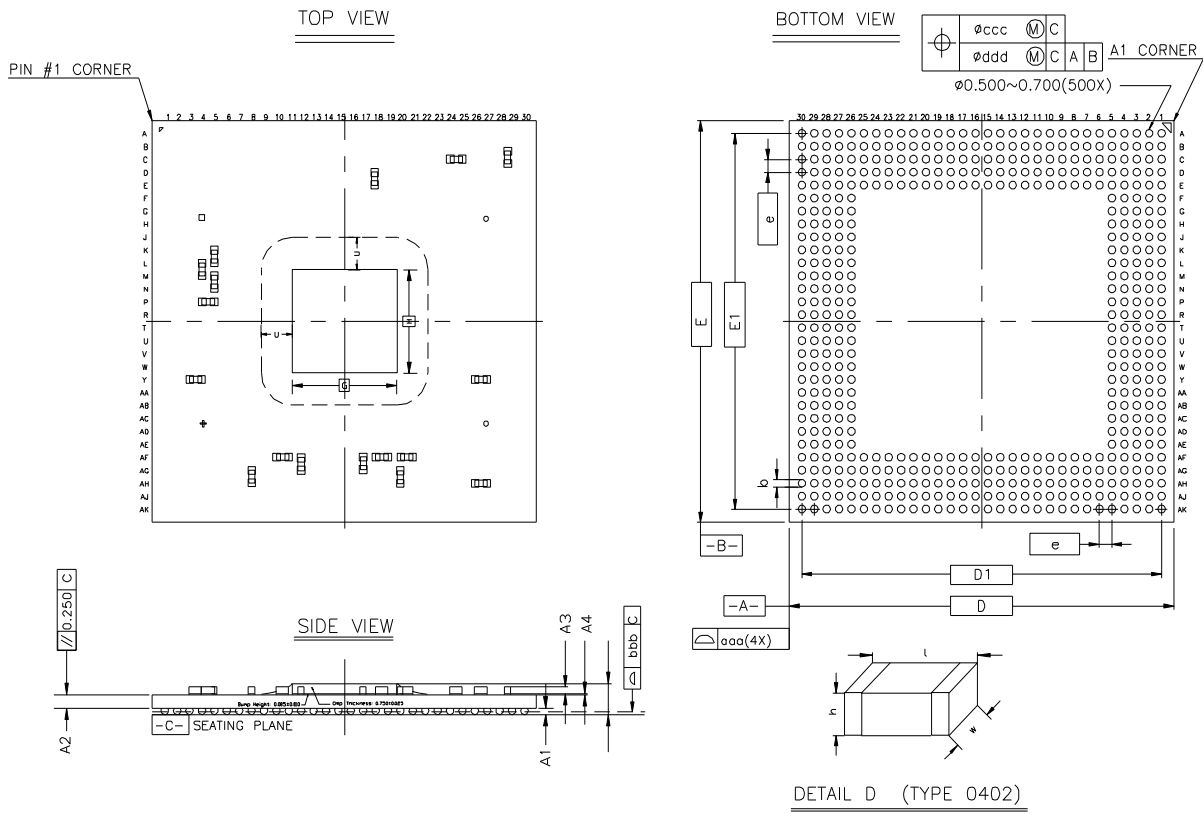
#### 3.2 设计、结构和外形

##### 3.2.1 工艺结构

器件芯片采用 65nm CMOS 工艺; 电路规模数约为 8200 万个晶体管; 芯片尺寸为 8.358mm×7.866mm; 芯片顶层包含八层金属, 下面的七层金属为铜, 顶层金属为铝; 芯片表面采用二氧化硅、氮化硅复合钝化层; 封装采用倒装焊球栅阵列封装形式, 基板材料为有机塑料, 焊球材料为 Sn/Ag/Cu。

##### 3.2.2 封装形式

器件采用 500 引线塑料倒装焊球栅阵列封装 (代号为 FCBGA-500), 外形尺寸按图 1 规定。



| 尺寸符号 | 最小    | 公称    | 最大    |
|------|-------|-------|-------|
| h    | 0.490 | 0.500 | 0.550 |

注：未注公差按 GB/T1804 一般公差线性尺寸的未注公差表 1 中 c 执行；

图 1 外形尺寸

## 3.2.3 引出端排列

引出端排列应按图 2 的规定。

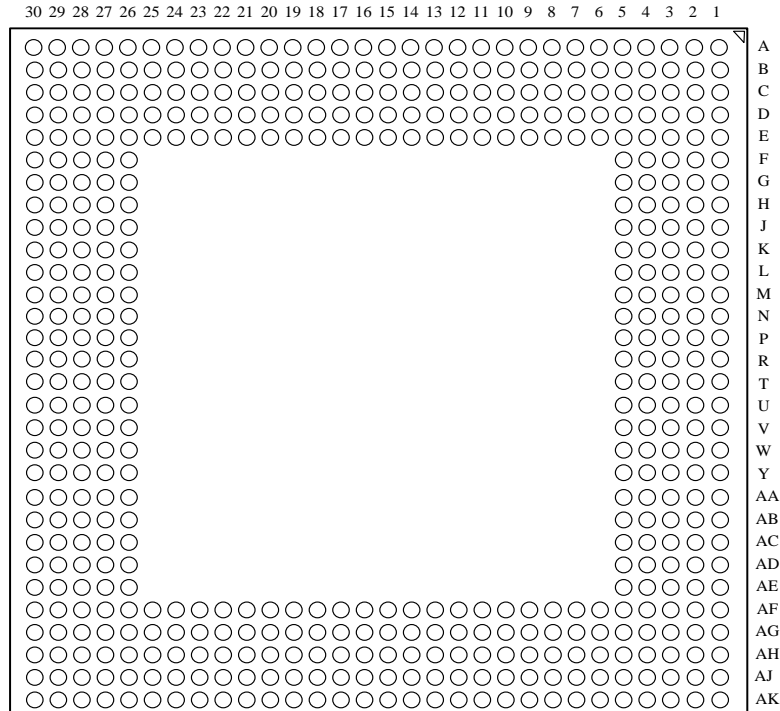


图 2 引出端排列

| 功能模块 | 引出端号         | 引出端名称                | 类别               | 描述                         | 电压域                 |
|------|--------------|----------------------|------------------|----------------------------|---------------------|
| DDR2 | H26          | MC0_DDR_COMP_REF_RES | InOut            | DDR2 compensation resistor | V <sub>DDE1V8</sub> |
|      | E27          | MC0_DDR2_A00         | Output           | DDR2 address00             | V <sub>DDE1V8</sub> |
|      | D27          | MC0_DDR2_A01         | Output           | DDR2 address01             | V <sub>DDE1V8</sub> |
|      | B28          | MC0_DDR2_A02         | Output           | DDR2 address02             | V <sub>DDE1V8</sub> |
|      | C28          | MC0_DDR2_A03         | Output           | DDR2 address03             | V <sub>DDE1V8</sub> |
|      | A27          | MC0_DDR2_A04         | Output           | DDR2 address04             | V <sub>DDE1V8</sub> |
|      | B27          | MC0_DDR2_A05         | Output           | DDR2 address05             | V <sub>DDE1V8</sub> |
|      | A26          | MC0_DDR2_A06         | Output           | DDR2 address06             | V <sub>DDE1V8</sub> |
|      | B26          | MC0_DDR2_A07         | Output           | DDR2 address07             | V <sub>DDE1V8</sub> |
|      | C26          | MC0_DDR2_A08         | Output           | DDR2 address08             | V <sub>DDE1V8</sub> |
|      | D26          | MC0_DDR2_A09         | Output           | DDR2 address09             | V <sub>DDE1V8</sub> |
|      | C29          | MC0_DDR2_A10         | Output           | DDR2 address10             | V <sub>DDE1V8</sub> |
|      | A25          | MC0_DDR2_A11         | Output           | DDR2 address11             | V <sub>DDE1V8</sub> |
|      | B25          | MC0_DDR2_A12         | Output           | DDR2 address12             | V <sub>DDE1V8</sub> |
|      | G27          | MC0_DDR2_A13         | Output           | DDR2 address13             | V <sub>DDE1V8</sub> |
|      | D25          | MC0_DDR2_A14         | Output           | DDR2 address14             | V <sub>DDE1V8</sub> |
|      | F26          | MC0_DDR2_BA0         | Output           | DDR2 bank select0          | V <sub>DDE1V8</sub> |
|      | E28          | MC0_DDR2_BA1         | Output           | DDR2 bank select1          | V <sub>DDE1V8</sub> |
|      | A24          | MC0_DDR2_BA2         | Output           | DDR2 bank select2          | V <sub>DDE1V8</sub> |
|      | D30          | MC0_DDR2_CASN        | Output           | DDR2 column address select | V <sub>DDE1V8</sub> |
| A20  | MC0_DDR2_CB0 | InOut                | DDR2 data check0 | V <sub>DDE1V8</sub>        |                     |
| B21  | MC0_DDR2_CB1 | InOut                | DDR2 data check1 | V <sub>DDE1V8</sub>        |                     |
| B23  | MC0_DDR2_CB2 | InOut                | DDR2 data check2 | V <sub>DDE1V8</sub>        |                     |
| A23  | MC0_DDR2_CB3 | InOut                | DDR2 data check3 | V <sub>DDE1V8</sub>        |                     |

| 功能模块 | 引出端号          | 引出端名称         | 类别          | 描述                                | 电压域                  |
|------|---------------|---------------|-------------|-----------------------------------|----------------------|
| DDR2 | C21           | MC0_DDR2_CB4  | InOut       | DDR2 data check4                  | V <sub>DDEI1V8</sub> |
|      | B22           | MC0_DDR2_CB5  | InOut       | DDR2 data check5                  | V <sub>DDEI1V8</sub> |
|      | C23           | MC0_DDR2_CB6  | InOut       | DDR2 data check6                  | V <sub>DDEI1V8</sub> |
|      | E23           | MC0_DDR2_CB7  | InOut       | DDR2 data check7                  | V <sub>DDEI1V8</sub> |
|      | B24           | MC0_DDR2_CKE0 | Output      | DDR2 clock Output enable0         | V <sub>DDEI1V8</sub> |
|      | C24           | MC0_DDR2_CKE1 | Output      | DDR2 clock Output enable1         | V <sub>DDEI1V8</sub> |
|      | E25           | MC0_DDR2_CKE2 | Output      | DDR2 clock Output enable2         | V <sub>DDEI1V8</sub> |
|      | D24           | MC0_DDR2_CKE3 | Output      | DDR2 clock Output enable3         | V <sub>DDEI1V8</sub> |
|      | C12           | MC0_DDR2_CKN0 | Output      | DDR2 differential negative clock0 | V <sub>DDEI1V8</sub> |
|      | C13           | MC0_DDR2_CKN1 | Output      | DDR2 differential negative clock1 | V <sub>DDEI1V8</sub> |
|      | A29           | MC0_DDR2_CKN2 | Output      | DDR2 differential negative clock2 | V <sub>DDEI1V8</sub> |
|      | B30           | MC0_DDR2_CKN3 | Output      | DDR2 differential negative clock3 | V <sub>DDEI1V8</sub> |
|      | T28           | MC0_DDR2_CKN4 | Output      | DDR2 differential negative clock4 | V <sub>DDEI1V8</sub> |
|      | U29           | MC0_DDR2_CKN5 | Output      | DDR2 differential negative clock5 | V <sub>DDEI1V8</sub> |
|      | D12           | MC0_DDR2_CKP0 | Output      | DDR2 differential positive clock0 | V <sub>DDEI1V8</sub> |
|      | B13           | MC0_DDR2_CKP1 | Output      | DDR2 differential positive clock1 | V <sub>DDEI1V8</sub> |
|      | A28           | MC0_DDR2_CKP2 | Output      | DDR2 differential positive clock2 | V <sub>DDEI1V8</sub> |
|      | A30           | MC0_DDR2_CKP3 | Output      | DDR2 differential positive clock3 | V <sub>DDEI1V8</sub> |
|      | R28           | MC0_DDR2_CKP4 | Output      | DDR2 differential positive clock4 | V <sub>DDEI1V8</sub> |
|      | U28           | MC0_DDR2_CKP5 | Output      | DDR2 differential positive clock5 | V <sub>DDEI1V8</sub> |
|      | A08           | MC0_DDR2_DQ00 | InOut       | DDR2 data00                       | V <sub>DDEI1V8</sub> |
|      | B09           | MC0_DDR2_DQ01 | InOut       | DDR2 data01                       | V <sub>DDEI1V8</sub> |
|      | B11           | MC0_DDR2_DQ02 | InOut       | DDR2 data02                       | V <sub>DDEI1V8</sub> |
|      | D10           | MC0_DDR2_DQ03 | InOut       | DDR2 data03                       | V <sub>DDEI1V8</sub> |
|      | B08           | MC0_DDR2_DQ04 | InOut       | DDR2 data04                       | V <sub>DDEI1V8</sub> |
|      | D08           | MC0_DDR2_DQ05 | InOut       | DDR2 data05                       | V <sub>DDEI1V8</sub> |
|      | E09           | MC0_DDR2_DQ06 | InOut       | DDR2 data06                       | V <sub>DDEI1V8</sub> |
|      | C09           | MC0_DDR2_DQ07 | InOut       | DDR2 data07                       | V <sub>DDEI1V8</sub> |
|      | A11           | MC0_DDR2_DQ08 | InOut       | DDR2 data08                       | V <sub>DDEI1V8</sub> |
|      | B12           | MC0_DDR2_DQ09 | InOut       | DDR2 data09                       | V <sub>DDEI1V8</sub> |
|      | A14           | MC0_DDR2_DQ10 | InOut       | DDR2 data10                       | V <sub>DDEI1V8</sub> |
|      | D14           | MC0_DDR2_DQ11 | InOut       | DDR2 data11                       | V <sub>DDEI1V8</sub> |
|      | B10           | MC0_DDR2_DQ12 | InOut       | DDR2 data12                       | V <sub>DDEI1V8</sub> |
|      | E11           | MC0_DDR2_DQ13 | InOut       | DDR2 data13                       | V <sub>DDEI1V8</sub> |
|      | B14           | MC0_DDR2_DQ14 | InOut       | DDR2 data14                       | V <sub>DDEI1V8</sub> |
|      | C14           | MC0_DDR2_DQ15 | InOut       | DDR2 data15                       | V <sub>DDEI1V8</sub> |
|      | E15           | MC0_DDR2_DQ16 | InOut       | DDR2 data16                       | V <sub>DDEI1V8</sub> |
|      | B15           | MC0_DDR2_DQ17 | InOut       | DDR2 data17                       | V <sub>DDEI1V8</sub> |
|      | E17           | MC0_DDR2_DQ18 | InOut       | DDR2 data18                       | V <sub>DDEI1V8</sub> |
|      | A17           | MC0_DDR2_DQ19 | InOut       | DDR2 data19                       | V <sub>DDEI1V8</sub> |
|      | C15           | MC0_DDR2_DQ20 | InOut       | DDR2 data20                       | V <sub>DDEI1V8</sub> |
|      | B16           | MC0_DDR2_DQ21 | InOut       | DDR2 data21                       | V <sub>DDEI1V8</sub> |
|      | B17           | MC0_DDR2_DQ22 | InOut       | DDR2 data22                       | V <sub>DDEI1V8</sub> |
|      | C17           | MC0_DDR2_DQ23 | InOut       | DDR2 data23                       | V <sub>DDEI1V8</sub> |
|      | B18           | MC0_DDR2_DQ24 | InOut       | DDR2 data24                       | V <sub>DDEI1V8</sub> |
|      | B19           | MC0_DDR2_DQ25 | InOut       | DDR2 data25                       | V <sub>DDEI1V8</sub> |
|      | B20           | MC0_DDR2_DQ26 | InOut       | DDR2 data26                       | V <sub>DDEI1V8</sub> |
| E21  | MC0_DDR2_DQ27 | InOut         | DDR2 data27 | V <sub>DDEI1V8</sub>              |                      |
| D18  | MC0_DDR2_DQ28 | InOut         | DDR2 data28 | V <sub>DDEI1V8</sub>              |                      |
| C19  | MC0_DDR2_DQ29 | InOut         | DDR2 data29 | V <sub>DDEI1V8</sub>              |                      |
| C20  | MC0_DDR2_DQ30 | InOut         | DDR2 data30 | V <sub>DDEI1V8</sub>              |                      |
| D20  | MC0_DDR2_DQ31 | InOut         | DDR2 data31 | V <sub>DDEI1V8</sub>              |                      |
| H29  | MC0_DDR2_DQ32 | InOut         | DDR2 data32 | V <sub>DDEI1V8</sub>              |                      |
| J29  | MC0_DDR2_DQ33 | InOut         | DDR2 data33 | V <sub>DDEI1V8</sub>              |                      |
| L29  | MC0_DDR2_DQ34 | InOut         | DDR2 data34 | V <sub>DDEI1V8</sub>              |                      |
| L26  | MC0_DDR2_DQ35 | InOut         | DDR2 data35 | V <sub>DDEI1V8</sub>              |                      |
| H27  | MC0_DDR2_DQ36 | InOut         | DDR2 data36 | V <sub>DDEI1V8</sub>              |                      |
| H30  | MC0_DDR2_DQ37 | InOut         | DDR2 data37 | V <sub>DDEI1V8</sub>              |                      |



| 功能模块 | 引出端号           | 引出端名称          | 类别                                      | 描述                                      | 电压域                  |
|------|----------------|----------------|---|---|----------------------|
| DDR2 | K27            | MC0_DDR2_DQ38  | InOut                                   | DDR2 data38                             | V <sub>DDEI1V8</sub> |
|      | K29            | MC0_DDR2_DQ39  | InOut                                   | DDR2 data39                             | V <sub>DDEI1V8</sub> |
|      | M29            | MC0_DDR2_DQ40  | InOut                                   | DDR2 data40                             | V <sub>DDEI1V8</sub> |
|      | M30            | MC0_DDR2_DQ41  | InOut                                   | DDR2 data41                             | V <sub>DDEI1V8</sub> |
|      | R29            | MC0_DDR2_DQ42  | InOut                                   | DDR2 data42                             | V <sub>DDEI1V8</sub> |
|      | N28            | MC0_DDR2_DQ43  | InOut                                   | DDR2 data43                             | V <sub>DDEI1V8</sub> |
|      | L30            | MC0_DDR2_DQ44  | InOut                                   | DDR2 data44                             | V <sub>DDEI1V8</sub> |
|      | L28            | MC0_DDR2_DQ45  | InOut                                   | DDR2 data45                             | V <sub>DDEI1V8</sub> |
|      | M27            | MC0_DDR2_DQ46  | InOut                                   | DDR2 data46                             | V <sub>DDEI1V8</sub> |
|      | N26            | MC0_DDR2_DQ47  | InOut                                   | DDR2 data47                             | V <sub>DDEI1V8</sub> |
|      | P29            | MC0_DDR2_DQ48  | InOut                                   | DDR2 data48                             | V <sub>DDEI1V8</sub> |
|      | R30            | MC0_DDR2_DQ49  | InOut                                   | DDR2 data49                             | V <sub>DDEI1V8</sub> |
|      | V29            | MC0_DDR2_DQ50  | InOut                                   | DDR2 data50                             | V <sub>DDEI1V8</sub> |
|      | V30            | MC0_DDR2_DQ51  | InOut                                   | DDR2 data51                             | V <sub>DDEI1V8</sub> |
|      | P27            | MC0_DDR2_DQ52  | InOut                                   | DDR2 data52                             | V <sub>DDEI1V8</sub> |
|      | R26            | MC0_DDR2_DQ53  | InOut                                   | DDR2 data53                             | V <sub>DDEI1V8</sub> |
|      | U26            | MC0_DDR2_DQ54  | InOut                                   | DDR2 data54                             | V <sub>DDEI1V8</sub> |
|      | V27            | MC0_DDR2_DQ55  | InOut                                   | DDR2 data55                             | V <sub>DDEI1V8</sub> |
|      | W26            | MC0_DDR2_DQ56  | InOut                                   | DDR2 data56                             | V <sub>DDEI1V8</sub> |
|      | W29            | MC0_DDR2_DQ57  | InOut                                   | DDR2 data57                             | V <sub>DDEI1V8</sub> |
|      | AA30           | MC0_DDR2_DQ58  | InOut                                   | DDR2 data58                             | V <sub>DDEI1V8</sub> |
|      | AA26           | MC0_DDR2_DQ59  | InOut                                   | DDR2 data59                             | V <sub>DDEI1V8</sub> |
|      | W28            | MC0_DDR2_DQ60  | InOut                                   | DDR2 data60                             | V <sub>DDEI1V8</sub> |
|      | Y29            | MC0_DDR2_DQ61  | InOut                                   | DDR2 data61                             | V <sub>DDEI1V8</sub> |
|      | AA29           | MC0_DDR2_DQ62  | InOut                                   | DDR2 data62                             | V <sub>DDEI1V8</sub> |
|      | AA28           | MC0_DDR2_DQ63  | InOut                                   | DDR2 data63                             | V <sub>DDEI1V8</sub> |
|      | C08            | MC0_DDR2_DQM0  | Output                                  | DDR2 data mask0                         | V <sub>DDEI1V8</sub> |
|      | C11            | MC0_DDR2_DQM1  | Output                                  | DDR2 data mask1                         | V <sub>DDEI1V8</sub> |
|      | D16            | MC0_DDR2_DQM2  | Output                                  | DDR2 data mask2                         | V <sub>DDEI1V8</sub> |
|      | E19            | MC0_DDR2_DQM3  | Output                                  | DDR2 data mask3                         | V <sub>DDEI1V8</sub> |
|      | J28            | MC0_DDR2_DQM4  | Output                                  | DDR2 data mask4                         | V <sub>DDEI1V8</sub> |
|      | N29            | MC0_DDR2_DQM5  | Output                                  | DDR2 data mask5                         | V <sub>DDEI1V8</sub> |
|      | T29            | MC0_DDR2_DQM6  | Output                                  | DDR2 data mask6                         | V <sub>DDEI1V8</sub> |
|      | Y27            | MC0_DDR2_DQM7  | Output                                  | DDR2 data mask7                         | V <sub>DDEI1V8</sub> |
|      | D22            | MC0_DDR2_DQM8  | Output                                  | DDR2 data mask8                         | V <sub>DDEI1V8</sub> |
|      | A09            | MC0_DDR2_DQSN0 | InOut                                   | DDR2 data negative differential strobe0 | V <sub>DDEI1V8</sub> |
|      | A12            | MC0_DDR2_DQSN1 | InOut                                   | DDR2 data negative differential strobe1 | V <sub>DDEI1V8</sub> |
|      | A15            | MC0_DDR2_DQSN2 | InOut                                   | DDR2 data negative differential strobe2 | V <sub>DDEI1V8</sub> |
|      | A18            | MC0_DDR2_DQSN3 | InOut                                   | DDR2 data negative differential strobe3 | V <sub>DDEI1V8</sub> |
|      | J30            | MC0_DDR2_DQSN4 | InOut                                   | DDR2 data negative differential strobe4 | V <sub>DDEI1V8</sub> |
|      | N30            | MC0_DDR2_DQSN5 | InOut                                   | DDR2 data negative differential strobe5 | V <sub>DDEI1V8</sub> |
|      | T30            | MC0_DDR2_DQSN6 | InOut                                   | DDR2 data negative differential strobe6 | V <sub>DDEI1V8</sub> |
|      | W30            | MC0_DDR2_DQSN7 | InOut                                   | DDR2 data negative differential strobe7 | V <sub>DDEI1V8</sub> |
|      | A21            | MC0_DDR2_DQSN8 | InOut                                   | DDR2 data negative differential strobe8 | V <sub>DDEI1V8</sub> |
|      | A10            | MC0_DDR2_DQSP0 | InOut                                   | DDR2 data positive differential strobe0 | V <sub>DDEI1V8</sub> |
|      | A13            | MC0_DDR2_DQSP1 | InOut                                   | DDR2 data positive differential strobe1 | V <sub>DDEI1V8</sub> |
|      | A16            | MC0_DDR2_DQSP2 | InOut                                   | DDR2 data positive differential strobe2 | V <sub>DDEI1V8</sub> |
|      | A19            | MC0_DDR2_DQSP3 | InOut                                   | DDR2 data positive differential strobe3 | V <sub>DDEI1V8</sub> |
|      | K30            | MC0_DDR2_DQSP4 | InOut                                   | DDR2 data positive differential strobe4 | V <sub>DDEI1V8</sub> |
|      | P30            | MC0_DDR2_DQSP5 | InOut                                   | DDR2 data positive differential strobe5 | V <sub>DDEI1V8</sub> |
| U30  | MC0_DDR2_DQSP6 | InOut          | DDR2 data positive differential strobe6 | V <sub>DDEI1V8</sub>                    |                      |
| Y30  | MC0_DDR2_DQSP7 | InOut          | DDR2 data positive differential strobe7 | V <sub>DDEI1V8</sub>                    |                      |
| A22  | MC0_DDR2_DQSP8 | InOut          | DDR2 data positive differential strobe8 | V <sub>DDEI1V8</sub>                    |                      |
| E29  | MC0_DDR2_ODT0  | Output         | DDR2 On-Die-Termination0                | V <sub>DDEI1V8</sub>                    |                      |
| G29  | MC0_DDR2_ODT1  | Output         | DDR2 On-Die-Termination1                | V <sub>DDEI1V8</sub>                    |                      |
| E30  | MC0_DDR2_ODT2  | Output         | DDR2 On-Die-Termination2                | V <sub>DDEI1V8</sub>                    |                      |
| G30  | MC0_DDR2_ODT3  | Output         | DDR2 On-Die-Termination3                | V <sub>DDEI1V8</sub>                    |                      |
| F27  | MC0_DDR2_RASN  | Output         | DDR2 row address select                 | V <sub>DDEI1V8</sub>                    |                      |

| 功能模块 | 引出端号       | 引出端名称           | 类别                     | 描述                     | 电压域                 |
|------|------------|-----------------|------------------------|------------------------|---------------------|
| DDR2 | E13        | MC0_DDR2_RESETN | Output                 | DDR2 reset Output      | V <sub>DDE1V8</sub> |
|      | C30        | MC0_DDR2_SCSN0  | Output                 | DDR2 chip select0      | V <sub>DDE1V8</sub> |
|      | F29        | MC0_DDR2_SCSN1  | Output                 | DDR2 chip select1      | V <sub>DDE1V8</sub> |
|      | D29        | MC0_DDR2_SCSN2  | Output                 | DDR2 chip select2      | V <sub>DDE1V8</sub> |
|      | F30        | MC0_DDR2_SCSN3  | Output                 | DDR2 chip select3      | V <sub>DDE1V8</sub> |
|      | G28        | MC0_DDR2_WEN    | Output                 | DDR2 write enable      | V <sub>DDE1V8</sub> |
| GMAC | AH24       | CLK125          | Input                  | GMAC0 and GMAC1 clock  | V <sub>DDGMAC</sub> |
|      | AG19       | GMAC0_MDCK      | Output                 | GMAC0 manage clock     | V <sub>DDGMAC</sub> |
|      | AH19       | GMAC0_MDIO      | InOut                  | GMAC0 manage data I/O  | V <sub>DDGMAC</sub> |
|      | AJ21       | GMAC0_RCTL      | Input                  | GMAC0 RX data control  | V <sub>DDGMAC</sub> |
|      | AK20       | GMAC0_RX_CLK    | Input                  | GMAC0 RX clock         | V <sub>DDGMAC</sub> |
|      | AK18       | GMAC0_RXD0      | Input                  | GMAC0 RX data0         | V <sub>DDGMAC</sub> |
|      | AJ19       | GMAC0_RXD1      | Input                  | GMAC0 RX data1         | V <sub>DDGMAC</sub> |
|      | AK19       | GMAC0_RXD2      | Input                  | GMAC0 RX data2         | V <sub>DDGMAC</sub> |
|      | AJ20       | GMAC0_RXD3      | Input                  | GMAC0 RX data3         | V <sub>DDGMAC</sub> |
|      | AJ22       | GMAC0_TCTL      | Output                 | GMAC0 TX data control  | V <sub>DDGMAC</sub> |
|      | AK21       | GMAC0_TX_CLK    | Output                 | GMAC0 TX clock         | V <sub>DDGMAC</sub> |
|      | AJ24       | GMAC0_TXD0      | Output                 | GMAC0 TX data0         | V <sub>DDGMAC</sub> |
|      | AK23       | GMAC0_TXD1      | Output                 | GMAC0 TX data1         | V <sub>DDGMAC</sub> |
|      | AJ23       | GMAC0_TXD2      | Output                 | GMAC0 TX data2         | V <sub>DDGMAC</sub> |
|      | AK22       | GMAC0_TXD3      | Output                 | GMAC0 TX data3         | V <sub>DDGMAC</sub> |
|      | AG21       | GMAC1_MDCK      | Output                 | GMAC1 manage clock     | V <sub>DDGMAC</sub> |
|      | AH21       | GMAC1_MDIO      | InOut                  | GMAC1 manage data I/O  | V <sub>DDGMAC</sub> |
|      | AJ27       | GMAC1_RCTL      | Input                  | GMAC1 RX data control  | V <sub>DDGMAC</sub> |
|      | AK26       | GMAC1_RX_CLK    | Input                  | GMAC1 RX clock         | V <sub>DDGMAC</sub> |
|      | AK24       | GMAC1_RXD0      | Input                  | GMAC1 RX data0         | V <sub>DDGMAC</sub> |
|      | AJ25       | GMAC1_RXD1      | Input                  | GMAC1 RX data1         | V <sub>DDGMAC</sub> |
|      | AK25       | GMAC1_RXD2      | Input                  | GMAC1 RX data2         | V <sub>DDGMAC</sub> |
|      | AJ26       | GMAC1_RXD3      | Input                  | GMAC1 RX data3         | V <sub>DDGMAC</sub> |
|      | AJ28       | GMAC1_TCTL      | Output                 | GMAC1 TX data control  | V <sub>DDGMAC</sub> |
|      | AK27       | GMAC1_TX_CLK    | Output                 | GMAC1 TX clock         | V <sub>DDGMAC</sub> |
|      | AK30       | GMAC1_TXD0      | Output                 | GMAC1 TX data0         | V <sub>DDGMAC</sub> |
|      | AK29       | GMAC1_TXD1      | Output                 | GMAC1 TX data1         | V <sub>DDGMAC</sub> |
|      | AJ29       | GMAC1_TXD2      | Output                 | GMAC1 TX data2         | V <sub>DDGMAC</sub> |
| AK28 | GMAC1_TXD3 | Output          | GMAC1 TX data3         | V <sub>DDGMAC</sub>    |                     |
| PCI  | AC01       | PCI_AD00        | InOut                  | PCI address and data00 | V <sub>DDE3V3</sub> |
|      | AC03       | PCI_AD01        | InOut                  | PCI address and data01 | V <sub>DDE3V3</sub> |
|      | AC02       | PCI_AD02        | InOut                  | PCI address and data02 | V <sub>DDE3V3</sub> |
|      | AC04       | PCI_AD03        | InOut                  | PCI address and data03 | V <sub>DDE3V3</sub> |
|      | AB02       | PCI_AD04        | InOut                  | PCI address and data04 | V <sub>DDE3V3</sub> |
|      | AB01       | PCI_AD05        | InOut                  | PCI address and data05 | V <sub>DDE3V3</sub> |
|      | AA03       | PCI_AD06        | InOut                  | PCI address and data06 | V <sub>DDE3V3</sub> |
|      | AA01       | PCI_AD07        | InOut                  | PCI address and data07 | V <sub>DDE3V3</sub> |
|      | AA04       | PCI_AD08        | InOut                  | PCI address and data08 | V <sub>DDE3V3</sub> |
|      | Y01        | PCI_AD09        | InOut                  | PCI address and data09 | V <sub>DDE3V3</sub> |
|      | W03        | PCI_AD10        | InOut                  | PCI address and data10 | V <sub>DDE3V3</sub> |
|      | W01        | PCI_AD11        | InOut                  | PCI address and data11 | V <sub>DDE3V3</sub> |
|      | Y02        | PCI_AD12        | InOut                  | PCI address and data12 | V <sub>DDE3V3</sub> |
|      | W02        | PCI_AD13        | InOut                  | PCI address and data13 | V <sub>DDE3V3</sub> |
|      | W04        | PCI_AD14        | InOut                  | PCI address and data14 | V <sub>DDE3V3</sub> |
|      | V01        | PCI_AD15        | InOut                  | PCI address and data15 | V <sub>DDE3V3</sub> |
|      | N01        | PCI_AD16        | InOut                  | PCI address and data16 | V <sub>DDE3V3</sub> |
|      | N02        | PCI_AD17        | InOut                  | PCI address and data17 | V <sub>DDE3V3</sub> |
|      | M01        | PCI_AD18        | InOut                  | PCI address and data18 | V <sub>DDE3V3</sub> |
|      | U04        | PCI_AD19        | InOut                  | PCI address and data19 | V <sub>DDE3V3</sub> |
|      | L01        | PCI_AD20        | InOut                  | PCI address and data20 | V <sub>DDE3V3</sub> |
|      | M02        | PCI_AD21        | InOut                  | PCI address and data21 | V <sub>DDE3V3</sub> |
|      | L02        | PCI_AD22        | InOut                  | PCI address and data22 | V <sub>DDE3V3</sub> |
| K01  | PCI_AD23   | InOut           | PCI address and data23 | V <sub>DDE3V3</sub>    |                     |

| 功能模块 | 引出端号       | 引出端名称         | 类别                      | 描述                        | 电压域                 |
|------|------------|---------------|-------------------------|---------------------------|---------------------|
| PCI  | K02        | PCI_AD24      | InOut                   | PCI address and data24    | V <sub>DDE3V3</sub> |
|      | J01        | PCI_AD25      | InOut                   | PCI address and data25    | V <sub>DDE3V3</sub> |
|      | H01        | PCI_AD26      | InOut                   | PCI address and data26    | V <sub>DDE3V3</sub> |
|      | J02        | PCI_AD27      | InOut                   | PCI address and data27    | V <sub>DDE3V3</sub> |
|      | H02        | PCI_AD28      | InOut                   | PCI address and data28    | V <sub>DDE3V3</sub> |
|      | G01        | PCI_AD29      | InOut                   | PCI address and data29    | V <sub>DDE3V3</sub> |
|      | G02        | PCI_AD30      | InOut                   | PCI address and data30    | V <sub>DDE3V3</sub> |
|      | R04        | PCI_AD31      | InOut                   | PCI address and data31    | V <sub>DDE3V3</sub> |
|      | AA02       | PCI_CBEN0     | InOut                   | PCI command/byte enable0  | V <sub>DDE3V3</sub> |
|      | U03        | PCI_CBEN1     | InOut                   | PCI command/byte enable1  | V <sub>DDE3V3</sub> |
|      | P02        | PCI_CBEN2     | InOut                   | PCI command/byte enable2  | V <sub>DDE3V3</sub> |
|      | R03        | PCI_CBEN3     | InOut                   | PCI command/byte enable3  | V <sub>DDE3V3</sub> |
|      | A04        | PCI_CLK       | Input                   | PCI clock Input           | V <sub>DDE3V3</sub> |
|      | AG01       | PCI_CONFIG0   | Input                   | PCI config Input0         | V <sub>DDE3V3</sub> |
|      | AG02       | PCI_CONFIG1   | Input                   | PCI config Input1         | V <sub>DDE3V3</sub> |
|      | AF01       | PCI_CONFIG2   | Input                   | PCI config Input2         | V <sub>DDE3V3</sub> |
|      | AF02       | PCI_CONFIG3   | Input                   | PCI config Input3         | V <sub>DDE3V3</sub> |
|      | AE01       | PCI_CONFIG4   | Input                   | PCI config Input4         | V <sub>DDE3V3</sub> |
|      | AE02       | PCI_CONFIG5   | Input                   | PCI config Input5         | V <sub>DDE3V3</sub> |
|      | AD01       | PCI_CONFIG6   | Input                   | PCI config Input6         | V <sub>DDE3V3</sub> |
|      | AD02       | PCI_CONFIG7   | Input                   | PCI config Input7         | V <sub>DDE3V3</sub> |
|      | T02        | PCI_DEVSELN   | InOut                   | PCI device select         | V <sub>DDE3V3</sub> |
|      | P01        | PCI_FRAMEN    | InOut                   | PCI frame start indicate  | V <sub>DDE3V3</sub> |
|      | F02        | PCI_GNTN0     | InOut                   | PCI arbitrator grant0     | V <sub>DDE3V3</sub> |
|      | D03        | PCI_GNTN1     | InOut                   | PCI arbitrator grant1     | V <sub>DDE3V3</sub> |
|      | E03        | PCI_GNTN2     | InOut                   | PCI arbitrator grant2     | V <sub>DDE3V3</sub> |
|      | G04        | PCI_GNTN3     | InOut                   | PCI arbitrator grant3     | V <sub>DDE3V3</sub> |
|      | J04        | PCI_GNTN4     | InOut                   | PCI arbitrator grant4     | V <sub>DDE3V3</sub> |
|      | L04        | PCI_GNTN5     | InOut                   | PCI arbitrator grant5     | V <sub>DDE3V3</sub> |
|      | N04        | PCI_GNTN6     | InOut                   | PCI arbitrator grant6     | V <sub>DDE3V3</sub> |
|      | AE04       | PCI_IDSEL     | Input                   | PCI ID selector           | V <sub>DDE3V3</sub> |
|      | R02        | PCI_IRDYN     | InOut                   | PCI initial ready         | V <sub>DDE3V3</sub> |
|      | D02        | PCI_IRQNA     | Input                   | PCI interruptA Input      | V <sub>DDE3V3</sub> |
|      | E02        | PCI_IRQNB     | Input                   | PCI interruptB Input      | V <sub>DDE3V3</sub> |
|      | C01        | PCI_IRQNC     | Input                   | PCI interruptC Input      | V <sub>DDE3V3</sub> |
|      | D01        | PCI_IRQND     | Input                   | PCI interruptD Input      | V <sub>DDE3V3</sub> |
|      | V02        | PCI_PAR       | InOut                   | PCI parity check bit      | V <sub>DDE3V3</sub> |
|      | U02        | PCI_PERR      | InOut                   | PCI parity error          | V <sub>DDE3V3</sub> |
|      | F01        | PCI_REQN0     | InOut                   | PCI arbitrator request0   | V <sub>DDE3V3</sub> |
|      | D05        | PCI_REQN1     | InOut                   | PCI arbitrator request1   | V <sub>DDE3V3</sub> |
|      | E04        | PCI_REQN2     | InOut                   | PCI arbitrator request2   | V <sub>DDE3V3</sub> |
|      | G03        | PCI_REQN3     | InOut                   | PCI arbitrator request3   | V <sub>DDE3V3</sub> |
|      | J03        | PCI_REQN4     | InOut                   | PCI arbitrator request4   | V <sub>DDE3V3</sub> |
|      | L03        | PCI_REQN5     | InOut                   | PCI arbitrator request5   | V <sub>DDE3V3</sub> |
| N03  | PCI_REQN6  | InOut         | PCI arbitrator request6 | V <sub>DDE3V3</sub>       |                     |
| E01  | PCI_RESETN | InOut         | PCI reset signal        | V <sub>DDE3V3</sub>       |                     |
| U01  | PCI_SERR   | InOut         | PCI system error        | V <sub>DDE3V3</sub>       |                     |
| T01  | PCI_STOPN  | InOut         | PCI stop                | V <sub>DDE3V3</sub>       |                     |
| R01  | PCI_TRDYN  | InOut         | PCI target ready        | V <sub>DDE3V3</sub>       |                     |
| LPC  | B05        | LPC_CLK       | Input                   | LPC clock                 | V <sub>DDE3V3</sub> |
|      | B06        | LPC_LAD0      | InOut                   | LPC address and data0     | V <sub>DDE3V3</sub> |
|      | A06        | LPC_LAD1      | InOut                   | LPC address and data1     | V <sub>DDE3V3</sub> |
|      | B07        | LPC_LAD2      | InOut                   | LPC address and data2     | V <sub>DDE3V3</sub> |
|      | A07        | LPC_LAD3      | InOut                   | LPC address and data3     | V <sub>DDE3V3</sub> |
|      | A05        | LPC_LFRAMEN   | Output                  | LPC frame start           | V <sub>DDE3V3</sub> |
|      | C03        | LPC_ROM8MBITS | Input                   | LPC ROM capability select | V <sub>DDE3V3</sub> |
|      | C05        | LPC_ROMINTEL  | Input                   | LPC Intel ROM select      | V <sub>DDE3V3</sub> |
| C07  | LPC_SERIRQ | InOut         | LPC serial IRQ          | V <sub>DDE3V3</sub>       |                     |

| 功能模块           | 引出端号      | 引出端名称     | 类别                     | 描述                        | 电压域                 |
|----------------|-----------|-----------|------------------------|---------------------------|---------------------|
| SPI            | AF03      | SPI_SCK   | Output                 | SPI serial clock Output   | V <sub>DDE3V3</sub> |
|                | AG03      | SPI_SDI   | Input                  | SPI serial data Input     | V <sub>DDE3V3</sub> |
|                | AE03      | SPI_SDO   | Output                 | SPI serial data Output    | V <sub>DDE3V3</sub> |
| PS2            | AG17      | K_CLK     | Output                 | Keyboard clk              | V <sub>DDE3V3</sub> |
|                | AH17      | K_DAT     | InOut                  | Keyboard data             | V <sub>DDE3V3</sub> |
|                | AG15      | M_CLK     | Output                 | Mouse clock               | V <sub>DDE3V3</sub> |
|                | AH15      | M_DAT     | InOut                  | Mouse data                | V <sub>DDE3V3</sub> |
| UART           | A01       | UART0_CTS | Input                  | UART0 clear to Send       | V <sub>DDE3V3</sub> |
|                | B04       | UART0_DCD | Input                  | UART0 carrier Detect      | V <sub>DDE3V3</sub> |
|                | A03       | UART0_DSR | Input                  | UART0 data Set Ready      | V <sub>DDE3V3</sub> |
|                | B01       | UART0_DTR | Output                 | UART0 data Terminal Ready | V <sub>DDE3V3</sub> |
|                | C02       | UART0_RI  | Input                  | UART0 ring Indicator      | V <sub>DDE3V3</sub> |
|                | A02       | UART0_RTS | Output                 | UART0 request to Send     | V <sub>DDE3V3</sub> |
|                | B03       | UART0_RXD | Input                  | UART0 receive Data        | V <sub>DDE3V3</sub> |
|                | B02       | UART0_TXD | Output                 | UART0 transmit Data       | V <sub>DDE3V3</sub> |
| System Control | AJ18      | CLKSEL00  | Input                  | Clock select Input00      | V <sub>DDE3V3</sub> |
|                | AK17      | CLKSEL01  | Input                  | Clock select Input01      | V <sub>DDE3V3</sub> |
|                | AJ17      | CLKSEL02  | Input                  | Clock select Input02      | V <sub>DDE3V3</sub> |
|                | AK16      | CLKSEL03  | Input                  | Clock select Input03      | V <sub>DDE3V3</sub> |
|                | AJ16      | CLKSEL04  | Input                  | Clock select Input04      | V <sub>DDE3V3</sub> |
|                | AK15      | CLKSEL05  | Input                  | Clock select Input05      | V <sub>DDE3V3</sub> |
|                | AJ15      | CLKSEL06  | Input                  | Clock select Input06      | V <sub>DDE3V3</sub> |
|                | AK14      | CLKSEL07  | Input                  | Clock select Input07      | V <sub>DDE3V3</sub> |
|                | AJ14      | CLKSEL08  | Input                  | Clock select Input08      | V <sub>DDE3V3</sub> |
|                | AK13      | CLKSEL09  | Input                  | Clock select Input09      | V <sub>DDE3V3</sub> |
|                | AJ13      | CLKSEL10  | Input                  | Clock select Input10      | V <sub>DDE3V3</sub> |
|                | AK12      | CLKSEL11  | Input                  | Clock select Input11      | V <sub>DDE3V3</sub> |
|                | AJ12      | CLKSEL12  | Input                  | Clock select Input12      | V <sub>DDE3V3</sub> |
|                | AK11      | CLKSEL13  | Input                  | Clock select Input13      | V <sub>DDE3V3</sub> |
|                | AJ11      | CLKSEL14  | Input                  | Clock select Input14      | V <sub>DDE3V3</sub> |
|                | AK10      | CLKSEL15  | Input                  | Clock select Input15      | V <sub>DDE3V3</sub> |
|                | AK07      | GPIO00    | InOut                  | General purpose I/O 00    | V <sub>DDE3V3</sub> |
|                | AJ07      | GPIO01    | InOut                  | General purpose I/O 01    | V <sub>DDE3V3</sub> |
|                | AK06      | GPIO02    | InOut                  | General purpose I/O 02    | V <sub>DDE3V3</sub> |
|                | AJ06      | GPIO03    | InOut                  | General purpose I/O 03    | V <sub>DDE3V3</sub> |
|                | AK05      | GPIO04    | InOut                  | General purpose I/O 04    | V <sub>DDE3V3</sub> |
|                | AJ05      | GPIO05    | InOut                  | General purpose I/O 05    | V <sub>DDE3V3</sub> |
|                | AK04      | GPIO06    | InOut                  | General purpose I/O 06    | V <sub>DDE3V3</sub> |
|                | AJ04      | GPIO07    | InOut                  | General purpose I/O 07    | V <sub>DDE3V3</sub> |
| AK03           | GPIO08    | InOut     | General purpose I/O 08 | V <sub>DDE3V3</sub>       |                     |
| AJ03           | GPIO09    | InOut     | General purpose I/O 09 | V <sub>DDE3V3</sub>       |                     |
| AK01           | GPIO10    | InOut     | General purpose I/O 10 | V <sub>DDE3V3</sub>       |                     |
| AK02           | GPIO11    | InOut     | General purpose I/O 11 | V <sub>DDE3V3</sub>       |                     |
| System Control | AJ01      | GPIO12    | InOut                  | General purpose I/O 12    | V <sub>DDE3V3</sub> |
|                | AJ02      | GPIO13    | InOut                  | General purpose I/O 13    | V <sub>DDE3V3</sub> |
|                | AH01      | GPIO14    | InOut                  | General purpose I/O 14    | V <sub>DDE3V3</sub> |
|                | AH02      | GPIO15    | InOut                  | General purpose I/O 15    | V <sub>DDE3V3</sub> |
|                | AJ10      | INTN0     | Input                  | Interrupt Input0          | V <sub>DDE3V3</sub> |
|                | AK09      | INTN1     | Input                  | Interrupt Input1          | V <sub>DDE3V3</sub> |
|                | AJ09      | INTN2     | Input                  | Interrupt Input2          | V <sub>DDE3V3</sub> |
|                | AK08      | INTN3     | Input                  | Interrupt Input3          | V <sub>DDE3V3</sub> |
|                | AJ30      | MEMCLK    | Input                  | Memory clock Input        | V <sub>DDE3V3</sub> |
|                | AJ08      | NMIN      | Input                  | Non-mask interrupt Input  | V <sub>DDE3V3</sub> |
|                | AH30      | SYSCLK    | Input                  | System clock Input        | V <sub>DDE3V3</sub> |
|                | AH28      | TESTCLK   | Input                  | Test clock Input          | V <sub>DDE3V3</sub> |
| AH29           | SYSRESETN | Input     | System reset Input     | V <sub>DDE3V3</sub>       |                     |

| 功能模块        | 引出端号 | 引出端名称         | 类别               | 描述                         | 电压域                 |
|-------------|------|---------------|------------------|----------------------------|---------------------|
| TEST        | AG09 | DOTEST        | Input            | Test mode select           | V <sub>DDE3V3</sub> |
|             | AG07 | EJTAG_TCK     | Input            | EJTAG clock Input          | V <sub>DDE3V3</sub> |
|             | AH04 | EJTAG_TDI     | Input            | EJTAG data Input           | V <sub>DDE3V3</sub> |
|             | AH07 | EJTAG_TDO     | Output           | EJTAG data Output          | V <sub>DDE3V3</sub> |
|             | AG05 | EJTAG_TMS     | Input            | EJTAG_TMS                  | V <sub>DDE3V3</sub> |
|             | AH05 | EJTAG_TRST    | Input            | EJTAG reset                | V <sub>DDE3V3</sub> |
|             | AG13 | TCK           | Input            | JTAG test clock            | V <sub>DDE3V3</sub> |
|             | AH09 | TDI           | Input            | JTAG test data Input       | V <sub>DDE3V3</sub> |
|             | AH13 | TDO           | Output           | JTAG test data Output      | V <sub>DDE3V3</sub> |
|             | AG11 | TMS           | Input            | JTAG test mode select      | V <sub>DDE3V3</sub> |
| AH11        | TRST | Input         | JTAG test reset  | V <sub>DDE3V3</sub>        |                     |
| VDDAPLLCORE | AF30 | CORE_PLL_AVDD | —                | Core PLL analog power      | —                   |
| VDDDPLLCORE | AG30 | CORE_PLL_DVDD | —                | Core PLL digital power     | —                   |
| GNDAPLLCORE | AF29 | CORE_PLL_GNDE | —                | Core PLL analog ground     | —                   |
| GNDPPLLCORE | AG29 | CORE_PLL_GND  | —                | Core PLL digital ground    | —                   |
| VDDAPLLDDR  | AE30 | DDR_PLL_AVDD  | —                | DDR PLL analog power       | —                   |
| VDDDPLLLDDR | AE28 | DDR_PLL_DVDD  | —                | DDR PLL digital power      | —                   |
| GNDAPLLDDR  | AE29 | DDR_PLL_GNDE  | —                | DDR PLL analog ground      | —                   |
| GNDPPLLLDDR | AF28 | DDR_PLL_GND   | —                | DDR PLL digital ground     | —                   |
| DDR2_VREF   | AA27 | MC0_DDR2_VREF | —                | DDR2 reference power Input | —                   |
|             | C10  | MC0_DDR2_VREF | —                | DDR2 reference power Input | —                   |
|             | D09  | MC0_DDR2_VREF | —                | DDR2 reference power Input | —                   |
|             | D11  | MC0_DDR2_VREF | —                | DDR2 reference power Input | —                   |
|             | W27  | MC0_DDR2_VREF | —                | DDR2 reference power Input | —                   |
|             | Y28  | MC0_DDR2_VREF | —                | DDR2 reference power Input | —                   |
| VDD         | AB05 | VDD           | —                | 1.15V Core power           | —                   |
|             | AB26 | VDD           | —                | 1.15V Core power           | —                   |
|             | AB28 | VDD           | —                | 1.15V Core power           | —                   |
|             | AB30 | VDD           | —                | 1.15V Core power           | —                   |
|             | AC28 | VDD           | —                | 1.15V Core power           | —                   |
|             | AC30 | VDD           | —                | 1.15V Core power           | —                   |
|             | AD05 | VDD           | —                | 1.15V Core power           | —                   |
|             | AD26 | VDD           | —                | 1.15V Core power           | —                   |
|             | AD28 | VDD           | —                | 1.15V Core power           | —                   |
|             | AD30 | VDD           | —                | 1.15V Core power           | —                   |
|             | AF07 | VDD           | —                | 1.15V Core power           | —                   |
|             | AF09 | VDD           | —                | 1.15V Core power           | —                   |
|             | AF11 | VDD           | —                | 1.15V Core power           | —                   |
|             | AF13 | VDD           | —                | 1.15V Core power           | —                   |
|             | AF15 | VDD           | —                | 1.15V Core power           | —                   |
|             | AF17 | VDD           | —                | 1.15V Core power           | —                   |
|             | AF19 | VDD           | —                | 1.15V Core power           | —                   |
|             | AF21 | VDD           | —                | 1.15V Core power           | —                   |
|             | AF23 | VDD           | —                | 1.15V Core power           | —                   |
|             | AF25 | VDD           | —                | 1.15V Core power           | —                   |
|             | E07  | VDD           | —                | 1.15V Core power           | —                   |
|             | E10  | VDD           | —                | 1.15V Core power           | —                   |
|             | E14  | VDD           | —                | 1.15V Core power           | —                   |
|             | E18  | VDD           | —                | 1.15V Core power           | —                   |
|             | E22  | VDD           | —                | 1.15V Core power           | —                   |
|             | F05  | VDD           | —                | 1.15V Core power           | —                   |
|             | H05  | VDD           | —                | 1.15V Core power           | —                   |
| J26         | VDD  | —             | 1.15V Core power | —                          |                     |
| K05         | VDD  | —             | 1.15V Core power | —                          |                     |

| 功能模块     | 引出端号     | 引出端名称    | 类别             | 描述               | 电压域 |
|----------|----------|----------|----------------|------------------|-----|
| VDD      | M05      | VDD      | —              | 1.15V Core power | —   |
|          | M26      | VDD      | —              | 1.15V Core power | —   |
|          | P05      | VDD      | —              | 1.15V Core power | —   |
|          | T05      | VDD      | —              | 1.15V Core power | —   |
|          | T26      | VDD      | —              | 1.15V Core power | —   |
|          | V05      | VDD      | —              | 1.15V Core power | —   |
|          | Y05      | VDD      | —              | 1.15V Core power | —   |
|          | Y26      | VDD      | —              | 1.15V Core power | —   |
| VDDE1V8  | B29      | VDDE1V8  | —              | 1.8V I/O power   | —   |
|          | C25      | VDDE1V8  | —              | 1.8V I/O power   | —   |
|          | C27      | VDDE1V8  | —              | 1.8V I/O power   | —   |
|          | D28      | VDDE1V8  | —              | 1.8V I/O power   | —   |
|          | E24      | VDDE1V8  | —              | 1.8V I/O power   | —   |
| VDDE1V8  | E26      | VDDE1V8  | —              | 1.8V I/O power   | —   |
|          | F28      | VDDE1V8  | —              | 1.8V I/O power   | —   |
|          | G26      | VDDE1V8  | —              | 1.8V I/O power   | —   |
| VDDEGMAC | AG20     | VDDEGMAC | —              | GMAC I/O power   | —   |
|          | AG23     | VDDEGMAC | —              | GMAC I/O power   | —   |
|          | AG25     | VDDEGMAC | —              | GMAC I/O power   | —   |
|          | AG27     | VDDEGMAC | —              | GMAC I/O power   | —   |
|          | AH20     | VDDEGMAC | —              | GMAC I/O power   | —   |
|          | AH23     | VDDEGMAC | —              | GMAC I/O power   | —   |
|          | AH25     | VDDEGMAC | —              | GMAC I/O power   | —   |
| AH27     | VDDEGMAC | —        | GMAC I/O power | —                |     |
| VDDE3V3  | AD03     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AD04     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AF05     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AF26     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AF27     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AG04     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AG08     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AG12     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AG16     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AH08     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AH12     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | AH16     | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | D04      | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | D06      | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | E05      | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | H03      | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | H04      | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | M03      | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | M04      | VDDE3V3  | —              | 3.3V I/O power   | —   |
|          | T03      | VDDE3V3  | —              | 3.3V I/O power   | —   |
| T04      | VDDE3V3  | —        | 3.3V I/O power | —                |     |
| Y03      | VDDE3V3  | —        | 3.3V I/O power | —                |     |
| Y04      | VDDE3V3  | —        | 3.3V I/O power | —                |     |
| Ground   | AA05     | GND      | —              | Ground           | —   |
|          | AB27     | GND      | —              | Ground           | —   |
|          | AB29     | GND      | —              | Ground           | —   |
|          | AC05     | GND      | —              | Ground           | —   |
|          | AC26     | GND      | —              | Ground           | —   |
|          | AC27     | GND      | —              | Ground           | —   |

| 功能模块   | 引出端号 | 引出端名称 | 类别     | 描述     | 电压域 |
|--------|------|-------|--------|--------|-----|
| Ground | AC29 | GND   | —      | Ground | —   |
|        | AD27 | GND   | —      | Ground | —   |
|        | AD29 | GND   | —      | Ground | —   |
|        | AE05 | GND   | —      | Ground | —   |
|        | AF06 | GND   | —      | Ground | —   |
|        | AF08 | GND   | —      | Ground | —   |
|        | AF10 | GND   | —      | Ground | —   |
|        | AF12 | GND   | —      | Ground | —   |
|        | AF14 | GND   | —      | Ground | —   |
|        | AF16 | GND   | —      | Ground | —   |
|        | AF18 | GND   | —      | Ground | —   |
|        | AF20 | GND   | —      | Ground | —   |
|        | AF22 | GND   | —      | Ground | —   |
|        | AF24 | GND   | —      | Ground | —   |
|        | E06  | GND   | —      | Ground | —   |
|        | E08  | GND   | —      | Ground | —   |
|        | E12  | GND   | —      | Ground | —   |
|        | E16  | GND   | —      | Ground | —   |
|        | E20  | GND   | —      | Ground | —   |
|        | G05  | GND   | —      | Ground | —   |
|        | J05  | GND   | —      | Ground | —   |
|        | K26  | GND   | —      | Ground | —   |
|        | L05  | GND   | —      | Ground | —   |
|        | N05  | GND   | —      | Ground | —   |
|        | P26  | GND   | —      | Ground | —   |
|        | R05  | GND   | —      | Ground | —   |
|        | U05  | GND   | —      | Ground | —   |
|        | V26  | GND   | —      | Ground | —   |
|        | W05  | GND   | —      | Ground | —   |
|        | AB03 | GND   | —      | Ground | —   |
|        | AB04 | GND   | —      | Ground | —   |
|        | AE27 | GND   | —      | Ground | —   |
|        | AF04 | GND   | —      | Ground | —   |
|        | AG06 | GND   | —      | Ground | —   |
|        | AG10 | GND   | —      | Ground | —   |
|        | AG14 | GND   | —      | Ground | —   |
|        | AG18 | GND   | —      | Ground | —   |
|        | AG22 | GND   | —      | Ground | —   |
|        | AG24 | GND   | —      | Ground | —   |
|        | AG26 | GND   | —      | Ground | —   |
|        | AG28 | GND   | —      | Ground | —   |
|        | AH03 | GND   | —      | Ground | —   |
| AH06   | GND  | —     | Ground | —      |     |
| AH10   | GND  | —     | Ground | —      |     |
| AH14   | GND  | —     | Ground | —      |     |
| AH18   | GND  | —     | Ground | —      |     |
| AH22   | GND  | —     | Ground | —      |     |
| AH26   | GND  | —     | Ground | —      |     |
| C04    | GND  | —     | Ground | —      |     |
| C06    | GND  | —     | Ground | —      |     |
| C16    | GND  | —     | Ground | —      |     |
| C18    | GND  | —     | Ground | —      |     |
| C22    | GND  | —     | Ground | —      |     |

| 功能模块   | 引出端号     | 引出端名称 | 类别 | 描述                | 电压域 |
|--------|----------|-------|----|-------------------|-----|
| Ground | D07      | GND   | —  | Ground            | —   |
|        | D13      | GND   | —  | Ground            | —   |
|        | D15      | GND   | —  | Ground            | —   |
|        | D17      | GND   | —  | Ground            | —   |
|        | D19      | GND   | —  | Ground            | —   |
|        | D21      | GND   | —  | Ground            | —   |
|        | D23      | GND   | —  | Ground            | —   |
|        | F03      | GND   | —  | Ground            | —   |
|        | F04      | GND   | —  | Ground            | —   |
|        | H28      | GND   | —  | Ground            | —   |
|        | J27      | GND   | —  | Ground            | —   |
|        | K03      | GND   | —  | Ground            | —   |
|        | K04      | GND   | —  | Ground            | —   |
|        | K28      | GND   | —  | Ground            | —   |
|        | L27      | GND   | —  | Ground            | —   |
|        | M28      | GND   | —  | Ground            | —   |
|        | N27      | GND   | —  | Ground            | —   |
|        | P03      | GND   | —  | Ground            | —   |
|        | P04      | GND   | —  | Ground            | —   |
|        | P28      | GND   | —  | Ground            | —   |
|        | R27      | GND   | —  | Ground            | —   |
|        | T27      | GND   | —  | Ground            | —   |
|        | U27      | GND   | —  | Ground            | —   |
|        | V03      | GND   | —  | Ground            | —   |
|        | V04      | GND   | —  | Ground            | —   |
|        | V28      | GND   | —  | Ground            | —   |
| AE26   | PKG_GNDE | —     | —  | Package to Ground | —   |

图 2 引出端排列

3.2.4 功能表或功能框图

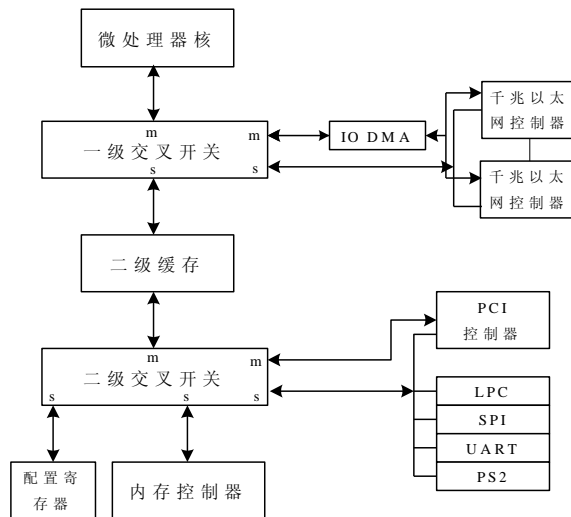


图 3 功能框图

3.2.5 电路图

承制方在鉴定前将电路图存档备查。

3.2.6 绝对最大额定值

绝对最大额定值如下：

- a) 核电源电压 ( $V_{DD}$ ) ..... -0.50V~1.32V;



|  |               |
|--|---------------|
| b) IO 电源电压 ( $V_{DDE3V3}$ )              | -0.50V~3.96V; |
| c) IO 电源电压 ( $V_{DDE1V8}$ )              | -0.50V~2.30V; |
| d) IO 电源电压 ( $V_{DDEGMAC}$ )             | -0.50V~3.00V; |
| e) 核 PLL 模拟电源电压 ( $V_{DDAPLLCORE}$ )     | -0.50V~2.30V; |
| f) 核 PLL 数字电源电压 ( $V_{DDPPLLCORE}$ )     | -0.50V~1.32V; |
| g) DDR2 的 PLL 模拟电源电压 ( $V_{DDAPLLDDR}$ ) | -0.50V~2.80V; |
| h) DDR2 的 PLL 数字电源电压 ( $V_{DDPPLDDR}$ )  | -0.50V~1.32V; |
| i) DDR2 的参考电压 ( $V_{DDRREF}$ )           | -0.50V~1.32V; |
| j) 功耗 ( $P_D$ )                          | 8W;           |
| k) 贮存温度 ( $T_{stg}$ )                    | -50°C~125°C;  |
| l) 结温 ( $T_j$ )                          | 125°C;        |
| m) 热阻 ( $R_{th(j-c)}$ )                  | 2°C/W。        |

### 3.2.7 推荐工作条件

推荐工作条件如下:

|  |                |
|--|----------------|
| a) 核电源电压 ( $V_{DD}$ )                    | 1.15V ± 0.05V; |
| b) IO 电源电压 ( $V_{DDE3V3}$ )              | 3.30V ± 0.15V; |
| c) IO 电源电压 ( $V_{DDE1V8}$ )              | 1.80V ± 0.09V; |
| d) IO 电源电压 ( $V_{DDEGMAC}$ )             | 2.50V ± 0.10V; |
| e) 核 PLL 模拟电源电压 ( $V_{DDAPLLCORE}$ )     | 1.80V ± 0.09V; |
| f) 核 PLL 数字电源电压 ( $V_{DDPPLLCORE}$ )     | 1.15V ± 0.05V; |
| g) DDR2 的 PLL 模拟电源电压 ( $V_{DDAPLLDDR}$ ) | 1.80V ± 0.09V; |
| h) DDR2 的 PLL 数字电源电压 ( $V_{DDPPLDDR}$ )  | 1.15V ± 0.05V; |
| i) 工作温度 ( $T_C$ )                        | -40°C~85°C;    |
| j) 工作频率 ( $f$ )                          | 400MHz~800MHz。 |

### 3.2.8 功能描述

器件是基于 64 位超标量微处理器核 (参见 3.2.8.1) 的 SoC 型微处理器。整体架构基于两级互连实现。系统结构如图 3 所示, 第一层互连采用 2x2 的交叉开关 (一级交叉开关), 连接微处理器核、二级缓存 (参见 3.2.8.2) 模块 (作为从设备, 在图中以 “s” 表示, 下同)、以及两个千兆以太网控制器 (参见 3.2.8.5); 第二级互连采用 2x3 的交叉开关 (二级交叉开关), 连接二级缓存模块 (作为主设备, 在图中以 “m” 表示)、内存控制器 (参见 3.2.8.3)、低速 I/O (包括 PCI、LPC、SPI、UART、PS/2, 参见 3.2.8.4、3.2.8.6、3.2.8.7、3.2.8.8、3.2.8.9) 以及芯片内部的配置寄存器模块。两级互连开关均兼容先进可扩展接口 (AXI) 协议, 采用读写分离数据通道, 数据通道宽度 128bit, 工作在与微处理器核相同的频率。

#### 3.2.8.1 64 位超标量微处理器核 (GS464)

GS464 是实现 64 位 MIPS64 指令集的通用 RISC 处理器 IP 核。其浮点运算峰值为 3.2GFlops。GS464 的基本结构如图 4 所示。

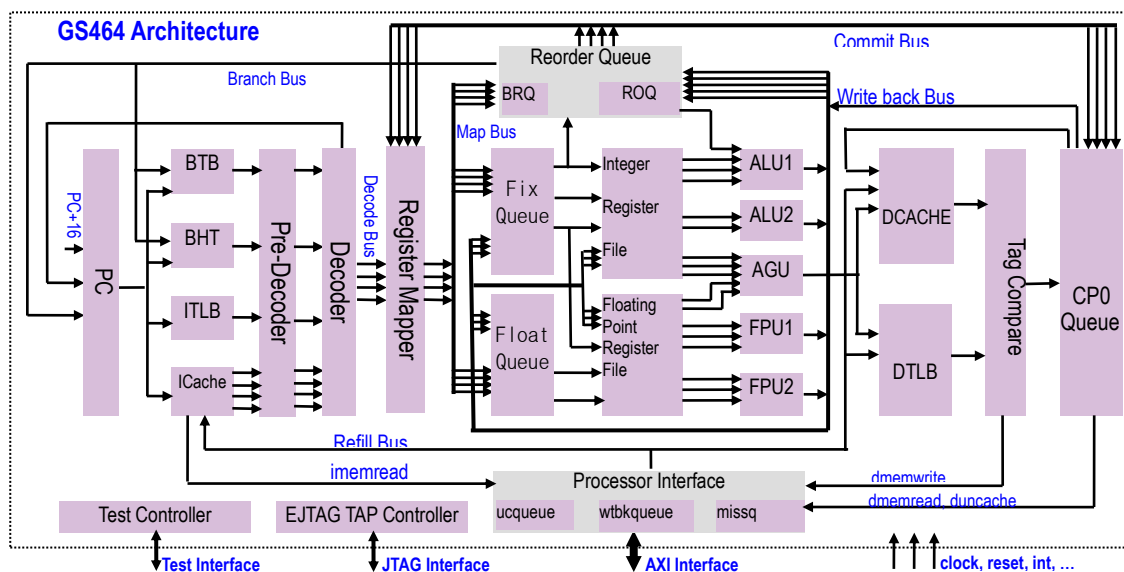


图 4 GS464 基本结构示意图

GS464 指令流水线每时钟周期取四条指令译码，并且动态地发射至五个全流水功能部件中。指令在保证依赖关系的前提下进行乱序执行，且保证精确例外和顺序访存。

乱序执行技术包括寄存器重命名技术、动态调度技术和转移预测技术。寄存器重命名解决读后写（WAR）和写后写（WAW）相关，并用于例外和错误转移预测引起的精确现场恢复。GS464 分别通过 64 项物理寄存器堆进行定点重命名和浮点寄存器重命名。动态调度根据指令操作数准备好的次序来执行指令。GS464 集成一个 16 项定点保留站和一个 16 项浮点保留站用于乱序发射，并通过一个 64 项重排序队列（Reorder Queue，简称 ROQ）实现乱序执行的指令按程序序提交。转移预测通过预测转移指令的方向以减少由于控制相关引起的阻塞。GS464 使用 16 项转移目标地址缓冲器（Branch Target Buffer，简称 BTB），8K 项转移历史表（Branch History Table，简称 BHT），九位全局历史寄存器（Global History Register，简称 GHR），和四项返回地址栈（Return Address Stack，简称 RAS）进行转移预测。

GS464 的一级缓存由 64KB 指令缓存和 64KB 数据缓存组成，均采用四路组相联结构。GS464 的转译查找表（Translation Lookaside Buffer，简称 TLB）是 64 项，采用全相联结构，每项可映射一个奇页和一个偶页，页大小在 4KB 到 16MB 之间可变。GS464 通过 24 项访存队列和八项访存失效队列（Miss Queue）动态解决地址依赖，实现访存乱序执行、非阻塞缓存、取数指令猜测执行（Load Speculation）等访存优化。GS464 支持 128 位访存操作，其虚地址和物理地址均为 48 位。

GS464 集成两个定点功能部件和两个浮点功能部件。每个浮点部件均可全流水执行 64 位双精度浮点乘加操作，并可通过浮点指令 `fmt` 域扩展执行 32 位和 64 位定点指令。

GS464 基本流水线包括取指、预译码、译码、寄存器重命名、调度、发射、读寄存器、执行、提交九级，各级流水主要操作如下：

取指：用程序计数器（Program Counter，简称 PC）值访问指令缓存和指令 TLB，如指令缓存和指令 TLB 均命中，则把四条新指令取到指令寄存器（Instruction Register，简称 IR）中。

- a) 预译码：对转移指令进行译码并预测跳转方向。
- b) 译码：将 IR 中指令转换为内部指令格式送往寄存器重命名模块。
- c) 寄存器重命名：为逻辑目标寄存器分配一个新物理寄存器，并将逻辑源寄存器映射到对应的物理寄存器。
- d) 调度：将重命名指令分配到定点保留站、浮点保留站中等待执行。

- e) 发射：从定点或浮点保留站中选择操作数准备好的指令送到读寄存器流水级。
- f) 读寄存器：从物理寄存器堆中读取源操作数送到相对应的功能部件中。
- g) 执行：根据指令类型执行指令并把计算结果写回寄存器堆；
- h) 提交：按顺序提交执行完的指令，对目标逻辑寄存器重命名关系进行确认，释放原重命名关系，并允许提交的存数指令进行缓存或内存写入操作。

上述九级流水级是基本指令流水级。对于部分较复杂指令，如定点乘除法指令、浮点指令以及访存指令等，在执行阶段需要多拍才可执行完毕。

#### 3.2.8.2 二级缓存（cache）

二级缓存模块是与 GS464 处理器核配套设计的模块。二级缓存模块可与 GS464 对接，使 GS464 成为集成二级缓存的处理器 IP。另外通过 AXI 网络连接多个 GS464 及多个二级缓存模块，可构成片内多处理器 CMP 结构。器件二级缓存为 1M 字节，与微处理器核工作频率相同，其主要特征包括：

- a) 采用 128 位 AXI 接口；
- b) 集成八项缓存访问队列；
- c) 支持关键字优先；
- d) 通过目录支持缓存一致性协议；
- e) 采用四路组相联结构；
- f) 支持 ECC 校验；
- g) 支持直接内存访问（Direct Memory Access，简称 DMA）一致性读写和预取；
- h) 支持 16 种二级缓存散列方式；
- i) 支持按窗口锁定；

二级缓存模块包括二级缓存管理模块（Scachemanage）及二级缓存访问模块（Scacheaccess）。Scachemanage 模块负责处理来自处理器和 DMA 的访问请求；二级缓存的标签（TAG）、目录和数据等信息存放在 Scacheaccess 模块中。

#### 3.2.8.3 内存控制器（DDR2 控制器）

内存控制器符合 JESD79-2F（DDR2 SDRAM 行业标准），其主要特性包括：

- a) 支持全流水的命令和数据读写；
- b) 支持访存请求合并和重排序；
- c) 基本参数可通过寄存器读写端口修改；
- d) 内置延迟补偿电路；
- e) 实现内存纠错功能，支持一位错误纠正和两位错误检测。

#### 3.2.8.4 PCI 控制器

器件的 PCI 控制器符合 PCI2.3 协议，支持 64 位双地址周期寻址(Dual Address Cycle)。可作为主桥控制整个系统，也可作为 PCI 设备工作在 PCI 总线上。

#### 3.2.8.5 千兆以太网控制器（GMAC 控制）

千兆以太网控制器符合 IEEE 802.3（以太网协议标准），其主要特征包括：

- a) 支持 10/100/1000Mbps 自适应；
- b) 提供简化千兆介质无关接口（Reduced Gigabit Media Independent Interface，简称 RGMII）接口；

- c) 支持半双工/全双工自适应;
- d) 在半双工模式下, 支持碰撞检测与重发 (CSMA/CD) 协议。

#### 3.2.8.6 LPC 接口

器件的 LPC 接口符合 LPC1.1 规范, 其主要特征包括:

- a) 支持 LPC 访问超时计数器;
- b) 支持内存读、内存写、固件内存读、固件内存写 (单字节)、I/O 读、I/O 写访问类型;
- c) 支持串行中断, 提供 17 个中断源。

#### 3.2.8.7 SPI 接口

SPI (Serial Peripheral Interface) 是同步串行外设接口, 它可使 CPU 与外围设备以串行方式进行通信, 其主要特征包括:

- a) 支持全双工同步串口数据传输;
- b) 支持 1-4 变长字节传输;
- c) 仅支持主模式;
- d) 集成双缓冲接收器;
- e) 支持极性和相位可编程的串行时钟。

#### 3.2.8.8 PS/2 接口

PS/2 是常用的键盘、鼠标接口, 其主要特征包括:

- a) 集成可编程计数器;
- b) 兼容第一套和第二套键盘扫描码;
- c) 支持编码键盘和非编码键盘;
- d) 支持二键式、三键式鼠标。

#### 3.2.8.9 UART 接口

UART 是通用异步收发器, 其主要特征包括:

- a) 功能与 NS16550 芯片兼容, 仅支持先进先出 (Fist In Fist Out, 简称 FIFO) 工作方式;
- b) 支持全双工异步数据接收/发送;
- c) 支持可编程数据格式;
- d) 支持 16 位可编程时钟计数器。

### 3.3 焊球材料和涂覆

焊球材料采用锡/银/铜 (Sn/Ag/Cu), 焊球无涂覆。

### 3.4 电特性

除另有规定外, 电特性应按表 1 的规定, 并适用于全温度范围。

表 1 电特性

| 参数       | 符号        | 条 件<br>除另有规定外 $V_{DDE3V3}=3.30V\pm0.15V$ 、<br>$V_{DDE1V8}=1.80V\pm0.09V$ 、 $V_{DD}=1.15V\pm0.05V$<br>$V_{DDEGMAC}=2.50V\pm0.10V$ 、 $V_{DDAPLLCORE}=1.80V\pm0.09V$<br>$V_{DDPLLCORE}=1.15V\pm0.05V$ 、 $V_{DDAPLLDDR}=1.80V\pm0.09V$<br>$V_{DDPLLDDR}=1.15V\pm0.05V$ 、 $V_{DDRREF}=V_{DDE1V8}/2$<br>$-40^{\circ}C\leq T_C\leq 85^{\circ}C$ |  | 分<br>组           | 极限值    |         | 单<br>位  |
|----------|-----------|--|--|------------------|--------|---------|---------|
|          |           |  |  |                  | 最<br>小 | 最<br>大  |         |
| 正箝位电压    | $V_{IK+}$ | $V_{DD}$ 、 $V_{DDE3V3}$ 、 $V_{DDE1V8}$ 、 $V_{DDEGMAC}$ 接地, 被测端输入<br>$I_{IK}=1mA$ 。测试所有 Input 端口  |  | A3<br>A3a<br>A3b | 0.2    | 1.2     | V       |
| 负箝位电压    | $V_{IK-}$ | GNDE 接地, 被测端输入 $I_{IK}=-1mA$ , 测试所有 Input 端<br>口   |  |                  | -1.2   | -0.2    | V       |
| 输出高电平电压  | $V_{OH}$  | $V_{DDE3V3}=3.135V$<br>$V_{DD}=1.1V$<br>$V_{DDE1V8}=1.71V$<br>$V_{DDEGMAC}=2.375V$<br>$I_{OH}=-4mA$  | $V_{DDE3V3}$ 电压域<br>Output 和 InOut                         |                  | 2.8    | —       | V       |
|          |           |  | $V_{DDE1V8}$ 电压域<br>Output 和 InOut                         |                  | 1.02   | —       | V       |
|          |           |  | $V_{DDEGMAC}$ 电压域<br>Output 和 InOut                        |                  | 1.8    | —       | V       |
| 输出低电平电压  | $V_{OL}$  | $V_{DDE3V3}=3.465V$<br>$V_{DD}=1.2V$<br>$V_{DDE1V8}=1.89V$<br>$V_{DDEGMAC}=2.625V$<br>$I_{OL}=4mA$   | $V_{DDE3V3}$ 电压域<br>Output 和 InOut                         |                  | —      | 0.3     | V       |
|          |           |  | $V_{DDE1V8}$ 电压域<br>Output 和 InOut                         |                  | —      | 0.65    | V       |
|          |           |  | $V_{DDEGMAC}$ 电压域<br>Output 和 InOut                        |                  | —      | 0.45    | V       |
| 输入高电平电压  | $V_{IH}$  | $V_{DDE3V3}=3.3V$<br>$V_{DDE1V8}=1.8V$<br>$V_{DDEGMAC}=2.5V$<br>$V_{DD}=1.15V$   | $V_{DDE3V3}$ 电压域<br>Input 和 InOut                          |                  | 2.0    | —       | V       |
|          |           |  | $V_{DDE1V8}$ 电压域<br>Input 和 InOut                          |                  | 1.1    | —       | V       |
|          |           |  | $V_{DDEGMAC}$ 电压域<br>Input 和 InOut                         |                  | 1.7    | —       | V       |
| 输入低电平电压  | $V_{IL}$  | $V_{DDE3V3}=3.3V$<br>$V_{DDE1V8}=1.8V$<br>$V_{DDEGMAC}=2.5V$<br>$V_{DD}=1.15V$   | $V_{DDE3V3}$ 电压域<br>Input 和 InOut                          |                  | —      | 0.8     | V       |
|          |           |  | $V_{DDE1V8}$ 电压域<br>Input 和 InOut                          |                  | —      | 0.65    | V       |
|          |           |  | $V_{DDEGMAC}$ 电压域<br>Input 和 InOut                         |                  | —      | 0.7     | V       |
| 输入低电平漏电流 | $I_{IL}$  | $V_{DDE3V3}=3.465V$<br>$V_{DD}=1.2V$<br>$V_{DDE1V8}=1.89V$<br>$V_{DDEGMAC}=2.625V$   | $V_{DDE3V3}$ 电压域带上拉除<br>外, Input 和 InOut, 所有<br>$V_I=GND$  |                  | -10    | 10      | $\mu A$ |
|          |           |  | $V_{DDE3V3}$ 电压域带上拉,<br>Input 和 InOut, $V_I=GND$           |                  | -150   | 150     | $\mu A$ |
| 输入高电平漏电流 | $I_{IH}$  | $V_{DDE3V3}=3.465V$<br>$V_{DD}=1.2V$<br>$V_{DDE1V8}=1.89V$<br>$V_{DDEGMAC}=2.625V$   | $V_{DDE1V8}$ 电压域, Input<br>和 InOut, $V_I=1.89V$            | -10              | 10     | $\mu A$ |         |
|          |           |  | $V_{DDEGMAC}$ 电压域, Input<br>和 InOut, $V_I=2.625V$          |                  |        |         |         |
|          |           |  | $V_{DDE3V3}$ 电压域, Input<br>和 InOut,<br>$V_I=3.465V$ (下拉除外) | -150             | 150    | $\mu A$ |         |
|          |           |  | $V_{DDE3V3}$ 电压域, Input<br>和 InOut,<br>$V_I=3.465V$ (下拉)   |                  |        |         |         |

表 1 (续)

| 参数                                       | 符号           | 条 件   |                    | 分<br>组           | 极 限 值    |        | 单<br>位 |
|--|--------------|---|--------------------|------------------|----------|--------|--------|
|  |              | 除另有规定外 $V_{DDE3V3}=3.30V\pm 0.15V$<br>$V_{DDE1V8}=1.80V\pm 0.09V$ 、 $V_{DD}=1.15V\pm 0.05V$<br>$V_{DDEGMAC}=2.50V\pm 0.10V$ 、 $V_{DDAPLLCORE}=1.80V\pm 0.09V$<br>$V_{DDPLLDDDR}=1.15V\pm 0.05V$ 、 $V_{DDAPLLDDR}=1.80V\pm 0.09V$<br>$V_{DDPLLDDR}=1.15V\pm 0.05V$ 、 $V_{DDRREF}=V_{DDE1V8}/2$<br>$-40^{\circ}C\leq T_C\leq 85^{\circ}C$ |                    |                  | 最<br>小   | 最<br>大 |        |
| 静态电源电流                                   | $I_{DDS}$    | $V_{DDE3V3}=3.465V$<br>$V_{DD}=1.2V$<br>$V_{DDE1V8}=1.89V$<br>$V_{DDEGMAC}=2.625V$<br>$V_{DDAPLLCORE}=1.89V$<br>$V_{DDPLLDDDR}=1.2V$<br>$V_{DDAPLLDDR}=1.89V$<br>$V_{DDPLLDDR}=1.2V$<br>$I_{OUT}=0, V_I=GND$  | $V_{DD}$ 电源端口      | A3<br>A3b        | —        | 1.5    | A      |
|  |              |   | $V_{DDE1V8}$ 电源端口  | A3a              | —        | 3.3    | A      |
|  |              |   | $V_{DDEGMAC}$ 电源端口 | A3<br>A3a<br>A3b | —        | 50     | mA     |
|  |              |   | $V_{DDE3V3}$ 电源端口  |                  | —        | 10     | mA     |
|  |              |   | 核 PLL 模拟电源端口       |                  | —        | 50     | mA     |
|  |              |   | 核 PLL 数字电源端口       |                  | —        | 10     | mA     |
|  |              |   | DDR2 的 PLL 模拟电源端口  |                  | —        | 10     | mA     |
|  |              |   | DDR2 的 PLL 数字电源端口  |                  | —        | 10     | mA     |
|  |              |   | DDR2 的参考电压端口       |                  | —        | 10     | mA     |
|  | $I_{DDQ}$    | $V_{DDE3V3}=3.465V, V_{DDE1V8}=1.89V, V_{DDEGMAC}=2.625V, V_{DD}=1.2V$ ,<br>关闭模拟电路部分, 经由扫描链置内部数字逻辑初始状态, 测 $V_{DD}$<br>电源端的电流  | A3<br>A3b          | —                | 1.5      | A      |        |
| A3a                                      | —            | 3.3   | A                  |                  |          |        |        |
| 核动态电源电<br>流                              | $I_{DDD}$    | $V_{DDE3V3}=3.465V, V_{DDE1V8}=1.89V, V_{DDEGMAC}=2.625V, V_{DD}=1.2V$ ,<br>PCI_CLK=33.3MHz, SYSCLK=33.3MHz, MEMCLK=33.3MHz,<br>CLKSEL09=0, CLKSEL08=1, CLKSEL07=0, CLKSEL06=0,<br>CLKSEL05=0, CLKSEL04=0, CLKSEL03=1, CLKSEL02=0,<br>CLKSEL01=0, CLKSEL00=0, 测 $V_{DD}$ 电源端的电流   | A4<br>A4b          | —                | 2.4      | A      |        |
|  |              |   | A4a                | —                | 4.5      | A      |        |
| 功能测试 <sup>a</sup>                        |              | $V_{DDE3V3}=3.3V, V_{DDE1V8}=1.8V, V_{DDEGMAC}=2.5V, V_{DD}=1.15V$ ;<br>$V_{DDE3V3}=3.135V, V_{DDE1V8}=1.71V, V_{DDEGMAC}=2.375V, V_{DD}=1.1V$ ;<br>$V_{DDE3V3}=3.465V, V_{DDE1V8}=1.89V, V_{DDEGMAC}=2.625V, V_{DD}=1.2V$ ;  | A2                 | —                | —        | —      |        |
|  |              |   | A2a                | —                | —        | —      |        |
|  |              |   | A2b                | —                | —        | —      |        |
| 功能测试频率 <sup>b</sup>                      | $f$          | $V_{DDE3V3}=3.3V, V_{DDE1V8}=1.8V, V_{DDEGMAC}=2.5V, V_{DD}=1.15V$ ;<br>$V_{DDE3V3}=3.135V, V_{DDE1V8}=1.71V, V_{DDEGMAC}=2.375V, V_{DD}=1.1V$ ;<br>$V_{DDE3V3}=3.465V, V_{DDE1V8}=1.89V, V_{DDEGMAC}=2.625V, V_{DD}=1.2V$ ;  | A2                 | —                | —        | —      |        |
|  |              |   | A2a                | —                | —        | —      |        |
|  |              |   | A2b                | —                | —        | —      |        |
| PCI 低到高传<br>输延迟 <sup>c</sup>             | $T_{rPCI}$   | PCI 输出数据上升时间(30%-60%), $V_{DDE3V3}=3.135V$ , 见图 5   | A4<br>A4a          | —                | 4.0      | Ns     |        |
| PCI 高到低传<br>输延迟 <sup>c</sup>             | $T_{fPCI}$   | PCI 输出数据上升时间(60%-30%), $V_{DDE3V3}=3.135V$ , 见图 5   | A4b                | —                | 4.0      | Ns     |        |
| PCI 输出数据<br>与时钟之间的<br>延迟 <sup>d</sup>    | $T_{valPCI}$ | PCI 时钟上升沿至输出有效时间, 见图 5  | —                  | 2.0              | 9.0      | Ns     |        |
| GMAC 输出偏<br>差 <sup>d</sup>               | $T_{skGmac}$ | GMAC 输出数据(GMAC_TXD)到时钟(GMAC_TX_CLK)的输出<br>偏差, 见图 6  | —                  | -0.5             | 0.5      | Ns     |        |
| GMAC 高到低<br>传输延迟 <sup>d</sup>            | $T_{rGmac}$  | GMAC 输出数据上升时间(20%-80%), $V_{DDEGMAC}=2.375V$ , 见图 6   | —                  | —                | 0.7<br>5 | Ns     |        |
| GMAC 低到高<br>传输延迟 <sup>d</sup>            | $T_{fGmac}$  | GMAC 输出数据下降时间(80%-20%), $V_{DDEGMAC}=2.375V$ , 见图 6   | —                  | —                | 0.7<br>5 | ns     |        |
| GMAC 输入建<br>立时间 <sup>d</sup>             | $T_{stGmac}$ | GMAC 输入数据建立时间, 见图 6   | —                  | 1.0              | 2.0      | ns     |        |
| GMAC 输入保<br>持时间 <sup>d</sup>             | $T_{hdGmac}$ | GMAC 输入数据保持时间, 见图 6   | —                  | 1.0              | 2.0      | ns     |        |
| DDR_DQS 和<br>CK 之间的建立<br>时间 <sup>d</sup> | $T_{DSS}$    | 见图 7  | —                  | 0.6              | —        | ns     |        |
| DDR_DQS 和<br>CK 之间的保持<br>时间 <sup>d</sup> | $T_{DSH}$    | 见图 7  | —                  | 0.6              | —        | ns     |        |

表 1 (续)

| 参数  | 符号         | 条 件<br>除另有规定外 $V_{DDE3V3}=3.30V\pm0.15V$<br>$V_{DDEIV8}=1.80V\pm0.09V$ 、 $V_{DD}=1.15V\pm0.05V$<br>$V_{DDEGMAC}=2.50V\pm0.10V$ 、<br>$V_{DDAPLLCORE}=1.80V\pm0.09V$<br>$V_{DDPLLCORE}=1.15V\pm0.05V$ 、<br>$V_{DDAPLLDDR}=1.80V\pm0.09V$<br>$V_{DDPLLDDR}=1.15V\pm0.05V$ 、 $V_{DDRREF}=V_{DDEIV8}/2$<br>$-40^{\circ}C\leq T_C\leq 85^{\circ}C$ | 分<br>组 | 极 限 值  |        | 单<br>位 |
|---|------------|--|--------|--------|--------|--------|
|   |            |  |        | 最<br>小 | 最<br>大 |        |
| DDR 的地址及控制的建立时间 <sup>d</sup>  | $T_{OS}$   | 见图 7   | —      | 0.2    | —      | ns     |
| DDR 地址和控制的保持时间 <sup>d</sup>   | $T_{OH}$   | 见图 7   | —      | 0.275  | —      | ns     |
| DDR_DQ 和 DQS 之间建立时间 <sup>d</sup>  | $T_{DS}$   | 见图 7   | —      | 0.1    | —      | ns     |
| DDR_DQ 和 DQS 之间的保持时间 <sup>d</sup>   | $T_{DH}$   | 见图 7   | —      | 0.175  | —      | ns     |
| DDR_DQ 组内偏差 <sup>d</sup>  | $T_{DQSQ}$ | 见图 7   | —      | —      | 0.34   | ns     |
| <sup>a</sup> 用扫描测试向量测试固定型故障、桥接故障，用 MBIST 测试内嵌的 RAM、用 LPBK 测试 DDR，用 JTAG 测试 IO。具体使用的测试向量在鉴定前刻录光盘备份，存档备查。 |            |  |        |        |        |        |
| <sup>b</sup> 用测试跳变时延故障的扫描测试向量、通路时延的扫描测试向量进行频率测试。具体使用的测试向量在鉴定前刻录光盘备份，存档备查。                               |            |  |        |        |        |        |
| <sup>c</sup> 选择 PCI_AD01、PCI_AD02 进行测试。   |            |  |        |        |        |        |
| <sup>d</sup> 由设计保证。   |            |  |        |        |        |        |

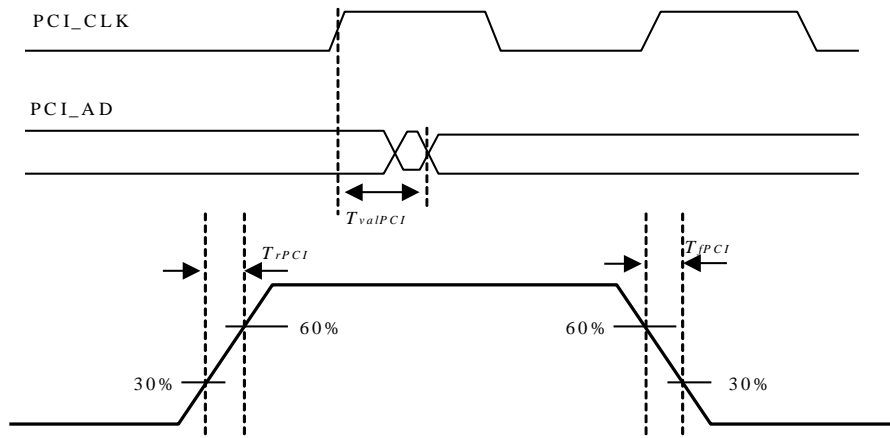


图 5 PCI IO 信号传输波形图

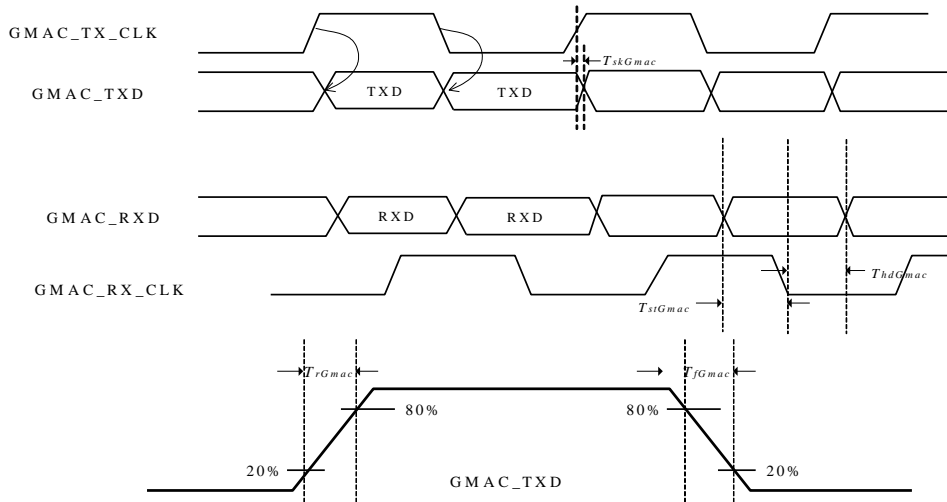
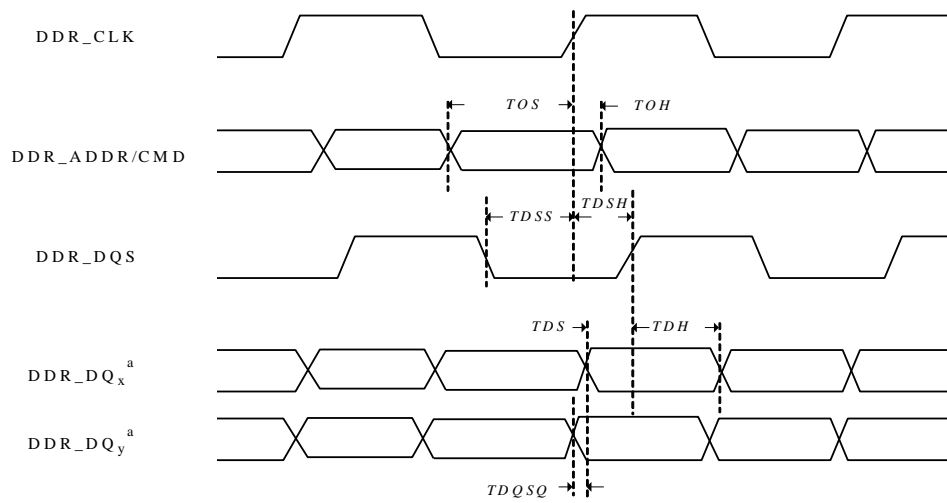


图 6 GMAC IO 信号传输波形图



<sup>a</sup> x, y ∈ [0, 7]

图 7 DDR 信号传输波形图

### 3.5 器件标识

器件标志如图 5 所示。

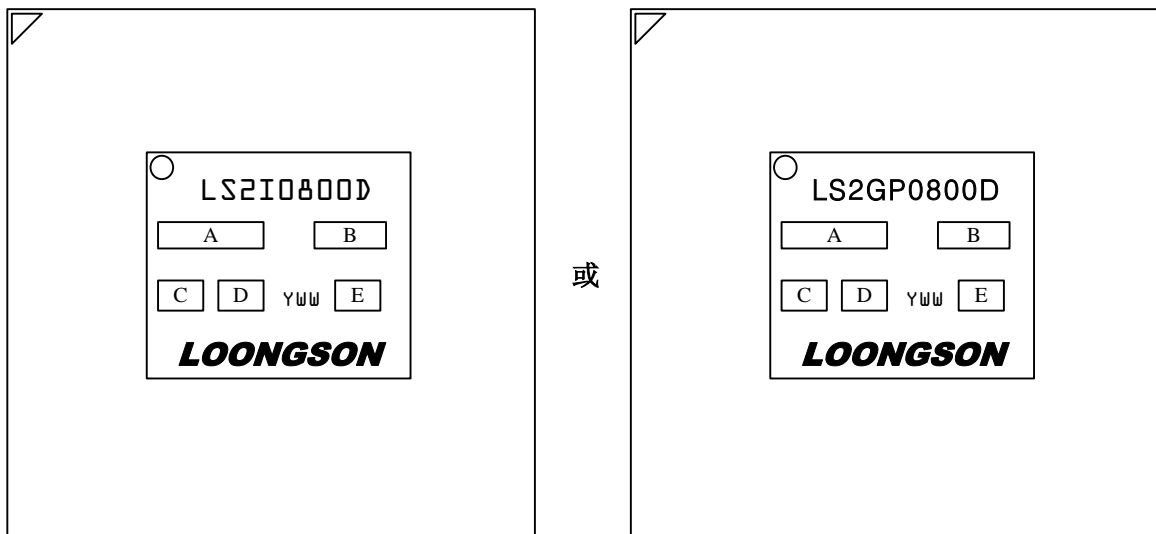


图 5 器件标志图



每一器件应标志下列内容:

- a) 定位点: ○;
- b) 器件识别号 (PIN): LS2I0800D 或 LS2GP0800D (详见 5.2 器件型号说明);
- c) 特殊标志: A、B、C、D、E 为厂家信息;
- d) 日期代码: YWW;

#### 4 质量保证规定

##### 4.1 抽样和检验

除另有规定外, 器件的抽样和检验程序应符合 GB/T 12750-2006 的规定。

##### 4.2 筛选

在鉴定检验和质量一致性检验之前, 器件筛选应符合 GB/T 12750-2006 和本规范表 2 的规定。

表 2 筛选

| 筛选项目               | 方法和条件   | 要求   |
|--------------------|---|------|
| 1、目检               | 本规范4.5.1规定  | 100% |
| 2、稳定性烘培            | GJB 548B-2005 1008.1方法, 试验条件C (125°C, 24h)                        | 100% |
| 3、温度快速变化           | GB/T 4937-1995第III篇1.1, 10次循环                                     | 100% |
| 4、编序列号             |   | 100% |
| 5、中间 (老炼前) 电测试     | A2、A3分组   | 100% |
| 6、老炼               | 附录A, $T_a=85^\circ\text{C}$ , 160h                                | 100% |
| 7、中间 (老炼后) 电测试     | A2、A3分组   | 100% |
| 8、允许不合格品率 (PDA) 计算 | $PDA \leq 5\%$ , A3分组, 当 $5\% < PDA \leq 10\%$ 时, 可重新提交老炼, 但只允许一次 | 所有批  |
| 9、终点电测试            | A组, 记录所有测试数据  | 100% |
| 10、外部目检            | GB/T 4589.1-2006 4.3.1.1  | 100% |

##### 4.3 鉴定检验

器件的鉴定检验应符合本规范 A、B 和 C 组检验。

##### 4.4 质量一致性检验

器件的质量一致性检验应符合 GB/T 12750-2006 的规定。所进行的检验应符合 GB/T 12750-2006 和本规范 A、B 和 C 组检验。不包括 GB/T 12750-2006 规定的在线检验。

###### 4.4.1 A 组检验

A 组检验应按表 3 的规定进行。

表 3 A 组检验

| 分组  | 检验或试验       | LTPD (c=0) 或<br>样品数 (允许失效数) |
|-----|-------------|-----------------------------|
| A1  | 外部目检        | 3                           |
| A2  | 25°C 下功能测试  | 0.7                         |
| A2a | 最高工作温度下功能测试 | 3                           |
| A2b | 最低工作温度下功能测试 | 3                           |
| A3  | 25°C 下静态测试  | 2                           |
| A3a | 最高工作温度下静态测试 | 3                           |
| A3b | 最低工作温度下静态测试 | 3                           |
| A4  | 25°C 下动态测试  | 5                           |
| A4a | 最高工作温度下动态测试 | 7                           |
| A4b | 最低工作温度下动态测试 | 7                           |

## 4.4.3 B组检验

B组检验按表4的规定。B1和B4分组可采用电测试不合格的样品。

表4 B组检验（逐批）

| 分组  | 试验项目   | 方法  | 条件                                     | LTPD (c=0) 或样品数 (允许失效数) |
|-----|--|---|--|-------------------------|
| B1  | 尺寸   | 本规范 3.2.2   |  | 15                      |
| B2c | a) 电额定值验证<br>b) 电测试                          | 本规范 3.2.6 VDDE3V3、VDDE1V8、VDD、VDDEGMAC、VDDAPLLCORE、VDDDPLLCORE、VDDAPLLDDR、VDDDPLLDDR 偏压, 时间 30 分钟 | A2、A3 分组                               | 20                      |
| B4  | 可焊性  | 附录 C  |  | 10 (至少 4 只器件)           |
| B5  | a) 温度快速变化<br>b) 外部目检<br>c) 强加速稳态湿热<br>d) 电测试 | GB/T 4937-1995 第 III 篇 1.1<br>GB/T 4589.1-2006 4.3.1.1<br>GB/T 4937-1995 第 III 篇 5C               | 10 次循环<br>120°C/85%RH, 24h<br>A2、A3 分组 | 10                      |
| B6  | 超声检测   | GJB 548B-2005 方法 2030   |  | 3 (0)                   |

## 4.4.4 C组检验

C组检验对于器件只做一次，按表5的规定。

表5 C组检验（周期）

| 分组  | 试验项目   | 方法  | 条件                                      | LTPD (c=0) 或样品数 (允许失效数) |
|-----|--|---|---|-------------------------|
| C1  | 尺寸   | 本规范 3.2.2   |   | 15                      |
| C2  | a) 电测试<br>b) 静电放电敏感度 (ESD)<br>c) 电测试         | ESDA/JEDEC JS-001-2012  | A2、A3 分组<br>1000V<br>A2、A3 分组           | 18 (0)<br>分组按附录 B       |
| C3  | 焊球剪切<br>焊球拉脱                                 | 附录 C  |   | 20 (至少 4 只器件),<br>分别抽样  |
| C5  | a) 温度快速变化<br>b) 外部目检<br>c) 强加速稳态湿热<br>d) 电测试 | GB/T 4937-1995 第 III 篇 1.1<br>GB/T 4589.1-2006 4.3.1.1<br>GB/T 4937-1995 第 III 篇 5C | 500 次循环<br>120°C/85%RH, 24h<br>A2、A3 分组 | 10                      |
| C5a | 盐雾   | GB/T 4937-1995 第 III 篇 8  | 24h                                     | 50                      |
| C7  | a) 加速稳态湿热<br>b) 电测试                          | GB/T 4937-1995 第 III 篇 5B   | 85°C/85%RH, 500h<br>A2、A3 分组            | 15                      |
| C8  | 电耐久性<br>电测试                                  | 附录 A  | T <sub>a</sub> =85°C, 1000h<br>A2、A3 分组 | 5                       |
| C9  | 高温贮存<br>电测试                                  | GB/T 4937-1995 第 III 篇 2  | 125°C, 1000h<br>A2、A3 分组                | 15                      |

## 4.5 检验方法

## 4.5.1 外观检查

用目测法和有关检测工具进行外观检查，应符合本规范 3.2.2 及 3.5 的要求。

## 4.5.2 电压和电流

电压以器件 GND 端为参考点；电流以流入器件引出端为正。

## 4.5.3 老炼和寿命试验冷却程序

被试器件 (DUT) 在完成试验之后，应先冷却到 (25±3) °C，才能去除偏置电压。应规定在 96h

内完成电耐久性试验后测试。

#### 4.6 数据报告

当订货合同有规定时，应提供下列数据的副本：

- a) 电耐久性试验的变化量数据；
- b) 质量一致性检验数据；
- d) 最终电参数数据。

### 5 说明事项

#### 5.1 订货资料

订货合同应规定下列内容：

- a) 器件型号（LS2I0800D 或 LS2GP0800D，具体参见 5.2 器件型号说明）、名称（微处理器）和采购数量；
- b) 本规范编号 Q/LS 0005-2013；
- c) 合格证；
- d) 需要时的其他要求。

#### 5.2 器件型号说明

303 批器件型号为“LS2GP0800D”；303 以后批次器件型号为“LS2I0800D”。详见本规范 3.5 节器件标识及示意图（图 5）。

#### 5.3 操作

器件必须采取防静电措施进行操作。

推荐下列操作措施：器件应在防静电的工作台上操作；试验设备和器具应接地；打开包装后，器件应存放在防静电材料制成的容器中；不能用手直接触摸器件；生产、测试、使用及流转过程中应避免使用能引起静电的塑料、橡胶或丝织物。

#### 5.4 应用指南

按附录 C 规定。

附录 A  
(规范性附录)  
电耐久性试验

### A.1 目的

168 小时的电耐久性试验的目的是为了筛选或剔除那些勉强合格的器件；1000 小时的电耐久性试验的目的是验证承受规定条件的器件在整个工作时间内的质量或可靠性。

### A.2 设备

所需设备的详细要求见 GJB 548B-2005 中方法 1005。

### A.3 程序

#### A.3.1 概述

试验条件均按 GJB 548B-2005 中方法 1015 的规定，采用试验条件 D，温度  $T_c=85^\circ\text{C}$ 。

试验时在器件输入端口（包括器件的固定输入端和配置为输入状态的双向引出端，下同）施加相应的激励信号，器件所有输出端口（包括器件的固定输出端和配置为输出状态的双向引出端，下同）采用相应的负载，全程检测特定输出端口信号波形。

试验分为两个阶段：逻辑翻转阶段和存储器（RAM）翻转阶段。试验时先进行逻辑翻转阶段试验，再进行存储器翻转试验，两个阶段按顺序串行进行，每阶段试验时间为总试验时间的二分之一。这两个试验阶段的设置条件相同。

#### A.3.2 器件端口分类

器件的输入、输出端口分为五类：试验中使用到的输入端口见表 A.1；直接接地输入端口见表 A.2；试验中使用到的输出端口见表 A.3；未使用到的输出端口见表 A.4；输入控制端口见表 A.5。

#### A.3.3 电路

试验电路相同如图 A.1 所示。

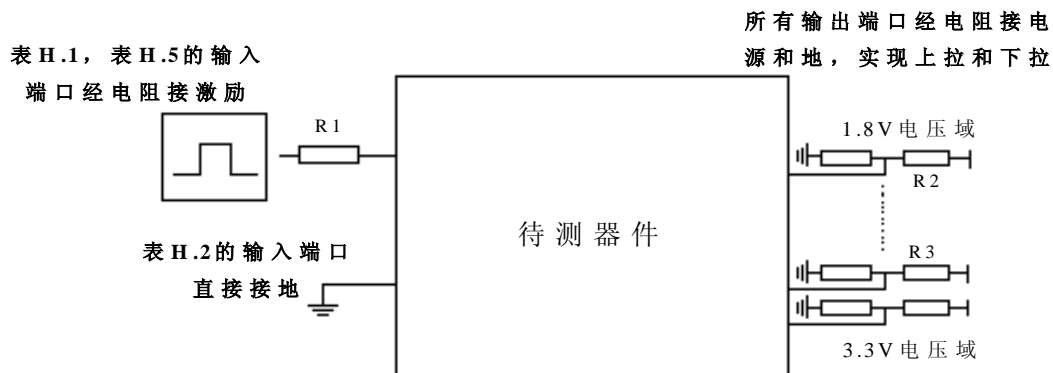


图 A.1 电耐久性试验电路图

#### A.3.4 试验设置要求

采用并行激励试验条件，试验设置要求如下：

##### a) 电源设置要求：

电耐久性试验要求：

$$V_{DDE3V3}=3.30\text{V}, V_{DD}=1.10\text{V}, V_{DDE1V8}=1.80\text{V}, V_{DDEGMAC}=3.30\text{V}, V_{DDAPLLCORE}=1.80\text{V},$$

$$V_{DDDPLLCORE}=1.10\text{V}, V_{DDAPLLDDR}=1.80\text{V}, V_{DDPLLLDDR}=1.10\text{V}, GND=0\text{V}, GNDE=0\text{V}.$$

##### b) 如图 A.2 所示，在 SYSCLK 端口输入周期 $1\mu\text{s}$ 时钟信号，在 CLK125 端口输入周期 $1\mu\text{s}$ 时钟信号，在 TESTCLK 端口输入周期 $1\mu\text{s}$ 时钟信号；

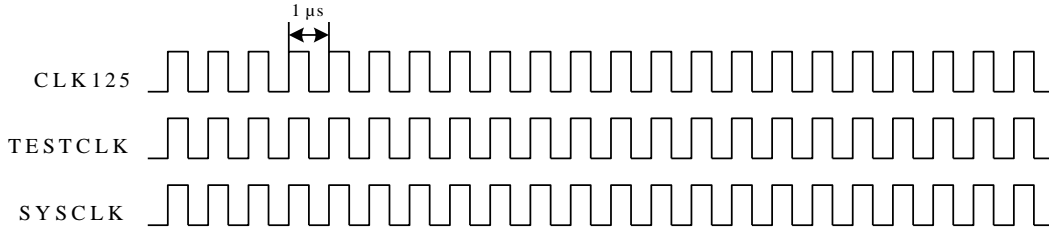


图 A.2 电耐久性试验时钟激励示意图

c) CLKSEL04=3.30V, CLKSEL03=3.30V, CLKSEL02=0V, CLKSEL01=0V, CLKSEL00=0V; EJTAG\_TRST=3.30V;

d) 输入端要求:

试验中所用到的输入端口（见表 A.1）和输入控制端口（见表 A.5）经电阻 R1 接外激励，R1=1KΩ；试验中未用到的输入端口（见表 A.2）直接接地；MC0\_DDR\_COMP\_REF\_RES 通过 1KΩ 电阻接地；

e) 输出端要求:

1) 试验中所用到的输出端口（见表 A.3）经电阻（1.8V 电压域 R2=560Ω，3.3V 电压域 R3=1KΩ）与电源和地连接，实现上拉和下拉。选择其中部分输出端口（参见 A.3.5 和 A.3.6 节）进行监测；

2) 试验中未用到的输出端口（表 A.4 所列端口）经电阻（1.8V 电压域 R2=560Ω，3.3V 电压域 R3=1KΩ）与电源和地连接，实现上拉和下拉，不进行监测；

### A.3.5 逻辑翻转阶段试验

逻辑翻转阶段具体试验条件如下:

a) DOTEST=0V, GPIO15=0V, GPIO14=3.30V, GPIO13=0V, GPIO12=0V, GPIO11=3.30V, GPIO10=0V, GPIO09=3.30V, GPIO08=3.30V, GPIO07=3.30V, GPIO06=3.30V, GPIO05=0V, GPIO04=3.30V, GPIO03=0V, GPIO02=3.30V, GPIO01=3.30V, GPIO00=3.30V;

b) 本阶段试验开始时，在 TRST 端口输入低电平，持续 100μs 后变为高电平，然后一直持续到本阶段结束；在 SYSRESETN 端口输入低电平，持续 1500μs 后变为高电平，然后一直持续到本阶段结束，如图 A.3 所示；

c) 在表 A.1 所列输入端口上输入如图 A.3 所示周期 8μs 的信号，监测 MC0\_DDR2\_CKE0 输出端口是否出现如图 A.3 所示输出端口周期 8μs 的波形。

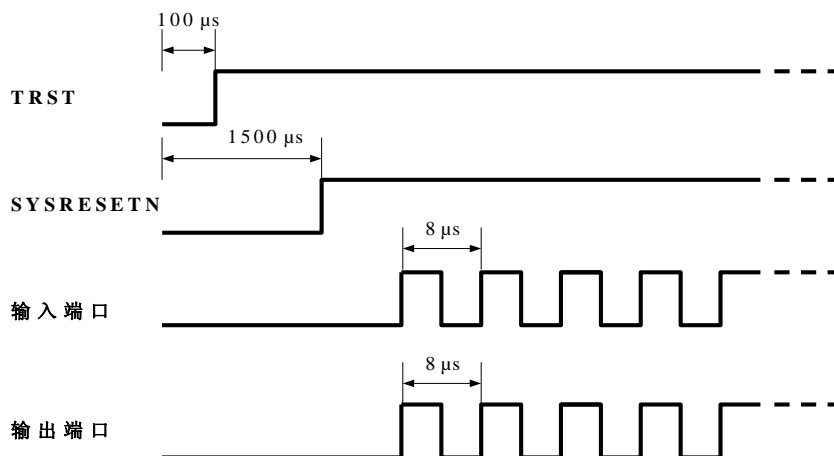


图 A.3 逻辑翻转试验阶段示意图

### A.3.6 存储器翻转阶段试验

存储器翻转阶段具体试验条件如下：

- a) DOTEST=0V, GPIO15=3.30V, GPIO14=3.30V, GPIO13=0V, GPIO12=3.30V, GPIO11=3.30V, GPIO10=0V, GPIO09=0V, GPIO08=0V, GPIO07=3.30V, GPIO06=3.30V, GPIO05=3.30V, GPIO04=3.30V, GPIO03=0V, GPIO02=3.30V, GPIO01=3.30V, GPIO00=3.30V;
- b) 存储器翻转阶段试验分为初始段和循环段。初始段只执行一次,初始段结束后进入循环段,循环段一直循环执行到存储器翻转阶段试验结束;
- c) 在 TRST、SYSRESETN 和 LPC\_ROMINTEL 端口输入如图 A.4 所示信号;
- d) 在循环段检测输出端 PCI\_REQN5 波形是否如图 A.4 所示;检测 PCI\_AD01 和 PCI\_AD06 的输出是否持续为低电平。

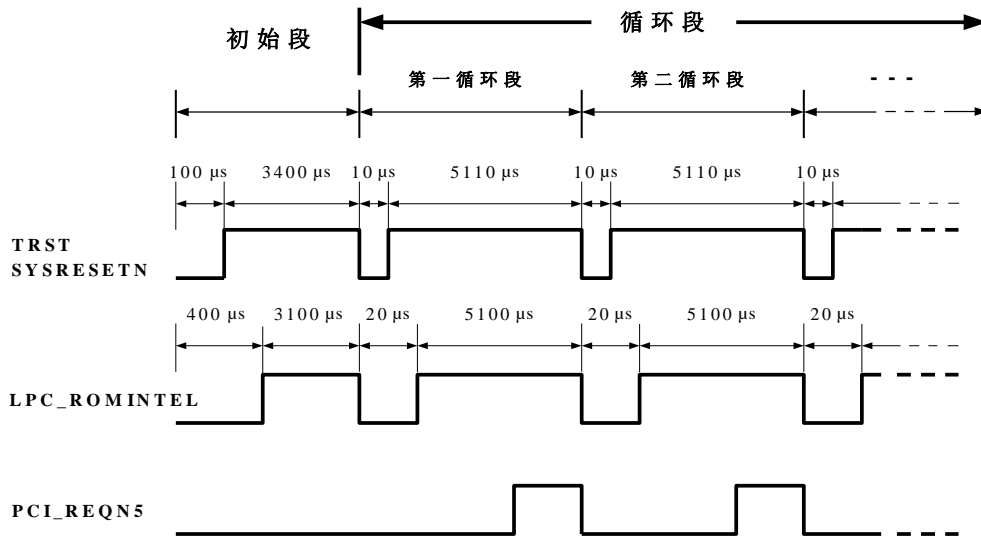


图 A.4 老炼 RAM 翻转时序图

#### A4 测试温度确定的方法

本试验要求  $T_c=85^{\circ}\text{C}$ ，在实验前期预设温箱的环境温度，用温度传感器测量芯片的壳温，直至选取合适的环境温度使芯片的壳温不低于  $85^{\circ}\text{C}$ ，误差不超过  $3^{\circ}\text{C}$ 。

表 A.1 试验中使用到的输入端口

| 引出端名称       | 引出端号 | 引出端名称      | 引出端号 | 引出端名称    | 引出端号 |
|-------------|------|------------|------|----------|------|
| PCI_IDSEL   | AE04 | PCI_TRDYN  | R01  | PCI_AD16 | N01  |
| PCI_CONFIG0 | AG01 | PCI_IRDYN  | R02  | PCI_AD17 | N02  |
| PCI_CONFIG1 | AG02 | PCI_FRAMEN | P01  | PCI_AD18 | M01  |
| PCI_CONFIG2 | AF01 | PCI_SERR   | U01  | PCI_AD19 | U04  |
| PCI_CONFIG3 | AF02 | PCI_AD00   | AC01 | PCI_AD20 | L01  |
| PCI_CONFIG4 | AE01 | PCI_AD01   | AC03 | PCI_AD21 | M02  |
| PCI_CONFIG5 | AE02 | PCI_AD02   | AC02 | PCI_AD22 | L02  |
| PCI_CONFIG6 | AD01 | PCI_AD03   | AC04 | PCI_AD23 | K01  |
| PCI_CONFIG7 | AD02 | PCI_AD04   | AB02 | PCI_AD24 | K02  |
| PCI_GNTN0   | F02  | PCI_AD05   | AB01 | PCI_AD25 | J01  |
| PCI_GNTN1   | D03  | PCI_AD06   | AA03 | PCI_AD29 | G01  |
| PCI_GNTN2   | E03  | PCI_AD07   | AA01 | PCI_AD31 | R04  |
| PCI_GNTN3   | G04  | PCI_AD08   | AA04 | INTNO    | AJ10 |

|             |     |          |     |               |     |
|-------------|-----|----------|-----|---------------|-----|
| PCI_GNTN4   | J04 | PCI_AD09 | Y01 | UART0_RI      | C02 |
| PCI_GNTN5   | L04 | PCI_AD10 | W03 | UART0_DCD     | B04 |
| PCI_GNTN6   | N04 | PCI_AD11 | W01 | UART0_DSR     | A03 |
| PCI_REQN0   | F01 | PCI_AD12 | Y02 | UART0_CTS     | A01 |
| PCI_REQN1   | D05 | PCI_AD13 | W02 | UART0_RXD     | B03 |
| PCI_REQN2   | E04 | PCI_AD26 | H01 | UART0_DTR     | B01 |
| PCI_REQN3   | G03 | PCI_AD27 | J02 | UART0_RTS     | A02 |
| PCI_REQN4   | J03 | PCI_AD28 | H02 | UART0_TXD     | B02 |
| PCI_REQN5   | L03 | PCI_AD30 | G02 | MCO_DDR2_DQM0 | C08 |
| PCI_REQN6   | N03 | PCI_PAR  | V02 | MCO_DDR2_DQM1 | C11 |
| PCI_STOPN   | T01 | PCI_AD14 | W04 | PCI_IRQNA     | D02 |
| PCI_DEVSELN | T02 | PCI_AD15 | V01 |               |     |

表 A. 2 直接接地输入端口

| 引出端名称        | 引出端号 | 引出端名称     | 引出端号 | 引出端名称      | 引出端号 |
|--------------|------|-----------|------|------------|------|
| GMACO_RCTL   | AJ21 | PCI_CLK   | A04  | CLKSEL11   | AK12 |
| GMACO_RX_CLK | AK20 | PCI_IRQNB | E02  | CLKSEL12   | AJ12 |
| GMACO_RXD0   | AK18 | PCI_IRQNC | C01  | CLKSEL13   | AK11 |
| GMACO_RXD1   | AJ19 | PCI_IRQND | D01  | CLKSEL14   | AJ11 |
| GMACO_RXD2   | AK19 | LPC_CLK   | B05  | CLKSEL15   | AK10 |
| GMACO_RXD3   | AJ20 | TMS       | AG11 | MEMCLK     | AJ30 |
| GMAC1_RCTL   | AJ27 | CLKSEL05  | AK15 | EJTAG_TCK  | AG07 |
| GMAC1_RX_CLK | AK26 | CLKSEL06  | AJ15 | EJTAG_TDI  | AH04 |
| GMAC1_RXD0   | AK24 | CLKSEL07  | AK14 | EJTAG_TMS  | AG05 |
| GMAC1_RXD1   | AJ25 | CLKSEL08  | AJ14 | EJTAG_TRST | AH05 |
| GMAC1_RXD2   | AK25 | CLKSEL09  | AK13 | TCK        | AG13 |
| GMAC1_RXD3   | AJ26 | CLKSEL10  | AJ13 | TDI        | AH09 |

表 A. 3 试验中使用到的输出端口

| 引出端名称           | 引出端号 | 引出端名称          | 引出端号 | 引出端名称         | 引出端号 |
|-----------------|------|----------------|------|---------------|------|
| MCO_DDR2_CKE0   | B24  | MCO_DDR2_BA1   | E28  | MCO_DDR2_DQ00 | A08  |
| MCO_DDR2_CKE1   | C24  | MCO_DDR2_A00   | E27  | MCO_DDR2_DQ01 | B09  |
| MCO_DDR2_CKE2   | E25  | MCO_DDR2_A01   | D27  | MCO_DDR2_DQ02 | B11  |
| MCO_DDR2_CKE3   | D24  | MCO_DDR2_A02   | B28  | MCO_DDR2_DQ03 | D10  |
| MCO_DDR2_A12    | B25  | MCO_DDR2_SCSN0 | C30  | MCO_DDR2_DQ04 | B08  |
| MCO_DDR2_BA2    | A24  | MCO_DDR2_RASN  | F27  | MCO_DDR2_DQ05 | D08  |
| MCO_DDR2_A14    | D25  | MCO_DDR2_BA0   | F26  | MCO_DDR2_DQ06 | E09  |
| MCO_DDR2_RESETN | E13  | MCO_DDR2_A10   | C29  | MCO_DDR2_DQ07 | C09  |
| MCO_DDR2_A08    | C26  | MCO_DDR2_ODT2  | E30  | MCO_DDR2_DQ08 | A11  |
| MCO_DDR2_A07    | B26  | MCO_DDR2_CASN  | D30  | MCO_DDR2_DQ09 | B12  |
| MCO_DDR2_A11    | A25  | MCO_DDR2_WEN   | G28  | MCO_DDR2_DQ10 | A14  |
| MCO_DDR2_A09    | D26  | MCO_DDR2_SCSN1 | F29  | MCO_DDR2_DQ23 | C17  |
| MCO_DDR2_A03    | C28  | MCO_DDR2_ODT3  | G30  | MCO_DDR2_DQ24 | B18  |
| MCO_DDR2_A04    | A27  | MCO_DDR2_ODT1  | G29  | MCO_DDR2_DQ25 | B19  |

| 引出端名称        | 引出端号 | 引出端名称         | 引出端号 | 引出端名称         | 引出端号 |
|--------------|------|---------------|------|---------------|------|
| MC0_DDR2_A05 | B27  | MC0_DDR2_A13  | G27  | MC0_DDR2_DQ27 | E21  |
| MC0_DDR2_A06 | A26  | MC0_DDR2_ODT0 | E29  | PCI_CBEN3     | R03  |

表 A. 4 未用到的输出端口

| 引出端名称        | 引出端号 | 引出端名称         | 引出端号 | 引出端名称          | 引出端号 |
|--------------|------|---------------|------|----------------|------|
| EJTAG_TDO    | AH07 | MC0_DDR2_CKP1 | B13  | MC0_DDR2_DQ56  | W26  |
| GMACO_MDCK   | AG19 | MC0_DDR2_CKP2 | A28  | MC0_DDR2_DQ57  | W29  |
| GMACO_MDIO   | AH19 | MC0_DDR2_CKP3 | A30  | MC0_DDR2_DQ58  | AA30 |
| GMACO_TCTL   | AJ22 | MC0_DDR2_CKP4 | R28  | MC0_DDR2_DQ59  | AA26 |
| GMACO_TX_CLK | AK21 | MC0_DDR2_CKP5 | U28  | MC0_DDR2_DQ60  | W28  |
| GMACO_TXD0   | AJ24 | MC0_DDR2_DQ11 | D14  | MC0_DDR2_DQ61  | Y29  |
| GMACO_TXD1   | AK23 | MC0_DDR2_DQ12 | B10  | MC0_DDR2_DQ62  | AA29 |
| GMACO_TXD2   | AJ23 | MC0_DDR2_DQ13 | E11  | MC0_DDR2_DQ63  | AA28 |
| GMACO_TXD3   | AK22 | MC0_DDR2_DQ14 | B14  | MC0_DDR2_DQM2  | D16  |
| GMAC1_MDCK   | AG21 | MC0_DDR2_DQ15 | C14  | MC0_DDR2_DQM3  | E19  |
| GMAC1_MDIO   | AH21 | MC0_DDR2_DQ16 | E15  | MC0_DDR2_DQM4  | J28  |
| GMAC1_TCTL   | AJ28 | MC0_DDR2_DQ17 | B15  | MC0_DDR2_DQM5  | N29  |
| GMAC1_TX_CLK | AK27 | MC0_DDR2_DQ18 | E17  | MC0_DDR2_DQM6  | T29  |
| GMAC1_TXD0   | AK30 | MC0_DDR2_DQ19 | A17  | MC0_DDR2_DQM7  | Y27  |
| GMAC1_TXD1   | AK29 | MC0_DDR2_DQ20 | C15  | MC0_DDR2_DQM8  | D22  |
| GMAC1_TXD2   | AJ29 | MC0_DDR2_DQ21 | B16  | MC0_DDR2_DQSN0 | A09  |
| GMAC1_TXD3   | AK28 | MC0_DDR2_DQ22 | B17  | MC0_DDR2_DQSN1 | A12  |
| INTN1        | AK09 | MC0_DDR2_DQ26 | B20  | MC0_DDR2_DQSN2 | A15  |
| INTN2        | AJ09 | MC0_DDR2_DQ28 | D18  | MC0_DDR2_DQSN3 | A18  |
| INTN3        | AK08 | MC0_DDR2_DQ29 | C19  | MC0_DDR2_DQSN4 | J30  |
| K_CLK        | AG17 | MC0_DDR2_DQ30 | C20  | MC0_DDR2_DQSN5 | N30  |
| K_DAT        | AH17 | MC0_DDR2_DQ31 | D20  | MC0_DDR2_DQSN6 | T30  |
| LPC_LAD0     | B06  | MC0_DDR2_DQ32 | H29  | MC0_DDR2_DQSN7 | W30  |
| LPC_LAD1     | A06  | MC0_DDR2_DQ33 | J29  | MC0_DDR2_DQSN8 | A21  |

表 A. 4 (续)

| 引出端名称         | 引出端号 | 引出端名称         | 引出端号 | 引出端名称          | 引出端号 |
|---------------|------|---------------|------|----------------|------|
| LPC_LAD2      | B07  | MC0_DDR2_DQ34 | L29  | MC0_DDR2_DQSP0 | A10  |
| LPC_LAD3      | A07  | MC0_DDR2_DQ35 | L26  | MC0_DDR2_DQSP1 | A13  |
| LPC_LFRAMEN   | A05  | MC0_DDR2_DQ36 | H27  | MC0_DDR2_DQSP2 | A16  |
| LPC_ROM8MBITS | C03  | MC0_DDR2_DQ37 | H30  | MC0_DDR2_DQSP3 | A19  |
| LPC_SERIRQ    | C07  | MC0_DDR2_DQ38 | K27  | MC0_DDR2_DQSP4 | K30  |
| M_CLK         | AG15 | MC0_DDR2_DQ39 | K29  | MC0_DDR2_DQSP5 | P30  |
| M_DAT         | AH15 | MC0_DDR2_DQ40 | M29  | MC0_DDR2_DQSP6 | U30  |
| MC0_DDR2_CB0  | A20  | MC0_DDR2_DQ41 | M30  | MC0_DDR2_DQSP7 | Y30  |
| MC0_DDR2_CB1  | B21  | MC0_DDR2_DQ42 | R29  | MC0_DDR2_DQSP8 | A22  |
| MC0_DDR2_CB2  | B23  | MC0_DDR2_DQ43 | N28  | MC0_DDR2_SCSN2 | D29  |
| MC0_DDR2_CB3  | A23  | MC0_DDR2_DQ44 | L30  | MC0_DDR2_SCSN3 | F30  |
| MC0_DDR2_CB4  | C21  | MC0_DDR2_DQ45 | L28  | NMIN           | AJ08 |
| MC0_DDR2_CB5  | B22  | MC0_DDR2_DQ46 | M27  | PCI_CBEN0      | AA02 |
| MC0_DDR2_CB6  | C23  | MC0_DDR2_DQ47 | N26  | PCI_CBEN1      | U03  |
| MC0_DDR2_CB7  | E23  | MC0_DDR2_DQ48 | P29  | PCI_CBEN2      | P02  |
| MC0_DDR2_CKN0 | C12  | MC0_DDR2_DQ49 | R30  | PCI_PERR       | U02  |
| MC0_DDR2_CKN1 | C13  | MC0_DDR2_DQ50 | V29  | PCI_RESETN     | E01  |



|               |     |               |     |         |      |
|---------------|-----|---------------|-----|---------|------|
| MC0_DDR2_CKN2 | A29 | MC0_DDR2_DQ51 | V30 | SPI_SCK | AF03 |
| MC0_DDR2_CKN3 | B30 | MC0_DDR2_DQ52 | P27 | SPI_SDI | AG03 |
| MC0_DDR2_CKN4 | T28 | MC0_DDR2_DQ53 | R26 | SPI_SDO | AE03 |
| MC0_DDR2_CKN5 | U29 | MC0_DDR2_DQ54 | U26 | TD0     | AH13 |
| MC0_DDR2_CKPO | D12 | MC0_DDR2_DQ55 | V27 |         |      |

表 A.5 输入控制端口

| 引出端名称        | 引出端号 | 引出端名称    | 引出端号 | 引出端名称     | 引出端号 |
|--------------|------|----------|------|-----------|------|
| LPC_ROMINTEL | C05  | GPI009   | AJ03 | CLKSEL02  | AJ17 |
| GPI000       | AK07 | GPI010   | AK01 | CLKSEL03  | AK16 |
| GPI001       | AJ07 | GPI011   | AK02 | CLKSEL04  | AJ16 |
| GPI002       | AK06 | GPI012   | AJ01 | SYSCLK    | AH30 |
| GPI003       | AJ06 | GPI013   | AJ02 | TESTCLK   | AH28 |
| GPI004       | AK05 | GPI014   | AH01 | SYSRESETN | AH29 |
| GPI005       | AJ05 | GPI015   | AH02 | DOTEST    | AG09 |
| GPI006       | AK04 | CLK125   | AH24 | TRST      | AH11 |
| GPI007       | AJ04 | CLKSEL00 | AJ18 |           |      |
| GPI008       | AK03 | CLKSEL01 | AK17 |           |      |

**附录 B**  
**(规范性附录)**  
**静电放电敏感度试验组合设置方法**

**B.1 目的**

本规范确定静电放电敏感度试验的组合设置方法。

**B.2 定义**

参考 ANSI/ESDA/JEDEC JS-001-2012 规定，本附录所述“供电引脚”是对各具体电源（VDD）、地（VSS）引脚的统称。“IO 引脚对”是差分或存在耦合的输入/输出引脚对，不失一般性，将一个引脚对的两个引脚分别定义为 P 引脚和 N 引脚。

**B.3 引脚分组**

根据工程实际将引脚分组为：供电引脚组 1~供电引脚组 N、相关 IO 引脚组、IO 引脚对。

**B.4 具体试验步骤**

被试样品为 S1~S18。

具体试验步骤见表 B.1

表 B.1 静电放电敏感度试验步骤

| 分组   | 接地 B 端                | 接 A 端                   | 脉冲条件          | 样品数量          |               |
|------|-----------------------|-------------------------|---------------|---------------|---------------|
| 1    | 供电引脚组 1               | 其它供电引脚组的供电引脚            | +1000V, 间隔 1s | S1, S2, S3    |               |
|      |                       | 供电引脚组 1 的相关 IO 引脚       |               | S4, S5, S6    |               |
| 2    | 供电引脚组 2               | 其它供电引脚组的供电引脚            |               | S1, S2, S3    |               |
|      |                       | 供电引脚组 2 的相关 IO 引脚       |               | S4, S5, S6    |               |
| ...  | ...                   | ...                     |               | ...           | ...           |
| N    | 供电引脚组 N               | 其它供电引脚组的供电引脚            |               | S1, S2, S3    |               |
|      |                       | 供电引脚组 N 的相关 IO 引脚       |               | S4, S5, S6    |               |
| N+1  | 供电引脚组 1               | 其它供电引脚组的供电引脚            |               | -1000V, 间隔 1s | S7, S8, S9    |
|      |                       | 供电引脚组 1 的相关 IO 引脚       | S10, S11, S12 |               |               |
| N+2  | 供电引脚组 2               | 其它供电引脚组的供电引脚            | S7, S8, S9    |               |               |
|      |                       | 供电引脚组 2 的相关 IO 引脚       | S10, S11, S12 |               |               |
| ...  | ...                   | ...                     | ...           |               | ...           |
| N+N  | 供电引脚组 N               | 其它供电引脚组的供电引脚            | S7, S8, S9    |               |               |
|      |                       | 供电引脚组 N 的相关 IO 引脚       | S10, S11, S12 |               |               |
| 2N+1 | IO 引脚对 1 的一个引脚 (P 引脚) | IO 引脚对 1 的另外一个引脚 (N 引脚) | +1000V, 间隔 1s |               | S13, S14, S15 |
|      | IO 引脚对 2 的一个引脚 (P 引脚) | IO 引脚对 2 的另外一个引脚 (N 引脚) |               |               |               |
|      | ...                   | ...                     |               |               |               |
| 2N+2 | IO 引脚对 1 的一个引脚 (P 引脚) | IO 引脚对 1 的另外一个引脚 (N 引脚) | -1000V, 间隔 1s | S16, S17, S18 |               |
|      | IO 引脚对 2 的一个引脚 (P 引脚) | IO 引脚对 2 的另外一个引脚 (N 引脚) |               |               |               |
|      | ...                   | ...                     |               |               |               |

附录 C  
(规范性附录)  
球栅阵列试验方法

### C.1 焊球共面性

#### C.1.1 目的

本试验的目的是测定BGA焊球的共面度。

#### C.1.2 设备

设备应有能力测量规定的允许公差范围内的焊球共面度。设备测量精准度应在规定偏差的 $\pm 10\%$ 以内。

#### C.1.3 程序

采用基准平面法，按如下程序：

- a) 应小心处置器件，确保不会损伤焊球；
- b) 器件水平放置，焊球朝上，如图1所示；
- c) 测量时，不允许对器件施加外力；
- d) 测量每一个焊球顶点；
- e) 测定三个具有到植球面最大的垂直距离的焊球顶点，这三个点形成基准平面，如图A.1所示。

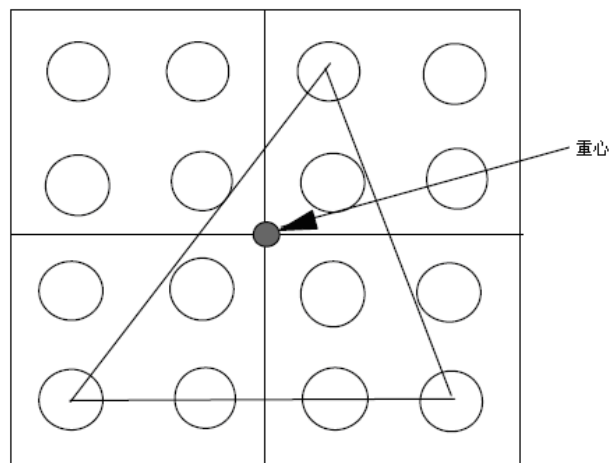


图 C.1 基准平面

f) 由焊球形成的三角形基准平面应包括器件重心。如果构建的基准平面不包括器件重心，则使用下一个和植球面具有最大的垂直距离的焊球来构建有效的基准平面。如果基准平面三角形包括了器件重心，则认为此基准平面是有效的。但也可能存在多个基准平面。如果存在多个基准平面，应使用能产生最坏测量结果的基准平面来进行共面度测量。

- g) 测量每个焊球顶点和基准平面之间的距离，其最大测量差值就是共面度，如图D.2所示。

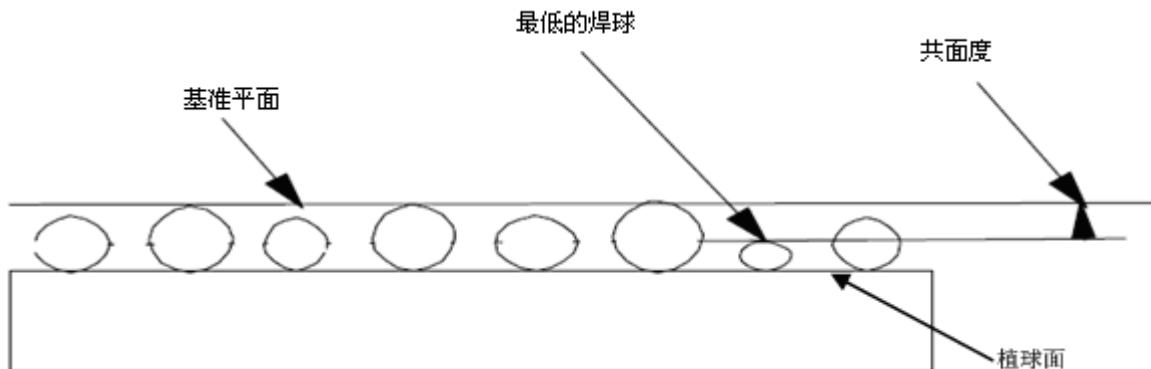


图 C. 2 BGA 的共面度

## C.1.4 失效判据

除另有规定外，BGA焊球共面度大于150 μm，则应视为不合格。

## C.1.5 说明

若与3.3和3.4的规定不同，则在采购文件或相关详细规范中应规定下述内容：

- a) 所采用方法；
- b) 失效判据（最大共面度）。

## C.2 焊球拉脱

## C.2.1 目的

本试验的目的是测量BGA焊球的抗拉脱能力。

本试验方法适用于任何焊球成分（SnPb、SnAgCu等）或结构类型（焊球合金、外涂有机物且内为金属的焊球等）。器件的基板材料可以是有机或无机化合物。底部的焊盘有可能采用电镀、淀积、涂覆等方式进行表面处理。

## C.2.2 设备

拉力测试设备应使用校准的负载单元或传感器。设备的最大负载能力应大于对器件所进行的最大拉力值的10%。设备应能提供并记录施加于焊球的拉力，也应能对负载提供规定的移动速率。通常的焊球拉力设备如图D.3所示。

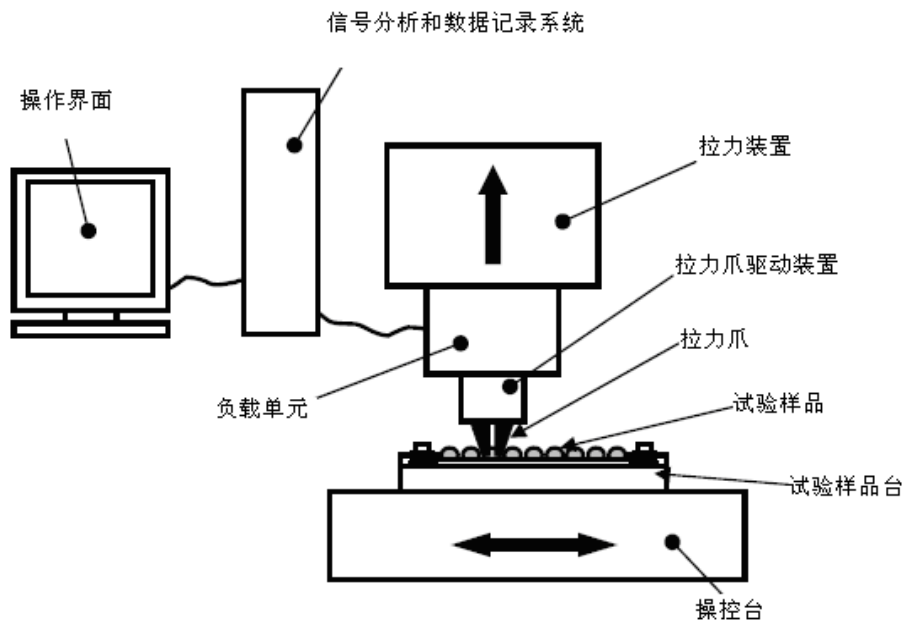


图 C. 3 焊球拉力设备

## C.2.3 程序

## C.2.3.1 固定夹具

夹具应防止器件移动，保证器件的表面与工具的移动面平行，并且不损伤焊球，不使器件变形。图4给出了夹具的示例，可使用其他工具替代夹具。

应防止器件形变。样品可能需要在夹具中重新定位以保证在受力（测试点）的位置能够得到支撑。受试样品的边角区域可能对边界钳位方式特别敏感。在一些情况下，如果采用边界钳位不能防止器件弯曲，可考虑刚性夹具固定方案，使样品和刚性夹具连接或通过真空吸盘吸紧。

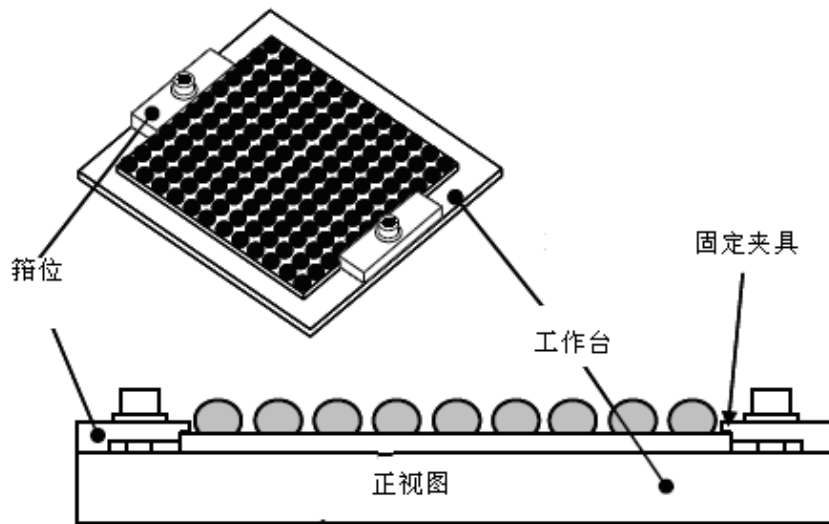


图 C. 4 受试样品的固定

#### C.2.3.2 拉力爪

根据受试焊球的尺寸选择合适的拉力爪，并设置相应的拉力爪的锁定压力。合适的拉力爪是指使焊球产生形变的程度最小。

#### C.2.3.3 拉力爪的锁定压力

选择合适的拉力爪后，开始使用小的压力，压力逐渐增加，直到选择出合适的压力。

应小心产生最低的夹紧压力，以防止焊球挤压现象，并在后续的试验中保持这种压力。

应记录每个焊球材料、焊球直径和对应的拉力爪夹紧力。

#### C.2.3.4 样品制备

在试验前，应对焊球进行目检，以保证它们的形状完好，无焊剂残留或污染物。

如果在不去除邻近焊球的情况下，拉力爪不能夹住焊球。这时应使用工具，如锋利的刀片，去除临近的焊球。在去除临近的焊球时，不应破坏进行拉脱试验的焊球。

在邻近的焊球去除后，去除焊球后的残留物高度也应足够低，以保证拉力爪在拉脱试验前、定位时和行进过程中不会碰触到这些焊球残留物。图5是典型用于拉脱试验的受试样品。

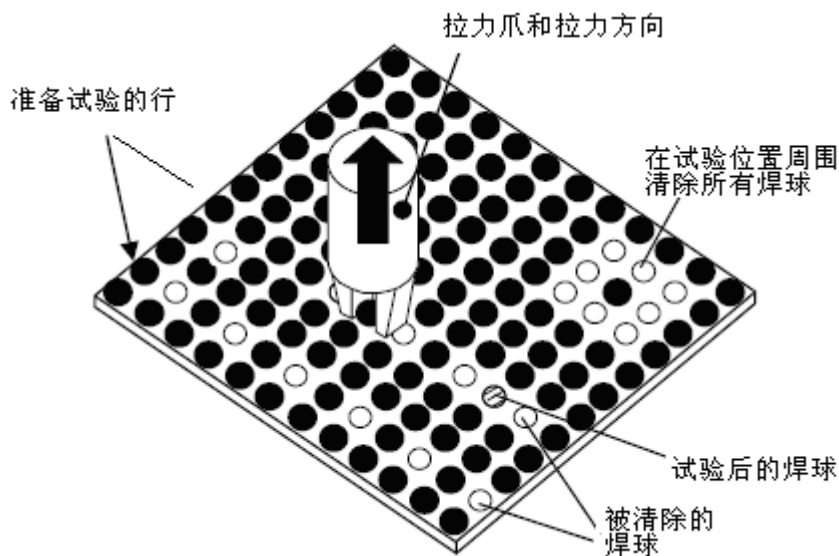


图 D. 5 去除了局部焊球的受试样品

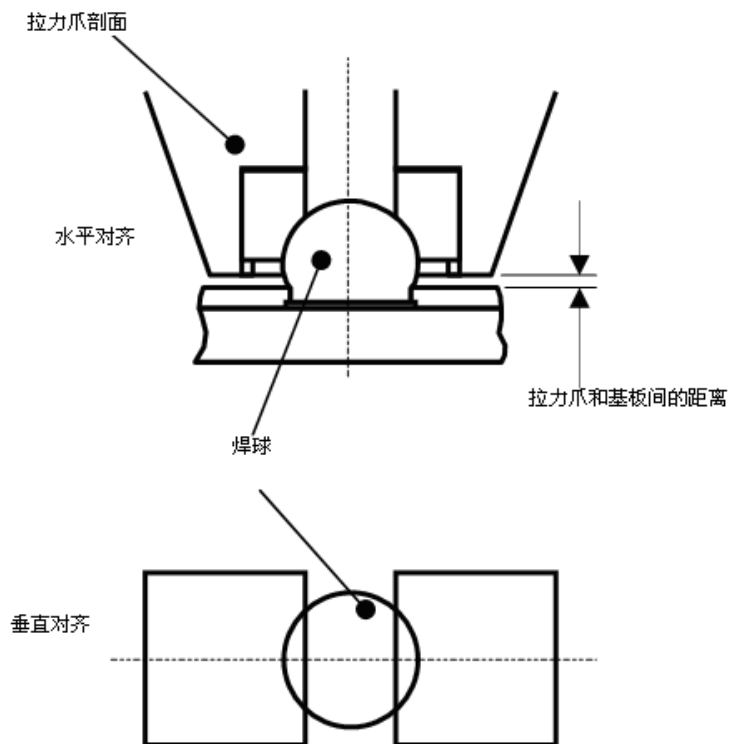


图 C.6 拉力爪夹住焊球示意图

C.2.3.5 拉力爪材料

拉力爪应由坚硬的刚性材料、陶瓷或其他非易弯曲的材料构成。拉力爪的尺寸应尽可能小，以便在拉力试验过程中减少邻近焊球的干扰。拉力爪应和器件底面成 $90^{\circ} \pm 1^{\circ}$ 。

当拉力爪抓住焊球时，应尽量使其对称地挤压焊球，见图D.6。

C.2.3.6 拉力的速度

C.2.3.6.1 影响因素

拉脱试验速度的选取和很多因素相关，包括试验目的、器件应用、受试材料、拉力传感器精度以及仪器所能提供试验速度的范围。拉力和失效模式都受拉脱速度的影响，焊料合金的强度随着拉脱速度提高而增长，因此，焊球拉力的接收判据随拉脱试验速度的改变而变化。

表C.1提供了两种试验条件的推荐使用指南。

表 C.1 拉力试验条件选择

| 拉力速度  | 关注的测试项目    |
|-------|------------|
| 低速    | 焊接强度       |
| 低速    | 焊锡破裂       |
| 低速或高速 | 焊盘污染或焊盘非浸润 |
| 高速    | 界面焊料空洞     |
| 高速    | 界面脆性断裂     |
| 高速    | 机械冲击可靠性    |

C.2.3.6.2 条件 A-低拉力速度

低拉力速度试验的速度一般为 $0.1 \text{ mm/s} \sim 15 \text{ mm/s}$ 。

C.2.3.6.3 条件 B-高拉力速度

高拉力速度试验的速度一般为大于 $15 \text{ mm/s} \sim 1000 \text{ mm/s}$ ，也可超出此范围。

C.2.3.7 进行焊球拉脱试验

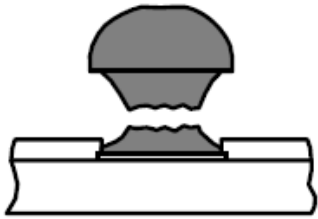
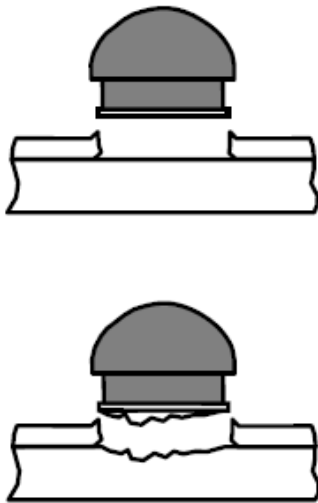
选择并安装和焊球直径相匹配的拉力爪，并在试验设备上夹住受试样品，以使焊球可以在垂直于样品表面的方向上被拉起。一旦确定适当的拉力试验的速度，应记录此试验速度。

在对齐拉力爪时，应避免碰触到焊球。试验过程中，拉力爪可以和基板表面保持轻微接触，并使焊球的变形最小。在拉力爪和焊球对齐时，最好使用可移动的试验台和工具台进行对齐，并使移动平面垂直于负载方向。

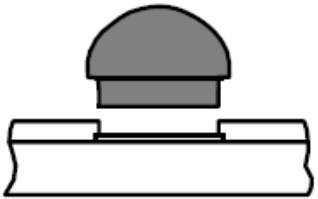
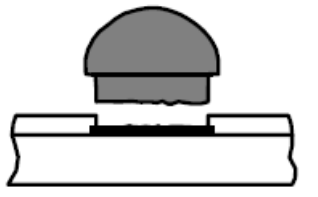
记录峰值拉力和表C.2所描述的失效模式。

多个样品的拉脱试验，应在相同的焊球位置上进行，最好在受试样品靠近中心的位置，以尽量减少在拉脱过程中可能造成的夹具或器件的旋转，并减少测量差异。

表 C.2 焊球拉脱失效模式

| 模式 | 类型   | 描述                           | 典型示例   |
|----|------|------------------------------|--|
| 1  | 韧性断裂 | 在焊球内部出现断裂。                   |   |
| 2  | 焊盘剥离 | 焊盘和焊球一起抬起，抬起的焊盘有可能包括碎裂的基板基材。 |  |

表C.2 （续）

| 模式 | 类型   | 描述  | 典型示例  |
|----|------|---|---|
| 3  | 焊球脱落 | 焊球从焊盘抬起，焊盘没有被焊料/金属间化合物所彻底覆盖，焊盘电镀的顶面暴露。                    |  |
| 4  | 界面破裂 | 破裂发生在焊料/金属间化合物界面或是金属间化合物/基板界面。界面间的破裂可能沿整个焊盘延伸，或在失效模式中占主导。 |  |

#### C.2.3.8 拉力爪周期清洁和损伤更换

在每一个焊球拉起后，应检查拉力爪上是否有残留的焊料。

如图C.7所示为拉力爪的清洁方法。每次试验前拉力爪应保持清洁干净，使用小刷子或细针使焊料脱落，也可以用压缩空气吹扫使焊料脱落。

拉力爪尖头的损坏可能影响试验结果。如果拉力爪有损伤的迹象则应更换拉力爪。

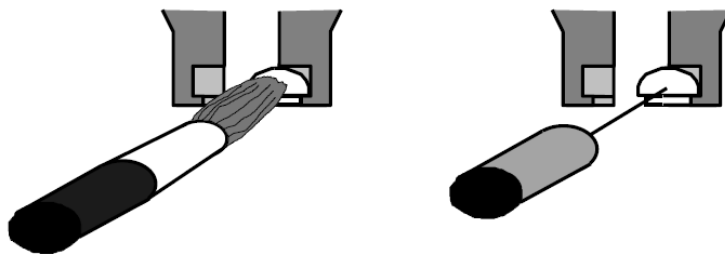


图 C.7 使用小刷子或细针使焊料脱落

#### C.2.3.9 拉力

拉力随焊球类型、焊球大小、焊盘大小、焊料掩模开口结构和所暴露的焊盘形状而不同。因此，应记录这些拉力数据以及焊球成分和球/焊盘/焊料掩模结构等。完成足够的测量后，应建立有代表性的基于平均值和标准偏差的失效判据。焊球拉脱力值应满足应用条件所要求的最小值。

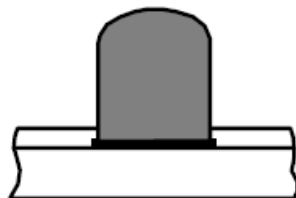
#### C.2.3.10 失效模式

焊球拉脱共有4种失效模式（见表C.2）。拉力设备所配备的光学系统可以用来确定拉力爪的方位，但不能用来判定失效模式。在这种情况下，应使用一个独立的光学系统来评估失效模式。如果出现比较低的焊球拉力值或多种失效模式，应对断裂面进行详细的检查。一般用显微镜放大100倍，也可放大更高的倍数。对特定环境，可以使用SEM等进行检查。

焊球挤出的情况不应作为试验判据。在进行适当调整后选择替代样品进行试验。如果在单个焊点观察到多个失效模式，则应记录不同的失效模式。对于混合模式的失效，建议增加焊球进行试验来验证主要的失效模式。

#### C.2.3.11 无效试验

当焊球在拉力作用下，焊球挤出时应视为无效试验。应在进行适当调整后选择替代样品重新进行试验。如图C.8所示。



注：焊球挤出但没有破裂。

图 C.8 无效试验

#### C.2.3.12 回流焊后停留时间

拉力和/或失效模式可能对拉脱试验和最后回流焊之间的停留时间比较敏感。通常，焊球拉力接收判据可能依赖于回流焊后停留时间而不同。为了便于数据比较，应使用相同的回流焊停留时间、回流焊曲线和总的回流焊停留次数。建议回流焊后停留时间应不大于4 h，除非以前的类似结构的样品试验表明，回流焊后停留时间不是一个关键参数。

#### C.2.3.13 应力后试验

器件进行过可靠性应力试验后，如老炼、预处理、高温贮存、温度循环等，再进行焊球拉脱试验的结果与未经应力试验的器件相比，焊球拉脱力值可能高也可能低，因此应对试验判据重新调整。

焊料微观组织粗化和金属间化合物随高温停留时间的延长而增长，这可导致焊球失效率增加。

#### C.2.4 说明

有关采购文件或相关详细规范中应规定以下内容：

- a) 最小焊球拉脱力值（表C.3供参考）；
- b) 检测的器件和焊球数。



表 C.3 焊球拉脱强度推荐值

| 焊球直径<br>mm | 焊盘（开口）直径（典型值）<br>mm | 最小拉脱力值<br>N |
|------------|---------------------|-------------|
| 0.76±0.03  | 0.63                | 7.0         |
| 0.60±0.03  | 0.45~0.55           | 3.5         |
| 0.50±0.03  | 0.40~0.50           | 3.5         |
| 0.45±0.02  | 0.35~0.45           | 3.5         |
| 0.40±0.02  | 0.30~0.40           | 2.0         |
| 0.35±0.02  | 0.28~0.35           | 1.8         |
| 0.30±0.01  | 0.23~0.27           | 1.4         |

### C.3 焊球剪切

#### C.3.1 目的

本试验的目的是测量BGA焊球的抗剪切能力。

本试验方法适用于任何焊球成分（SnPb、SnAgCu等）或结构类型（焊球合金、外涂有机物且内为金属的焊球等）。器件的基板材料可以是有机或无机化合物。底部的焊盘有可能采用电镀、淀积、涂覆等方式进行表面处理。

#### C.3.2 设备

剪切力测试设备应使用校准的负载单元或传感器。设备的最大负载能力应大于对器件所进行的最大剪切力值的10%。设备应能提供并记录施加于焊球的剪切力，也应能对负载提供规定的移动速率。

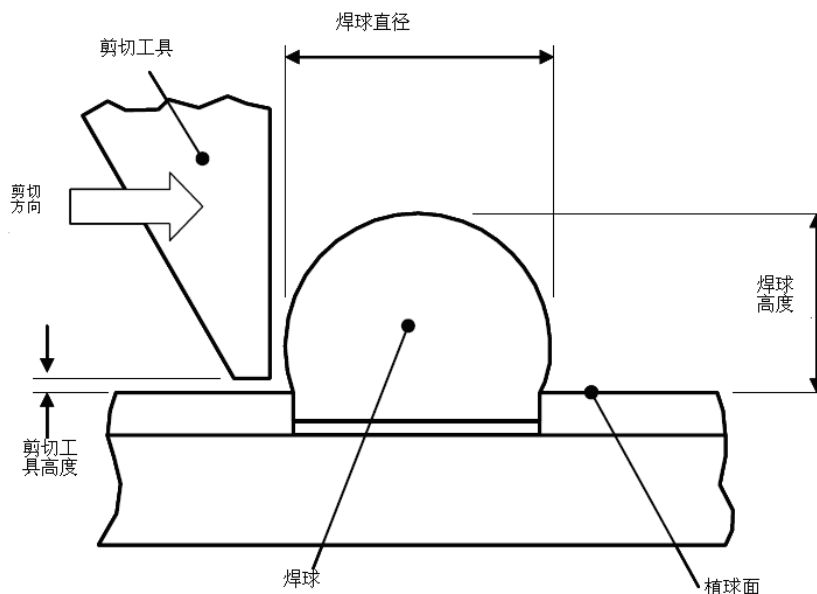


图 C.9 焊球剪切示意图

### C.3.3 程序

#### C.3.3.1 安装

在试验设备上安装剪切工具和试验样品，使焊球可以被平行于器件表面的剪切工具剪切。应小心安放器件而不对焊球造成损伤，见图C.9。

剪切力和失效模式受剪切速度、剪切工具高度以及焊球回流焊后停留时间的影响。为保证试验结果的有效性，应对任何检验批进行相同条件的剪切试验，如剪切速度、剪切工具高度和回流焊后停留时间等都应一致。进行剪切试验时，受试焊球的位置也应相同。

#### C.3.3.2 固定夹具

夹具应防止器件在轴向上移动，保证器件的表面与工具的移动面平行，并且不损伤焊球，不使器件变形。图C.10给出了夹具的示例，可使用其他工具替代夹具。

夹具应和机器保持刚性连接，这对高剪切速度试验非常重要。移动和变形应最小化，以避免对器件产生谐振激励。

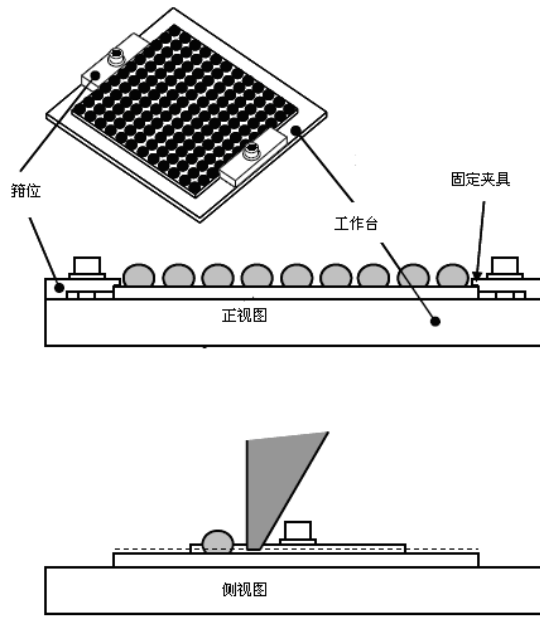


图 C. 10 夹具的例子

### C.3.3.3 样品制备

在试验前，应对焊球进行目检，以保证它们的形状完好，无焊剂残留或污染物。

受剪切试验设备的限制，受试焊球邻近的焊球（和在剪切工具行进路径上）有可能需要先从样品上移去。如果邻近的焊球需要去除，则焊球的残留物高度应足够低，以保证剪切工具在行进过程中不会碰触到残留的焊球。在样品制备后，应留下足够的焊球，以保证样本大小可以达到剪切试验的要求。图C.11和图C.12是典型用于剪切试验的受试样品。

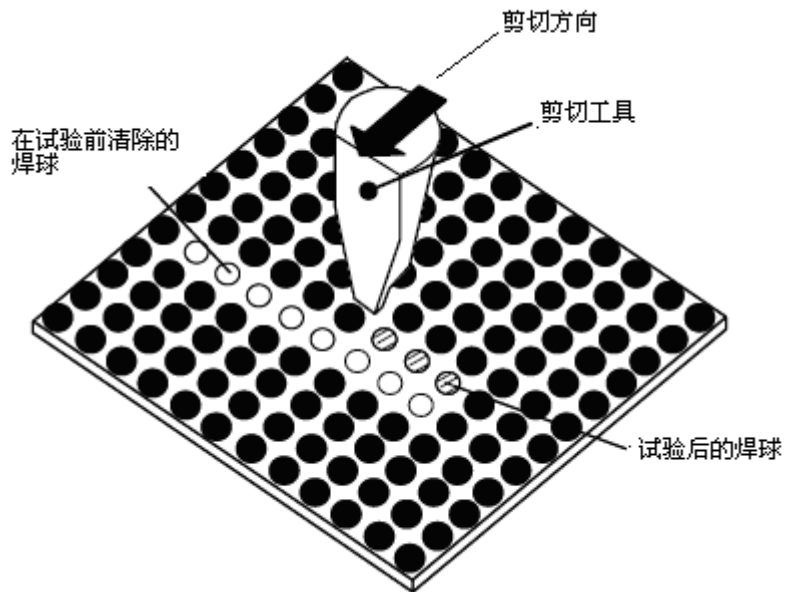


图 C. 11 低剪切速度试验

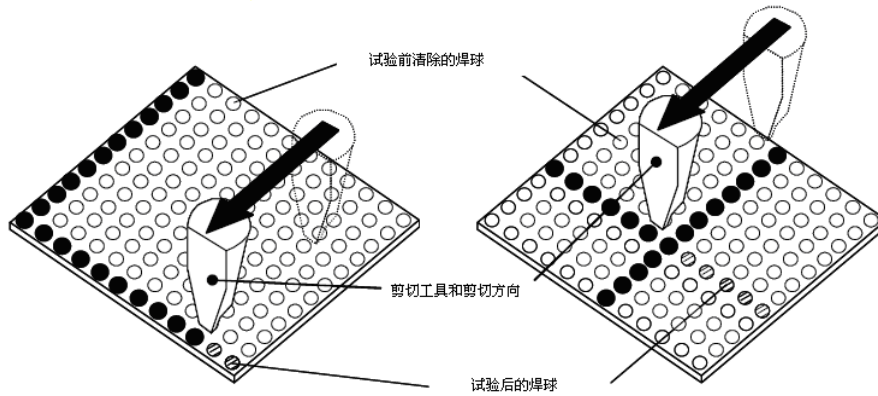


图 C.12 高剪切速度试验

#### C.3.3.4 剪切工具

剪切工具应由坚硬的刚性材料、陶瓷或其他非易弯曲的材料构成。剪切工具应不小于焊球直径。剪切工具应和器件底面成 $90^{\circ} \pm 5^{\circ}$ 。

把剪切工具和焊球对齐，使其可以接触焊球的一侧（见图C.9）。剪切工具高度应为焊球高度的10%~25%，并保证剪切工具在行进时不会接触植球面。最好能使用可移动的试验台和工具台进行对齐，并使移动平面垂直于负载方向。应特别注意，在试验安装中不应碰触到进行试验的焊球。

由于频繁使用会造成剪切工具磨损，从而影响试验结果。如果有明显的磨损（见图C.13），则应替换剪切工具。

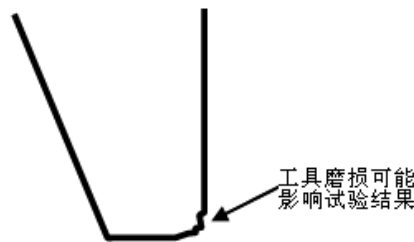


图 C.13 剪切工具磨损

#### C.3.3.5 剪切速度

##### C.3.3.5.1 剪切要求

焊球剪切过程中应保持恒定速率，并记录剪切速度。记录剪切力并继续移动，直到剪切力下降到最大值的25%以下，或直到剪切工具的移动距离（压紧后）超过焊球直径。剪切力和失效模式受剪切速度的影响，对比试验应采用相同的剪切速度。

##### C.3.3.5.2 条件 A - 低剪切速度

低剪切速度试验的速度一般为0.1 mm/s~0.8 mm/s。

##### C.3.3.5.3 条件 B - 高剪切速度

高剪切速度试验的速度一般为10 mm/s~1000 mm/s，也可超出此范围。

高剪切速度试验导致的界面破裂、断裂，比低速试验强，可以更好地评估破裂强度。焊球剪切强度随剪切速度的增加而增加；因此，焊球剪切接收标准可以随剪切速度而变化。另外，如最大负载时间和能量等也应记录、计算，它们也会影响断裂程度。在多种剪切速度下可定义出剪切强度和失效模式，也可建立最理想的剪切速度。

#### C.3.3.6 剪切力

试验数据应包括焊球剪切力值、平均值和标准偏差。最大剪切力随焊球类型、焊球大小、焊盘大小、焊料掩模开口结构和所暴露的焊盘形状而变化。

因此，剪切数据，如焊球成分和球/焊盘/焊料掩模结构等应具有代表性，并记录。完成足够的测量后，应建立有代表性的基于平均值和标准偏差的失效判据。

焊球剪切值应满足应用条件所要求的最小值。

C.3.3.7 失效模式

焊球剪切共有4种失效模式（见表C.4）。剪切设备所配备的光学系统可以用来确定剪切工具的方位，但不能用来判定失效模式。在这种情况下，应使用一个独立的光学系统来评估失效模式。如果出现比较低的焊球剪切力值或多种失效模式，应对断裂面进行详细的检查。一般用显微镜放大100倍，也可放大更高的倍数。对特定环境，可以使用SEM等进行检查。

C.3.3.8 回流焊后停留时间

剪切力和/或失效模式可能对剪切试验和最后焊球回流焊之间的停留时间比较敏感。通常，焊球剪切接收判据可能依赖于回流焊后停留时间而不同。对于数据比较，应使用相同的回流焊停留时间、回流焊曲线和总的回流焊停留次数。

C.3.3.9 应力后试验

器件进行过可靠性应力试验后，如老炼、预处理、高温贮存、温度循环等，再进行焊球剪切试验的结果与未经应力试验的器件相比，焊球剪切值可能高也可能低，因此应对试验判据重新调整。

焊料微观组织粗化和金属间化合物随高温停留时间的延长而增长，这可导致焊球失效率增加。

C.3.4 说明

有关采购文件或详细规范中应规定以下内容：

- a) 最小焊球剪切力值（表C.5供参考）；
- b) 检测的器件和焊球数。

表 C. 4 焊球剪切失效模式

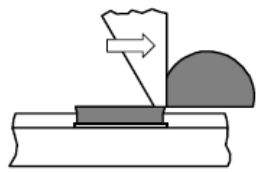
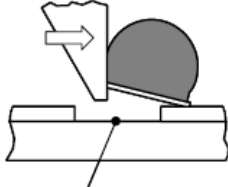
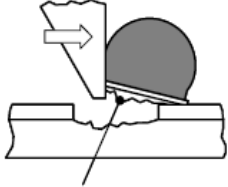
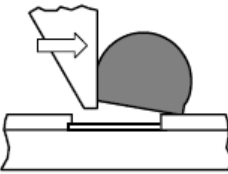
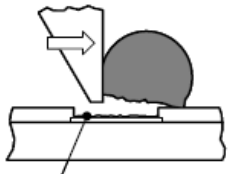
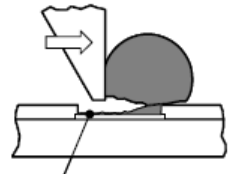
| 模式 | 类型   | 描述  | 典型示例  |
|----|------|---|---|
| 1  | 韧性断裂 | 在焊料掩模表面处或其上的焊球断裂。   |    |
| 2  | 焊盘剥离 | 焊盘和焊球一起抬起，抬起的焊盘有可能包括碎裂的基材。                                |   <p>焊盘在基材处分离      抬起的焊盘包括碎裂的基材</p>      |
| 3  | 焊球脱落 | 焊球从焊盘抬起，焊盘没有被焊料/金属间化合物所彻底覆盖，焊盘电镀的顶面暴露。                    |   |
| 4  | 界面破裂 | 破裂发生在焊料/金属间化合物界面或是金属间化合物/基板界面。界面间的破裂可能沿整个焊盘延伸，或在失效模式中占主导。 |   <p>100%界面破裂      明显的失效模式，工具接触界面破裂处</p> |

表 C.5 焊球剪切强度推荐值

| 焊球直径<br>mm | 焊盘（开口）直径（典型值）<br>mm | 最小剪切力值<br>N |
|------------|---------------------|-------------|
| 0.76±0.03  | 0.63                | 7.0         |
| 0.60±0.03  | 0.45~0.55           | 3.5         |
| 0.50±0.03  | 0.40~0.50           | 3.5         |
| 0.45±0.02  | 0.35~0.45           | 3.5         |
| 0.40±0.02  | 0.30~0.40           | 2.0         |
| 0.35±0.02  | 0.28~0.35           | 1.8         |
| 0.30±0.01  | 0.23~0.27           | 1.4         |

## C.4 可焊性

## C.4.1 目的

本试验的目的是通过模拟BGA表面焊接工艺，评估或判定器件的可焊性能力。

## C.4.2 设备

## C.4.2.1 网板和承载板

网板的孔径与焊球的直径应尽量保持一致。除另有规定外，对节距不大于0.50 mm的BGA器件，用于印刷焊料的网板厚度应为0.10 mm；对节距在0.50 mm~0.65 mm的BGA器件，网板厚度应为0.15 mm；对节距大于0.65 mm的BGA器件，网板厚度应为0.20 mm。

未金属化处理的陶瓷焊料承载板厚度应为0.65 mm~0.90 mm。

## C.4.2.2 水汽老化设备

应采用足以容纳样品的、耐腐蚀的容器。支撑样品的支架必须采用无杂质污染的材料。

设备应至少每月（或使用前）进行一次排空与清洗。根据水的电阻率、目检或洁净度，可能需要更频繁的清洗。清洗时应使用无污染的溶剂。

## C.4.3 程序

## C.4.3.1 水汽老化

在进行模拟焊接工艺试验前，所有的样品应进行水汽老化。除另有规定外，应按表C.6中规定的条件C进行水汽老化。样品离水面的高度应至少为40 mm。

试验处于不同海拔高度进行时，水汽温度应根据表C.7确定。

表 C.6 水汽老化条件

| 条件 | 停留时间      |
|----|-----------|
| A  | 1h±5min   |
| B  | 4h±10min  |
| C  | 8h±15min  |
| D  | 16h±30min |

表 C.7 海拔高度和蒸汽温度的关系

| 海拔高度<br>m | 水汽温度<br>℃                      |
|-----------|--------------------------------|
| 0~500     | 93 <sup>+3</sup> <sub>-5</sub> |
| 501~1000  | 91 <sup>+3</sup> <sub>-5</sub> |
| 1001~1500 | 89 <sup>+3</sup> <sub>-5</sub> |
| >1500     | 87 <sup>+3</sup> <sub>-5</sub> |

## C.4.3.2 干燥

水汽老化后可采用如下程序之一，对样品进行干燥处理：

- 在干燥环境中（推荐使用干燥氮气），最高100℃下烘焙且时间不超过1 h。
- 在室温环境下空气干燥至少15 min。

干燥结束后，应在72 h内完成可焊性试验。

## C.4.3.3 制备

按下述步骤进行：

- 在表面平滑的陶瓷基板或PCB基板上，用网板印刷上球栅阵列图形。

b) 印刷图形后, 应小心移出避免焊接沾污, 并进行图形完整性检查, 确保和被测器件的焊球几何尺寸匹配。

c) 将器件放置在印刷好的焊料图形上, 应避免手接触焊球和焊料, 造成皮肤油脂的污染, 并对器件的对准情况进行检查。

d) 除另有规定外, 应按表C.8规定的条件, 进行回流焊焊接。完成后应小心移出, 并冷却至常温。

e) 然后用工具将器件和基板进行剥离。

可采用适当的清洗工艺将器件上的焊料杂质去除。

表 C. 8 回流焊条件

| 试验类型             | SnPb               | 无铅焊球-有铅焊料 | 无铅        |
|------------------|--------------------|-----------|-----------|
| 助焊剂              | ROL1               | ROL1      | ROL0      |
| 焊料               | SnPb               | SnPb      | SnAgCu    |
| <b>回流工艺 (推荐)</b> | 对流/红外炉             | 对流/红外炉    | 对流/红外炉    |
| 预热温度             | 150℃~170℃          | 150℃~170℃ | 160℃~180℃ |
| 预热时间             | 50s~70s            | 50s~70s   | 50s~70s   |
| 回流温度             | 215℃~230℃          | 215℃      | 230℃~245℃ |
| 回流时间             | 50s~70s            | 50s~70s   | 50s~70s   |
| 试验类型             | SnPb               | 无铅焊球-有铅焊料 | 无铅        |
| <b>回流工艺 (可选)</b> | 气相                 | 无         | 气相 (非典型)  |
| 回流温度             | 215℃~219℃          |           | 230℃~245℃ |
| 回流时间             | 30s~60s            |           | 30s~60s   |
| <b>回流工艺 (可选)</b> | 贮存箱                | 无         | 无         |
| 回流温度             | 215℃~230℃          |           |           |
| 回流时间             | 2min~5min (直到回流完成) |           |           |

#### C.4.3.4 外观检查

完成制备后, 在放大10倍~20倍的光学显微镜下进行外观检查。

#### C.4.4 失效判据

出现以下情况为不合格:

- a) 焊球之间有粘连;
- c) 焊球浸润部分表面连续覆盖新焊料涂层的面积小于95%。

#### C.4.5 说明

有关采购文件或详细规范中应规定, 检测的器件和焊球数。

附录 D  
(资料性附录)  
应用指南

本器件需要设计保证的电参数和应用可参考最新版本“LS2J 型 SoC 微处理器用户手册”和“LS2J 型 SoC 微处理器数据手册”。

---