

LOONGSON

龙芯 3A2000/3B2000 处理器

数据手册

V1.4

2017 年 05 月

龙芯中科技术有限公司

自主决定命运, 创新成就未来



版权声明

本档版权归龙芯中科技术有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel)：010-62546668

传真(Fax)：010-62600826

阅读指南

《龙芯 3A2000/3B2000 处理器数据手册》主要介绍龙芯 3A2000/3B2000 处理器接口结构，特性，电气规范，以及硬件设计指导。

修订历史

| 文档更新记录 | 文档名: | 龙芯 3A2000/3B2000 处理器 数据手册 | |
|-------------|------------|------------------------------|--|
| | 版本号: | V1.4 | |
| | 创建人: | 芯片研发部 | |
| | 创建日期 : | 2017-05-23 | |
| 更新历史 | | | |
| 序号 | 更新日期 | 版本号 | 更新内容 |
| 1 | 2015-07-25 | V1.0 | 初稿完成 |
| 2 | 2015-12-01 | V1.1 | 修正 PCICFG 相关的描述 |
| 3 | 2016-02-23 | V1.2 | 增加 13 章 |
| 4 | 2017-03-29 | V1.3 | 更新第 7.8.1 小节的电源电压信息 更新第 10 章的封装机械尺寸 |
| 5 | 2017-05-23 | V1.4 | 修改 7.8 节电流数据及第 8 章中的功耗数据 |

手册信息反馈: service@loongson.cn

也可通过问题反馈网站 <http://bugs.loongnix.org/> 向我司提交芯片产品使用过程中的问题，并获取技术支持。

目 录

| | |
|-------------------------------------|------|
| 图目录..... | VII |
| 表目录..... | VIII |
| 1 概述..... | 1 |
| 2 接口描述..... | 2 |
| 2.1 接口信号模块 | 2 |
| 2.2 PCI 总线接口信号 | 3 |
| 2.3 HYPERTRANSPORT 总线接口信号 | 3 |
| 2.4 DDR2/3 SDRAM 总线接口信号..... | 7 |
| 2.5 初始化信号 | 8 |
| 2.6 低速 I/O 接口 | 9 |
| 2.7 芯片引脚中断信号 | 10 |
| 2.8 JTAG 及 EJTAG 信号 | 11 |
| 2.9 测试和控制信号 | 12 |
| 2.10 时钟信号 | 12 |
| 2.11 电源引脚 | 13 |
| 2.12 GPIO 信号 | 14 |
| 3 PCI 总线接口特性 | 15 |
| 3.1 PCI/PCI-X 接口特性 | 15 |
| 3.2 仲裁器和设备模式 | 15 |
| 3.3 PCI 总线仲裁器 | 15 |
| 4 HYPERTRANSPORT 总线接口描述..... | 16 |
| 4.1 HYPERTRANSPORT 接口特性 | 16 |
| 4.2 设备模式 | 16 |
| 4.3 系统 HT 接口连接 | 16 |
| 5 DDR2/3 SDRAM 控制器接口描述..... | 19 |
| 5.1 DDR2/3 SDRAM 控制器功能概述..... | 19 |
| 5.2 DDR2/3 SDRAM 读操作协议..... | 19 |
| 5.3 DDR2/3 SDRAM 写操作协议..... | 20 |
| 5.4 初始化操作 | 20 |
| 5.5 复位引脚的控制 | 21 |
| 6 复位时序要求..... | 23 |
| 7 电气特性..... | 25 |
| 7.1 绝对最大额定值 | 25 |
| 7.2 HYPERTRANSPORT 总线接口特性 | 25 |
| 7.2.1 HyperTransport 推荐直流工作条件 | 25 |
| 7.2.2 HyperTransport 推荐交流工作条件 | 26 |

| | |
|-----------------------------------|----|
| 7.2.3 传输时序特性 | 26 |
| 7.3 DDR2 总线内存接口特性 | 29 |
| 7.3.1 推荐直流特性 | 29 |
| 7.3.2 推荐的交流特性 | 29 |
| 7.3.3 电气交流时序特性 | 30 |
| 7.4 DDR3 内存接口特性 | 33 |
| 7.4.1 推荐的直流工作条件 | 33 |
| 7.4.2 交流和直流逻辑输入电平 | 33 |
| 7.4.3 交流和直流逻辑输出电平 | 35 |
| 7.4.4 IDD 和 IDDQ 规范的参数和测试条件 | 41 |
| 7.4.5 输入/输出电容 | 42 |
| 7.4.6 不同器件密度下的刷新参数 | 42 |
| 7.4.7 标准的速度分级 | 43 |
| 7.4.8 DDR3 的时序参数 | 46 |
| 7.5 PCI-X 总线特性 | 54 |
| 7.5.1 推荐的直流工作条件 | 54 |
| 7.5.2 交流工作特性 | 55 |
| 7.5.3 时序参数 | 56 |
| 7.5.4 复位时序 | 57 |
| 7.5.5 PCI-X 总线系统的噪声容限 | 57 |
| 7.5.6 PCI-X 的系统时序裕量 | 58 |
| 7.6 LPC 总线和其它引脚 | 58 |
| 7.6.1 LPC 总线 | 58 |
| 7.6.2 EJTAG | 58 |
| 7.7 参考时钟 | 59 |
| 7.7.1 HyperTransport 的时钟 | 59 |
| 7.7.2 DDR2 内存的时钟 | 60 |
| 7.7.3 PCI-X 时钟 | 60 |
| 7.8 电源 | 61 |
| 7.8.1 电源工作条件 | 61 |
| 8 热特性 | 62 |
| 8.1 热参数 | 62 |
| 8.2 焊接温度 | 62 |
| 9 引脚排列和封装 | 64 |
| 9.1 按引脚排列的封装引脚 | 64 |
| 9.2 FCBGA 引脚顶层排列 | 73 |
| 10 封装机械尺寸 | 78 |
| 11 订货信息 | 79 |

| | |
|----------------------------------|----|
| 12 不使用引脚处理..... | 80 |
| 12.1 系统配置引脚 | 80 |
| 12.2 LPC 总线 | 80 |
| 12.3 PCI 总线 | 80 |
| 12.4 SPI/UART/GPIO 总线 | 80 |
| 12.5 DDR 总线 | 80 |
| 12.6 HYPERTRANSPORT 总线 | 80 |
| 12.7 JTAG/EJTAG 总线、TESTCLK | 81 |
| 12.8 系统中断管脚 | 81 |
| 13 硬件改动说明..... | 81 |

图目录

| | |
|--|----|
| 图 2.1 龙芯 3A2000 处理器接口信号框图..... | 2 |
| 图 4.1 龙芯 3A2000 单处理器系统 HT 接口连接 | 17 |
| 图 4.2 龙芯 3A2000 多处理器系统 HT 接口连接（四片） | 17 |
| 图 4.3 龙芯 3A2000 多处理器系统 HT 接口连接（二片） | 18 |
| 图 5.1 DDR2 SDRAM 读操作协议..... | 20 |
| 图 5.2 DDR2 SDRAM 写操作协议..... | 20 |
| 图 6.1 龙芯 3A2000 复位时序图..... | 24 |
| 图 7.1 HyperTransport 总线 T_{ODIFF} 时序 | 26 |
| 图 7.2 HyperTransport 总线 T_{DIFF} 时序 | 26 |
| 图 7.3 HyperTransport 总线 T_{CADV} 时序 | 27 |
| 图 7.4 HyperTransport 总线 T_{SU} 和 T_{HD} 时序 | 27 |
| 图 7.5 HyperTransport 总线 T_{CADVRS} / T_{CADVRH} 时序 | 27 |
| 图 7.6 差分的信号电平..... | 30 |
| 图 7.7 ac-swing 和 ac-level 时间点（tDVA）的差分定义..... | 34 |
| 图 7.8 Vix 定义..... | 35 |
| 图 7.9 单端输出斜率的定义..... | 36 |
| 图 7.10 差分输出斜率的定义..... | 37 |
| 图 7.11 地址和控制的上冲和下冲定义..... | 38 |
| 图 7.12 时钟，数据，选通和屏蔽信号的交流上冲和下冲定义..... | 38 |
| 图 7.13 tAON 的定义..... | 39 |
| 图 7.14 tAONPD 的定义..... | 40 |
| 图 7.15 tAOF 的定义 | 40 |
| 图 7.16 tAOFPD 的定义 | 41 |
| 图 7.17 tADC 的定义..... | 41 |
| 图 7.18 转换到带上拉的 PCI-X 模式的 RST#时序..... | 57 |
| 图 7.19 PCI-X 噪声容限 | 57 |
| 图 7.20 3.3V PCI-X 时钟波形 | 60 |
| 图 8.1 焊接回流曲线..... | 63 |

表目录

| | |
|---------------------------------------|----|
| 表 2.1 PCI 总线信号 | 3 |
| 表 2.2 HT 总线信号 | 4 |
| 表 2.3 DDR2 SDRAM 控制器接口信号 | 8 |
| 表 2.4 初始化接口信号 | 8 |
| 表 2.5 LPC 接口信号 | 10 |
| 表 2.6 SPI 接口信号 | 10 |
| 表 2.7 UART 接口信号 | 10 |
| 表 2.8 引脚中断信号描述 | 11 |
| 表 2.9 JTAG 接口信号 | 11 |
| 表 2.10 EJTAG 接口信号 | 11 |
| 表 2.11 EJTAG 接口信号 | 12 |
| 表 2.12 时钟信号 | 12 |
| 表 2.13 CORE 时钟控制 | 12 |
| 表 2.14 MEM 时钟控制 | 13 |
| 表 2.15 HT 时钟控制 | 13 |
| 表 2.16 电源引脚 | 13 |
| 表 2.17 GPIO 信号 | 14 |
| 表 7.1 绝对最大额定值 | 25 |
| 表 7.2 HyperTransport 直流工作条件 | 25 |
| 表 7.3 HyperTransport 交流工作条件 | 26 |
| 表 7.4 HyperTransport 连接传输时序规范 | 27 |
| 表 7.5 推荐的直流工作条件 (SSTL_1.8) | 29 |
| 表 7.6 输入的直流逻辑电平 | 29 |
| 表 7.7 输出直流电流驱动 | 29 |
| 表 7.8 输入交流逻辑电平 | 29 |
| 表 7.9 差分的输入交流逻辑电平 | 29 |
| 表 7.10 差分的交流输出参数 | 30 |
| 表 7.11 不同密度的器件刷新参数 | 30 |
| 表 7.12 DDR2 内存标准速率分级 | 30 |
| 表 7.13 DDR2-667 和 DDR2-800 时序参数 | 31 |
| 表 7.14 推荐的直流工作条件 | 33 |
| 表 7.15 控制信号和地址单端信号的交流和直流输入电平 | 33 |
| 表 7.16 DQ 和 DM 单端信号的交流和直流输入电平 | 34 |
| 表 7.17 交流和直流的差分输入电平 | 35 |
| 表 7.18 差分输入信号 (CK, DQS) 交叉点电压 | 35 |
| 表 7.19 单端信号的交流直流输出电平 | 36 |
| 表 7.20 差分信号的交流和直流输出电平 | 36 |

| | |
|---|----|
| 表 7.21 单端信号输出斜率的定义..... | 36 |
| 表 7.22 单端的输出斜率..... | 37 |
| 表 7.23 差分输出斜率的定义..... | 37 |
| 表 7.24 差分输出斜率..... | 37 |
| 表 7.25 地址和控制引脚的交流上冲/下冲规范..... | 38 |
| 表 7.26 时钟, 数据, 选通和屏蔽信号的交流上冲/下冲规范..... | 38 |
| 表 7.27 ODT 时序定义..... | 39 |
| 表 7.28 ODT 时序测量的参考设置..... | 39 |
| 表 7.29 IDD 和 IDDQ 测量循环模式的时序..... | 41 |
| 表 7.30 输入/输出电容..... | 42 |
| 表 7.31 不同器件密度下的刷新参数..... | 42 |
| 表 7.32 DDR3-800 Speed Bins and Operating Conditions..... | 43 |
| 表 7.33 DDR3-1066 Speed Bins and Operating Conditions..... | 43 |
| 表 7.34 DDR3-1333 Speed Bins and Operating Conditions..... | 43 |
| 表 7.35 DDR3-1600 Speed Bins and Operating Conditions..... | 44 |
| 表 7.36 Timing Parameters by Speed Bin..... | 46 |
| 表 7.37 PCI-X 设备的直流规范..... | 54 |
| 表 7.38 推荐的直流特性..... | 54 |
| 表 7.39 IO 引脚的输入电容..... | 54 |
| 表 7.40 推荐的交流特性..... | 55 |
| 表 7.41 输出信号的斜率..... | 55 |
| 表 7.42 通用时序参数..... | 56 |
| 表 7.43 PCI-X 系统的噪声容限..... | 57 |
| 表 7.44 建立时间预算..... | 58 |
| 表 7.45 保持时间预算..... | 58 |
| 表 7.46 推荐的上拉电阻值..... | 58 |
| 表 7.47 EJTAG 的交流时序特性..... | 58 |
| 表 7.48 发送端时钟的不确定性..... | 59 |
| 表 7.49 输入时钟抖动参数..... | 60 |
| 表 7.50 PCI-X 时钟参数..... | 60 |
| 表 7.51 推荐的工作电源电压..... | 61 |
| 表 8.1 龙芯 3A2000 的热特性参数和推荐的最大值..... | 62 |
| 表 8.2 龙芯 3A2000 的热阻参数..... | 62 |
| 表 8.3 无铅工艺的封装回流最大温度表..... | 62 |
| 表 8.4 回流焊接温度分类表..... | 62 |
| 表 9.1 按引脚排列的封装引脚表..... | 64 |

1 概述

龙芯 3A2000/3B2000 是龙芯 3A1000 四核处理器的微结构升级版本，封装引脚与龙芯 3A1000 兼容。龙芯 3A2000/3B2000 是一个配置为单节点 4 核的处理器，采用 40nm 工艺制造，工作主频为 800MHz-1GHz，主要技术特征如下：

- 片内集成 4 个 64 位的四发射超标量 GS464e 高性能处理器核；
- 片内集成 4 MB 的分体共享三级 Cache(由 4 个体模块组成，每个体模块容量为 1MB)；
- 通过目录协议维护多核及 I/O DMA 访问的 Cache 一致性；
- 片内集成 2 个 64 位带 ECC，667MHz 的 DDR2/3 控制器；
- 3B2000 片内集成 2 个 16 位 1.6GHz 的 HyperTransport 控制器 (以下简称 HT)；
- 3A2000 片内 HT1 为 16 位 1.6GHz 的 HT 控制器，HT0 不可用；
- 每个 16 位的 HT 端口拆分成两个 8 路的 HT 端口使用。
- 片内集成 32 位 33MHz PCI；
- 片内集成 1 个 LPC、2 个 UART、1 个 SPI、16 路 GPIO 接口。

相比龙芯 3A1000，其主要改进如下：

- 处理器核结构全面升级；
- 内存控制器结构、频率全面升级；
- HT 控制器结构、频率全面升级；
- 内部互连结构全面升级；
- 外部扩展互连结构全面升级；
- 支持 SPI 启动功能；
- 支持全芯片软件频率配置；
- 全芯片的性能优化提升。

龙芯 3A2000/3B2000 的芯片整体架构基于两级互连实现，芯片结构和介绍详见《龙芯 3A2000/3B2000 用户手册 P1》1.2 节 龙芯 3A2000 简介。3B2000 与 3A2000 处理器的区别在于 3B2000 支持使用 HT0 作为一致性互连接口使用，基于龙芯 3 号可扩展互联架构，4 片四核龙芯 3B2000 可以通过 HT 端口连接构成 4 芯片 16 核的 NUMA 结构。而 3A2000 处理器仅支持 HT1 控制器的 IO 使用。

以下将 3B2000 与 3A2000 不作区别，简称为龙芯 3A2000。

2 接口描述

2.1 接口信号模块

龙芯 3A2000 的接口信号如图 2.1 所示。

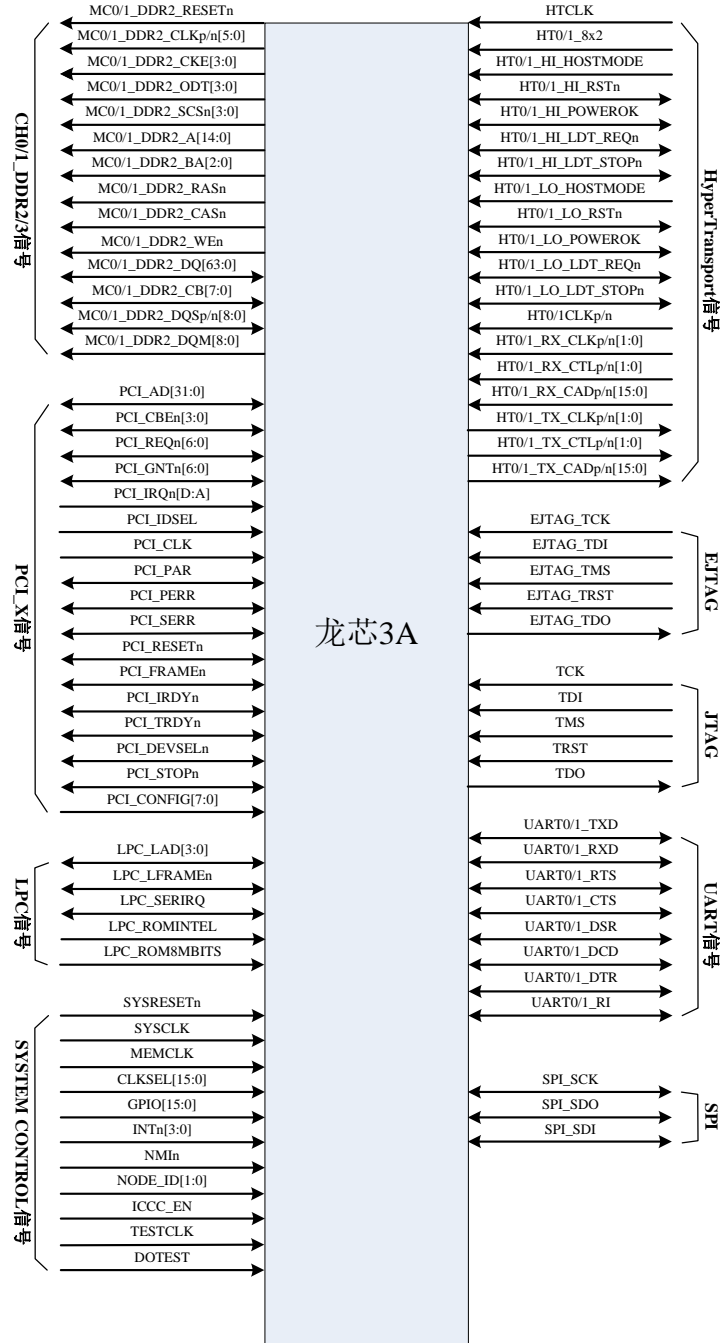


图 2.1 龙芯 3A2000 处理器接口信号框图

注：箭头指示信号方向，有输入、输出和双向。

2.2 PCI 总线接口信号

龙芯 3A2000 的 PCI 总线信号包括：

- 32 位地址数据总线信号；
- 4 位命令数据 ID 总线信号；
- 14 位总线仲裁信号；
- 7 位接口控制信号；
- 2 位错误报告信号；

PCI 控制器只支持 3.3V 的信号环境和 33MHz 频率。

下表是龙芯 3A2000 处理器的 PCI 总线接口信号定义。

表 2.1 PCI 总线信号

| 信号名称 | 类型 | 描述 | 是否三态 | 电压域 |
|---------------|-------|--|------|---------|
| PCI_AD[31:0] | t/s | PCI 地址/数据信号 | 是 | VDDE3V3 |
| PCI_CBEn[3:0] | t/s | PCI 命令/字节使能信号，需外部上拉 | 是 | VDDE3V3 |
| PCI_PAR | t/s | 地址/数据奇偶检测信号，需外部上拉 | 是 | VDDE3V3 |
| PCI_REQn[6:1] | t/s | 外部设备总线占用请求输入信号，需外部上拉 | 否 | VDDE3V3 |
| PCI_REQn[0] | t/s | 根据仲裁模式，可为外部设备总线请求输入，或为到外部仲裁器的总线请求输出信号。需外部上拉。当使用外部仲裁器时，该信号作为输出信号。 | 是 | VDDE3V3 |
| PCI_GNTn[6:1] | t/s | 到外部设备的 PCI 总线允许输出信号，需外部上拉 | 否 | VDDE3V3 |
| PCI_GNTn[0] | t/s | 根据仲裁模式，可为外部仲裁器返回的总线允许输入，或为到外部设备的 PCI 总线允许输出。需外部上拉。当使用外部仲裁器时，该信号作为输入信号。 | 是 | VDDE3V3 |
| PCI_FRAMEn | s/t/s | PCI 帧周期信号，需外部上拉 | 是 | VDDE3V3 |
| PCI_IRDYn | s/t/s | PCI 主设备准备好信号，需外部上拉 | 是 | VDDE3V3 |
| PCI_TRDYn | s/t/s | PCI 目标设备准备好信号，需外部上拉 | 是 | VDDE3V3 |
| PCI_STOPn | s/t/s | PCI 停止数据传送信号，需外部上拉 | 是 | VDDE3V3 |
| PCI_DEVSELn | s/t/s | PCI 设备选择，需外部上拉 | 是 | VDDE3V3 |
| PCI_IDSEL | in | PCI 配置片选，作为主桥时应拉低 | 否 | VDDE3V3 |
| PCI_PERRn | s/t/s | PCI 数据奇偶错误报告信号，需外部上拉 | 是 | VDDE3V3 |
| PCI_SERRn | o/d | PCI 系统错误报告，需外部上拉 | 否 | VDDE3V3 |

2.3 HyperTransport 总线接口信号

龙芯 3A2000 中拥有两组独立的 HyperTransport 总线（分别称为 HT0 与 HT1），其中每组 16 位的 HyperTransport 总线可独立配置为两组 8 位总线分别使用（分别称为 HTx_Lo 与 HTx_Hi）。

其中每组 HyperTransport 总线信号包括：

- 16 对差分发送数据命令总线；
- 16 对差分接收数据命令总线；
- 2 对差分发送控制信号；

- 2 对差分接收控制信号；
- 2 对差分发送时钟信号；
- 2 对差分接收时钟信号；
- 4 个 16 位/低 8 位总线控制信号；
- 4 个高 8 位总线控制信号；

下表是龙芯 3A2000 处理器的 HyperTransport 总线接口信号定义。

表 2.2 HT 总线信号

| HT0 总线信号 | | | | |
|-------------------|-------|---|---------|-------|
| 信号名称 | 输入/输出 | 描述 | 电源域 | 默认上下拉 |
| HT0_8x2 | I | 为 1 时有效，表示将 HT0 分为 HT0_Lo 与 HT0_Hi 分别使用 为 0 时无效，表示将 HT0 作为 16 位总线使用 | VDDESB | 下拉 |
| HT0_Lo_Hostmode | I | 为 1 时有效，表示将 HT0_Lo 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT0_Lo 控制器作为从模式，复位等信号仅为输入模式 | VDDESB | 上拉 |
| HT0_Hi_Hostmode | I | 为 1 时有效，表示将 HT0_Hi 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT0_Hi 控制器作为从模式，复位等信号仅为输入模式 | VDDESB | 上拉 |
| HT0_Lo_PowerOK | I/O | 当 HT0_8x2 无效时为 HT0 总线 PowerOK 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 PowerOK 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT0_Lo_Resetn | I/O | 当 HT0_8x2 无效时为 HT0 总线 Resetn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Resetn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT0_Lo_Ldt_Stopn | I/O | 当 HT0_8x2 无效时为 HT0 总线 Ldt_Stopn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Stopn 信号。 当 HT0_Lo_Hostmode 有效时为双向信号， 当 HT0_Lo_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT0_Lo_Ldt_reqn | I/O | 当 HT0_8x2 无效时为 HT0 总线 Ldt_Reqn 信号， 当 HT0_8x2 有效时为 HT0_Lo 总线 Ldt_Reqn 信号。 | VDDESB | 上拉 |
| HT0_Hi_PowerOK | I/O | 当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 PowerOK 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT0_Hi_Resetn | I/O | 当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Resetn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT0_Hi_LDT_Stopn | I/O | 当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Stopn 信号。 当 HT0_Hi_Hostmode 有效时为双向信号， 当 HT0_Hi_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT0_Hi_LDT_reqn | I/O | 当 HT0_8x2 无效时该信号无效， 当 HT0_8x2 有效时为 HT0_Hi 总线 Ldt_Reqn 信号。 | VDDESB | 上拉 |
| HT0_Tx_CADp[15:0] | O | 当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:0]位为 HT0_Hi 总线发送数据命令总线。 | HT_VDDE | 无 |
| HT0_Tx_CADn[15:0] | O | 当 HT0_8x2 无效时，该总线为 HT0 总线发送数据命令总线， 当 HT0_8x2 有效时， | HT_VDDE | 无 |

| | | [7:0]位为 HT0_Lo 总线发送数据命令总线， [15:0]位为 HT0_Hi 总线发送数据命令总线。 | | |
|-------------------|-------|--|---------|-------|
| HT0_Tx_CTLp[1:0] | O | 当 HT0_8x2 无效时， [0]位为 HT0 总线发送控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送控制信号， [1]位为 HT0_Hi 总线发送控制信号。 | HT_VDDE | 无 |
| HT0_Tx_CTLn[1:0] | O | 当 HT0_8x2 无效时， [0]位为 HT0 总线发送控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送控制信号， [1]位为 HT0_Hi 总线发送控制信号。 | HT_VDDE | 无 |
| HT0_Tx_CLKp[1:0] | O | 当 HT0_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送时钟信号， [1]位为 HT0_Hi 总线发送时钟信号。 | HT_VDDE | 无 |
| HT0_Tx_CLKn[1:0] | O | 当 HT0_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线发送时钟信号， [1]位为 HT0_Hi 总线发送时钟信号。 | HT_VDDE | 无 |
| HT0_Rx_CADp[15:0] | I | 当 HT0_8x2 无效时，该总线为 HT0 总线接收数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线接收数据命令总线， [15:0]位为 HT0_Hi 总线接收数据命令总线。 | HT_VDDE | 无 |
| HT0_Rx_CADn[15:0] | I | 当 HT0_8x2 无效时，该总线为 HT0 总线接收数据命令总线， 当 HT0_8x2 有效时， [7:0]位为 HT0_Lo 总线接收数据命令总线， [15:0]位为 HT0_Hi 总线接收数据命令总线。 | HT_VDDE | 无 |
| HT0_Rx_CTLp[1:0] | I | 当 HT0_8x2 无效时， [0]位为 HT0 总线接收控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收控制信号， [1]位为 HT0_Hi 总线接收控制信号。 | HT_VDDE | 无 |
| HT0_Rx_CTLn[1:0] | I | 当 HT0_8x2 无效时， [0]位为 HT0 总线接收控制信号， [1]位无效。 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收控制信号， [1]位为 HT0_Hi 总线接收控制信号。 | HT_VDDE | 无 |
| HT0_Rx_CLKp[1:0] | I | 当 HT0_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收时钟信号， [1]位为 HT0_Hi 总线接收时钟信号。 | HT_VDDE | 无 |
| HT0_Rx_CLKn[1:0] | I | 当 HT0_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT0_8x2 有效时， [0]位为 HT0_Lo 总线接收时钟信号， [1]位为 HT0_Hi 总线接收时钟信号。 | HT_VDDE | 无 |
| HT1 总线信号 | | | | |
| 信号名称 | 输入/输出 | 描述 | 电源域 | 默认上下拉 |
| HT1_8x2 | I | 为 1 时有效，表示将 HT1 分为 HT0_Lo 与 HT0_Hi 分别使用 为 0 时无效，表示将 HT1 作为 16 位总线使用 | VDDESB | 下拉 |
| HT1_Lo_Hostmode | I | 为 1 时有效，表示将 HT1_Lo 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HT1_Lo 控制器作为从模式，复位等信号仅为输入模式 | VDDESB | 上拉 |
| HT1_Hi_Hostmode | I | 为 1 时有效，表示将 HT1_Hi 控制器作为主模式，控制复位等信号 | VDDESB | 上拉 |

| | | | | |
|-------------------|-----|---|---------|----|
| | | 为 0 时无效，表示将 HT1_Hi 控制器作为从模式，复位等信号仅为输入模式 | | |
| HT1_Lo_PowerOK | I/O | 当 HT1_8x2 无效时为 HT1 总线 PowerOK 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 PowerOK 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT1_Lo_Resetn | I/O | 当 HT1_8x2 无效时为 HT1 总线 Resetn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Resetn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT1_Lo_Ldt_Stopn | I/O | 当 HT1_8x2 无效时为 HT1 总线 Ldt_Stopn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Stopn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT1_Lo_Ldt_reqn | I/O | 当 HT1_8x2 无效时为 HT1 总线 Ldt_Reqn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Reqn 信号。 | VDDESB | 上拉 |
| HT1_Hi_PowerOK | I/O | 当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 PowerOK 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT1_Hi_Resetn | I/O | 当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Resetn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT1_Hi_LDT_Stopn | I/O | 当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Stopn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。 | VDDESB | 上拉 |
| HT1_Hi_LDT_reqn | I/O | 当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Reqn 信号。 | VDDESB | 上拉 |
| HT1_Tx_CADp[15:0] | O | 当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:0]位为 HT1_Hi 总线发送数据命令总线。 | HT_VDDE | 无 |
| HT1_Tx_CADn[15:0] | O | 当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:0]位为 HT1_Hi 总线发送数据命令总线。 | HT_VDDE | 无 |
| HT1_Tx_CTLp[1:0] | O | 当 HT1_8x2 无效时， [0]位为 HT1 总线发送控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送控制信号， [1]位为 HT1_Hi 总线发送控制信号。 | HT_VDDE | 无 |
| HT1_Tx_CTLn[1:0] | O | 当 HT1_8x2 无效时， [0]位为 HT1 总线发送控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送控制信号， [1]位为 HT1_Hi 总线发送控制信号。 | HT_VDDE | 无 |
| HT1_Tx_CLKp[1:0] | O | 当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。 | HT_VDDE | 无 |
| HT1_Tx_CLKn[1:0] | O | 当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。 | HT_VDDE | 无 |
| HT1_Rx_CADp[15:0] | I | 当 HT1_8x2 无效时，该总线为 HT1 总线接收数据命令总线， | HT_VDDE | 无 |

| | | | | |
|-------------------|---|--|---------|---|
| | | 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线接收数据命令总线， [15:0]位为 HT1_Hi 总线接收数据命令总线。 | | |
| HT1_Rx_CADn[15:0] | I | 当 HT1_8x2 无效时，该总线为 HT1 总线接收数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线接收数据命令总线， [15:0]位为 HT1_Hi 总线接收数据命令总线。 | HT_VDDE | 无 |
| HT1_Rx_CTLp[1:0] | I | 当 HT1_8x2 无效时， [0]位为 HT1 总线接收控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。 | HT_VDDE | 无 |
| HT1_Rx_CTLn[1:0] | I | 当 HT1_8x2 无效时， [0]位为 HT1 总线接收控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。 | HT_VDDE | 无 |
| HT1_Rx_CLKp[1:0] | I | 当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。 | HT_VDDE | 无 |
| HT1_Rx_CLKn[1:0] | I | 当 HT1_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收时钟信号， [1]位为 HT1_Hi 总线接收时钟信号。 | HT_VDDE | 无 |

2.4 DDR2/3 SDRAM 总线接口信号

龙芯 3A2000 集成了标准的 DDR2/3 SDRAM 内存控制器。该内存控制器接口包括有下列信号：

- 72 位双向数据总线信号（包括 ECC）；
- 9 路双向数据选通差分信号（包括 ECC）；
- 9 位数据掩码信号（包括 ECC）；
- 16 位地址总线信号（相比龙芯 3A1000，增加一位地址位，使用龙芯 3A1000 中的 DDR_RES_GND 信号）；
- 7 位逻辑 Bank 和物理片选信号；
- 6 路差分时钟信号；
- 4 位时钟使能信号；
- 3 位命令总线信号；
- 4 位 ODT(On Die Termination)信号；
- 1 位复位控制信号。

表 2.3 是龙芯 3A2000 每一组 DDR2 SDRAM 控制器接口信号。共有两组，分别在电源域上分为 0/1。

MEM_VDDE_0/1 在封装内部不必区分，为同一电源域。

表 2.3 DDR2 SDRAM 控制器接口信号

| 信号名称 | 输入/输出 | 描述 | 电源域 |
|----------------|-------|---|--------------|
| DDR2_DQ[63:0] | IO | DDR2/3 SDRAM 数据总线信号 | MEM_VDDE_0/1 |
| DDR2_CB[7:0] | IO | DDR2/3 SDRAM 数据总线 ECC 信号 | MEM_VDDE_0/1 |
| DDR2_DQSp[8:0] | IO | DDR2/3 SDRAM 数据选通 (包括 ECC) | MEM_VDDE_0/1 |
| DDR2_DQSn[8:0] | IO | DDR2/3 SDRAM 数据选通 (包括 ECC) | MEM_VDDE_0/1 |
| DDR2_DQM[8:0] | O | DDR2/3 SDRAM 数据屏蔽 (包括 ECC) | MEM_VDDE_0/1 |
| DDR2_A[15:0] | O | DDR2/3 SDRAM 地址总线信号 | MEM_VDDE_0/1 |
| DDR2_BA[2:0] | O | DDR2/3 SDRAM 逻辑 Bank 地址信号 | MEM_VDDE_0/1 |
| DDR2_WEn | O | DDR2/3 SDRAM 写使能信号 | MEM_VDDE_0/1 |
| DDR2_CASn | O | DDR2/3 SDRAM 列地址选择信号 | MEM_VDDE_0/1 |
| DDR2_RASn | O | DDR2/3 SDRAM 行地址选择信号 | MEM_VDDE_0/1 |
| DDR2_CS[3:0] | O | DDR2/3 SDRAM 片选信号 | MEM_VDDE_0/1 |
| DDR2_CKE[3:0] | O | DDR2/3 SDRAM 时钟使能信号 | MEM_VDDE_0/1 |
| DDR2_CKp[5:0] | O | DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟, {0,2,4}为另一组 DIMM 时钟 | MEM_VDDE_0/1 |
| DDR2_CKn[5:0] | O | DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟, {0,2,4}为另一组 DIMM 时钟 | MEM_VDDE_0/1 |
| DDR2_ODT[3:0] | O | DDR2/3 SDRAM ODT 信号 | MEM_VDDE_0/1 |
| DDR2_Resetn | O | DDR2/3 SDRAM 复位控制信号 | MEM_VDDE_0/1 |

2.5 初始化信号

表 2.4 提供了初始化信号的名称，方向和描述。其中 PCI 接口速度最高支持到 PCI/PCI-X 33MHz。PCI 控制器只支持 3.3V 信号环境。

表 2.4 初始化接口信号

| 信号名称 | 输入/输出 | 描述 | 电压域 |
|-----------------|-------|--|---------|
| SYSRESETn | I | 系统复位信号，该信号的低电平状态需要维持多于一个 SYSCLK 周期，它可异步于 SYSCLK 信号。 | VDDE3V3 |
| PCI_RESETn | I/O | PCI 接口复位信号 | VDDE3V3 |
| PCI_CONFIG[7:0] | I | IO 配置控制 7 HT 总线强制设为 1.0 模式 6:4 需设置为 000 3 PCI 主设备模式 2 需设置为 0 1 使用外部 PCI 仲裁 0 使用 SPI 启动功能 | VDDE3V3 |

- **SYSRESETn**: 这个复位信号是唯一能复位整个龙芯 3A2000 处理器的信号。

SYSCLK 和 MEMCLK 必须在 SYSRESETn 释放到无效前就保持稳定。

SYSRESETn 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESETn 无效时才开始复位处理器。处理器内部复位将在 64K 个 SYSCLK 周期后完成，之后复位异常处理才可以被执行

- **PCI_RESETh**: 当龙芯 3A2000 作为 PCI 总线主桥时, 这个信号工作为输出, 系统中的 PCI/PCI-X 设备的复位必须由该信号控制。当龙芯 3A2000 作为 PCI/PCI-X 设备工作时, 该信号作为输入用来复位龙芯 3A2000 的 PCI 接口。

注: 当龙芯 3A2000 作为 PCI 总线主桥时, 处理器仅在系统上电复位时会产生 **PCI_RESETh** 复位信号, 龙芯 3A2000 软复位时, 需使用 GPIO 和外部复位电路配合, 使处理器产生 **PCI_RESETh** 复位信号。

- **PCI_CONFIG[7:0]**: 定义了龙芯 3A2000 PCI/PCI-X 接口的工作模式以及其它需要静态配置的信号, 它在系统复位时必须保持稳定。系统开始运行时软件从内部寄存器中读取该值。如果系统设置成从使用 SPI 启动, 则系统自动读取 SPI 中的指令开始执行, 否则系统将从 LPC 总线的 ROM 空间开始取指。

2.6 低速 I/O 接口

龙芯 3A2000 处理器的低速 I/O 接口包括 LPC 总线、SPI 总线和 UART。LPC 总线连接启动 Flash 和 SuperIO 芯片。SPI 总线可连接 SPI flash (可支持启动)。

LPC 控制器具有以下特性:

- 符合 LPC1.1 规范
- 支持 LPC 访问超时计数器
- 支持 Memory Read 和 Memory write 访问类型
- 支持 Firmware Memory Read 和 Firmware Memory Write 访问类型 (单字节)
- 支持 I/O read 和 I/O write 访问类型
- 支持 Memory 访问类型地址转换
- 支持 Serialized IRQ 规范, 提供 17 个中断源

SPI 控制器具有以下特性:

- 全双工同步串口数据传输
- 支持到 4 个的变长字节传输
- 主模式支持
- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 可在等待模式下对 SPI 进行控制
- 可支持处理器通过 SPI 启动

UART 控制器具有以下特性

- 全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 仅工作在 FIFO 方式
- 在寄存器与功能上兼容 NS16550A

这些低速 I/O 接口包含的信号如下：

表 2.5 LPC 接口信号

| 信号名称 | 输入/输出 | 描述 | 电压域 |
|-----------|-------|---|---------|
| L_AD[3:0] | I/O | LPC 总线地址数据信号 | VDDE3V3 |
| L_FRAME | O | LPC 总线数据开始/结束信号 | VDDE3V3 |
| L_SIRQ | I/O | LPC 总线 serial IRQ 信号，用于传输串行中断信号 | VDDE3V3 |
| L_8Mbits | I | LPC 启动 flash 8Mbits 和 4Mbits 设置。该信号为高表示 LPC 所接的启动 flash 为 8Mbits，该信号为低表示 LPC 所接的启动 flash 为 4Mbits | VDDE3V3 |
| L_INTEL | I | LPC 启动 flash 类型设置。该信号为高表示所接启动 flash 为 INTEL 类型，否则为 AMD 类型 | VDDE3V3 |

表 2.6 SPI 接口信号

| 信号名称 | 输入/输出 | 描述 | 电压域 |
|---------|-------|------------|---------|
| SPI_SCK | O | SPI 总线时钟 | VDDE3V3 |
| SPI_SDO | O | SPI 总线数据输出 | VDDE3V3 |
| SPI_SDI | I | SPI 总线数据输入 | VDDE3V3 |

表 2.7 UART 接口信号

| 信号名称 | 输入/输出 | 描述 | 电压域 |
|------|-------|------------------|---------|
| TXD | O | 串口数据输出 | VDDE3V3 |
| RXD | I | 串口数据输入 | VDDE3V3 |
| RTS | O | 串口数据传输请求 | VDDE3V3 |
| CTS | I | 设备接受数据就绪 | VDDE3V3 |
| DTR | O | 串口初始化完成 | VDDE3V3 |
| DSR | I | 设备初始化完成 | VDDE3V3 |
| DCD | I | 外部 MODEM 探测到载波信号 | VDDE3V3 |
| RI | I | 外部 MODEM 探测到振铃信号 | VDDE3V3 |

2.7 芯片引脚中断信号

龙芯 3A2000 处理器的引脚中断包括 4 个系统中断（INTn），4 个 PCI 中断（PCI_IRQ），2 个 PCI 总线错误报告信号（PCI_SERRn 与 PCI_PERRn）和 1 个不可屏蔽中断（NMI_n）。下表显示了引脚中断信号的名称、方向和描述。

除了芯片引脚接入的中断外，龙芯 3A2000 还包括 16 个 HT 中断，3 个内部事件中断，1 个 LPC 中断，以及 2 个内存控制器中断。这些中断通过内部的功能模块自己产生，没有

专门的中断引脚。

任意一个中断源可以选择路由到处理器核中断引脚的 INT0-3(对应 CP0 寄存器 CR_STATUS 的 IP2-5 位)四根中断中的任意一个。有关中断的详细说明请参考用户手册的中断部分。

表 2.8 引脚中断信号描述

| 信号名称 | 输入/输出 | 描述 | 电压域 |
|------------------------|-------|---|---------|
| NMI _n | I | 不可屏蔽中断信号，（复位为低有效），需视实际情况上下拉。 | VDDE3V3 |
| INT _n [3:0] | I | 4 个外部中断信号，这些信号分别连接到处理器中断寄存器(CR_CAUSE IP 域)的位 3 到 0，需视实际情况上下拉。 | VDDE3V3 |
| PCI_IRQ[3:0] | I | 这些中断信号应在中断控制器中使能，低电平有效。这些中断能够被路由到中断寄存器的第 7 到 4 位，需外部上拉。 | VDDE3V3 |
| PCI_PERR _n | I/O | PCI 总线奇偶错信号，低电平有效。这些中断能够被路由到中断寄存器的第 15 位，需外部上拉。 | VDDE3V3 |
| PCI_SERR _n | I/O | PCI 总线系统错，低电平有效。这些中断能够被路由到中断寄存器的第 15 位（与 PCI_SERR _n 共享），需外部上拉。 | VDDE3V3 |

2.8 JTAG 及 EJTAG 信号

龙芯 3A2000 提供了一个兼容 JTAG 的边界扫描接口。JTAG 接口用于测试处理器引脚是否被正确连接。表 2.9 提供了 JTAG 信号的名称、方向和描述。

表 2.9 JTAG 接口信号

| 信号名称 | 输入/输出 | 描述 | 电压域 |
|------|-------|-------------------------|---------|
| TDI | I | JTAG 串行扫描数据输入。 | VDDE3V3 |
| TDO | O | JTAG 串行扫描数据输出。 | VDDE3V3 |
| TMS | I | JTAG 命令，指示输入的串行数据是一个命令。 | VDDE3V3 |
| TRST | I | JTAG 重启信号。 | VDDE3V3 |
| TCK | I | JTAG 串行扫描时钟。 | VDDE3V3 |

此外，龙芯 3A2000 还提供了 EJTAG 调试接口，用于调试底层应用软件。

表 2.10 提供了 EJTAG 信号的名称、方向和描述。

表 2.10 EJTAG 接口信号

| 信号名称 | 输入/输出 | 描述 | 电压域 |
|------------|-------|--------------------------|---------|
| EJTAG_TDI | I | EJTAG 串行扫描数据输入。 | VDDE3V3 |
| EJTAG_TDO | O | EJTAG 串行扫描数据输出。 | VDDE3V3 |
| EJTAG_TMS | I | EJTAG 命令，指示输入的串行数据是一个命令。 | VDDE3V3 |
| EJTAG_TRST | I | EJTAG 重启信号。 | VDDE3V3 |
| EJTAG_TCK | I | EJTAG 串行扫描时钟。 | VDDE3V3 |

2.9 测试和控制信号

龙芯 3A2000 芯片的测试信号仅仅用于芯片物理测试，如扫描链测试。当芯片正常工作，这些信号应设置为无效。通常这些信号进行上拉处理。用于测试的控制信号为 DOTEST 信号，管脚定义在表 2.11 中。

表 2.11 EJTAG 接口信号

| 信号名称 | 输入/输出 | 描述 | 默认上下拉 |
|--------|-------|---|-------|
| DOTEST | I | DOTEST=0,芯片处于测试模式; DOTEST=1 芯片处于正常功能模式。芯片正常工作时,需通过 4.7K 电阻上拉至 3.3V。 | 上拉 |

2.10 时钟信号

龙芯 3A2000 关于时钟的信号参见表 2.12。处理器有五个系统输入时钟信号（包括 SYSCLK, MEMCLK, PCI_CLK, HTCLK, 差分时钟 HT0_CLKp/HT0_CLKn 及差分时钟 HT0_CLKp/HT1_CLKn）。龙芯 3A2000 的 Core 时钟通过 SYSCLK 产生, DDR2/3 时钟通过 MEMCLK 产生。HT 的时钟产生较为复杂。首先,差分时钟对 HT0_CLKp/HT0_CLKn 与 HT1_CLKp/HT1_CLKn 分别给 HT0 和 HT1 使用。此外,也可以使用单端时钟 HTCLK 替代 ht_clkp/ht_clkn, 采用 CLKSEL[15:10]进行相关控制。CLKSEL 控制分频的方法参见表 2.13、表 2.14 和表 2.15。

表 2.12 时钟信号

| 信号名称 | 输入/输出 | 频率范围 (MHz) | 描述 | 电压域 |
|-----------------------|-------|------------|--|---------|
| SYSCLK | I | 20-40 | 系统输入时钟, 驱动内置的 PLL 产生处理器的 Core 时钟。它同时作为系统复位电路的时钟。 | VDDE3V3 |
| MEMCLK | I | 20-40 | DDR2/3 控制器的输入时钟, 驱动内置的 PLL 用来产生 DDR2/3 时钟。 | VDDE3V3 |
| PCI_CLK | I | 25-33 | PCI、LPC、SPI、UART 总线的参考时钟。 | VDDE3V3 |
| HT0_CLKp/ HT0_CLKn | I | 200 | HT0 总线及控制器使用参考时钟。 | VDDE3V3 |
| HT1_CLKp/ HT1_CLKn | I | 200 | HT1 总线及控制器使用参考时钟。 | VDDE3V3 |
| HTCLK | I | 100 | HT0 及 HT1 总线控制器使用的可选备份时钟 | VDDE3V3 |
| CLKSEL[15:0] | I | - | Core、DDR 和 HT 的频率选择, 参见 2.13-2.15。 | VDDE3V3 |

表 2.13 CORE 时钟控制

| 信号 | 作用 |
|----|----|
| | |

| | |
|-------------|--|
| CLKSEL[4:0] | <p>5'b11111 表示 CORE 时钟直接采用 sysclk 5'b011xx 表示 CORE 时钟采用软件设置，设置方法见用户手册说明 5'b01111 为正常工作模式，其它情况为调试模式 5'b0110x 表示 FIFO 深度设为 2 5'b011x0 表示 DCDL 控制模式 其它情况下 CORE 时钟为 $\text{sysclk} * (\text{clkssel}[3:0] + 30) / (\text{clkssel}[4] + 1)$ 注： $\text{sysclk} * (\text{clkssel}[3:0] + 30)$ 必须为 1.2GHz~3.2GHz sysclk 必须为 20~40MHz</p> |
|-------------|--|

表 2.14 MEM 时钟控制

| 信号 | 作用 |
|-------------|---|
| CLKSEL[9:5] | <p>5'b11111 表示 MEM 时钟直接采用 memclk 5'b01111 表示 MEM 时钟采用软件设置，设置方法见用户手册说明 其它情况下 MEM 时钟为 $\text{memclk} * (\text{clkssel}[8:5] + 30) / (\text{clkssel}[9] + 3)$ 注： $\text{memclk} * (\text{clkssel}[8:5] + 30)$ 必须为 1.2GHz~3.2GHz memclk 必须为 20~40MHz</p> |

表 2.15 HT 时钟控制

| 信号 | 作用 |
|---------------|--|
| CLKSEL[15] | <p>1'b1 表示 HT 控制器频率采用硬件设置 1'b0 表示 HT 控制器频率采用软件设置</p> |
| CLKSEL[14] | <p>1'b1 表示 HT PLL 采用普通时钟输入 1'b0 表示 HT PLL 采用差分时钟输入</p> |
| CLKSEL[13:12] | <p>2'b00 表示 PHY 时钟为 1.6GHZ 2'b01 表示 PHY 时钟为 3.2GHZ 2'b10 表示 PHY 时钟为 1.2GHz 2'b11 表示 PHY 时钟为 2.4GHz</p> |
| CLKSEL[11:10] | <p>2'b00 表示 HT 控制器时钟为 PHY 时钟 8 分频 2'b01 表示 HT 控制器时钟为 PHY 时钟 4 分频 2'b10 表示 HT 控制器时钟为 PHY 时钟 2 分频 2'b11 表示 HT 控制器时钟为 PHY 时钟</p> |

注：CLKSEL[13:10] == 4'b1111 时，HT 控制器时钟为 bypass 模式，

直接使用外部输入 100MHz 参考时钟

2.11 电源引脚

表 2.16 电源引脚

| Parameter | Description |
|-----------|-------------|
|-----------|-------------|

| | |
|----------------|---------------------|
| VDD | 处理器核电源 |
| VDDE3V3 | 处理器 IO 电源 |
| MEM_VDD_0/1 | DDR2/3 通道 0/1 核电源 |
| MEM_VDDE_0/1 | DDR2/3 通道 0/1 IO 电源 |
| MEM_VREF_0/1 | DDR2/3 通道 0/1 参考电源 |
| HT_VDD | HT 核电源 |
| HT_VDDE | HT IO 电源 |
| VDDESB | HT 控制信号电源 |
| CORE_PLL_AVDD | - |
| CORE_PLL_DVDD | Core PLL 数字电源 |
| DDR_PLL_AVDD | - |
| DDR_PLL_DVDD | DDR2/3 PLL 数字电源 |
| HT0/1_PLL_AVDD | - |
| HT0/1_PLL_DVDD | HT0/1 PLL 数字电源 |

2.12 GPIO 信号

龙芯 3A2000 处理器包含 16 个 GPIO，其引脚定义见下表。

表 2.17 GPIO 信号

| 信号名称 | 输入/输出 | 描述 | 复位状态 | 电压域 |
|--------|-------|--------|-------|------|
| GPIO00 | I/O | 通用输入输出 | 输出高阻 | 3.3V |
| GPIO01 | I/O | 通用输入输出 | 输出高阻 | 3.3V |
| GPIO02 | I/O | 通用输入输出 | 输出高阻 | 3.3V |
| GPIO03 | I/O | 通用输入输出 | 输出高阻 | 3.3V |
| GPIO04 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO05 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO06 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO07 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO08 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO09 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO10 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO11 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO12 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO13 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO14 | I/O | 通用输入输出 | 输出低电平 | 3.3V |
| GPIO15 | I/O | 通用输入输出 | 输出低电平 | 3.3V |

3 PCI 总线接口特性

3.1 PCI/PCI-X 接口特性

PCI/PCI-X 接口特性包括：

- 兼容 PCI 2.3 和 PCI-X 1.0b；
- 接口速度最高支持到 PCI 33MHz；
- 支持 64 位双地址周期寻址(Dual Address Cycle)；
- 支持 PCIX 模式下 8 个对外 split 读请求；
- 支持 PCIX 模式下 4 个对内 split 读请求；

3.2 仲裁器和设备模式

龙芯 3A2000 的 PCI/PCI-X 接口可以工作在主桥模式或设备模式。它依赖于初始信号 PCI_CONFIG。当处理器工作在主桥模式时，接口根据 PCI_CONFIG[6:4]的内容初始化总线设备，这种情况 PCI_IDSEL 直接接地；当处理器工作在设备模式时，PCI 总线的初始值定义了接口的工作模式。在主桥模式时，PCI_CONFIG[6:4]的值应该根据总线设备的驱动能力去设置（请参见 PCI-X 1.0b 标准）。

3.3 PCI 总线仲裁器

龙芯 3A2000 上的 PCI/PCI-X 总线仲裁器最多支持 8 个主设备。仲裁采用两级的 Round Robin 调度算法，每一个请求的级别由软件配置决定。仲裁器能确保在总线切换时插入一个空周期。当总线上没有请求时，总线可配置为归属于最后发起操作的主设备或任一指定的主设备。

当龙芯 3A2000 的 PCI/PCI-X 接口请求/允许信号连接到第 0 号请求/允许信号线，1 到 7 号请求线连至片外（pci_req[6:0]与 pci_gnt[6:0]）。当 PCI_CONFIG[1]设置成 1 时，3A2000 的 PCI/PCI-X 接口请求应通过 pci_req[0]和 pci_gnt[0]连到外部的总线仲裁器上。

4 HyperTransport 总线接口描述

龙芯 3A2000 处理器拥有两个 16 位 HyperTransport 总线接口。每个 16 位总线接口可以分别配置为两个独立的 8 位 HyperTransport 总线接口单独使用。龙芯 3A2000 中，HyperTransport 接口硬件支持 IO Cache 一致性。并且，在使用龙芯 3B2000 的多片互连系统中，HT0 总线硬件支持多处理器核间 Cache 一致性。

4.1 HyperTransport 接口特性

HyperTransport 接口特性包括：

- 兼容 HyperTransport 1.03/HyperTransport 3.0;
- 接口频率支持 200/400/800/1000/1200/1600Mhz;
- HT1.0 接口宽度支持 8 位模式;
- HT3.0 接口宽度支持 8/16 位模式;
- 每个 16 位总线可单独配置为两个 8 位总线使用;
- 支持 IO Cache 一致性;
- HT0 支持多处理器核间 Cache 一致性;

4.2 设备模式

HyperTransport 接口包括以下几个配置引脚：

- HTx_8x2，用于配置每个 HT 总线的工作模式，为 1 表示对应的 HT 总线配置为两个 8 位总线分别使用;
- HTx_x_Hostmode，用于配置 HT 总线上单端控制信号的 IO 方向，具体请见表 2.2;

4.3 系统 HT 接口连接

龙芯 3A2000 中的 HyperTransport 接口可以用于系统中的 IO 连接或多处理器互连，不同系统中的连接方式如下所示：

- 龙芯 3A2000 单处理器系统连接。用于 IO 设备连接时，HyperTransport 接口硬件维护 IO Cache 一致性。相比 PCI 接口，减少了软件维护 Cache 一致性协议所产生的开销，一种常见的连接方式如图 4.1 所示：

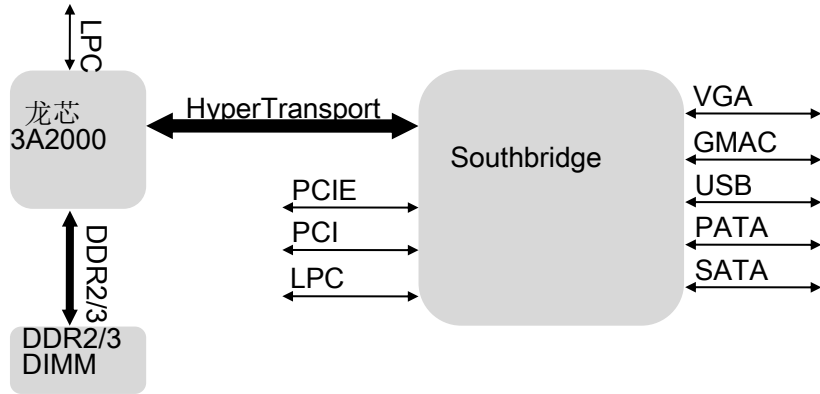


图 4.1 龙芯 3A2000 单处理器系统 HT 接口连接

- 龙芯 3A2000 多处理器系统连接。用于多处理器间互联时，HT0 接口硬件支持处理器核间 Cache 一致性协议，可以使用 HT0 接口构成最多 4 片龙芯 3A2000 处理器的互联系统。如果需要继续扩展，则需要使用不支持处理器核间 Cache 一致性的 HT1 接口或采用其它方式。图 4.2、图 4.3 中分别给出了 4 片和 2 片互联的方式：

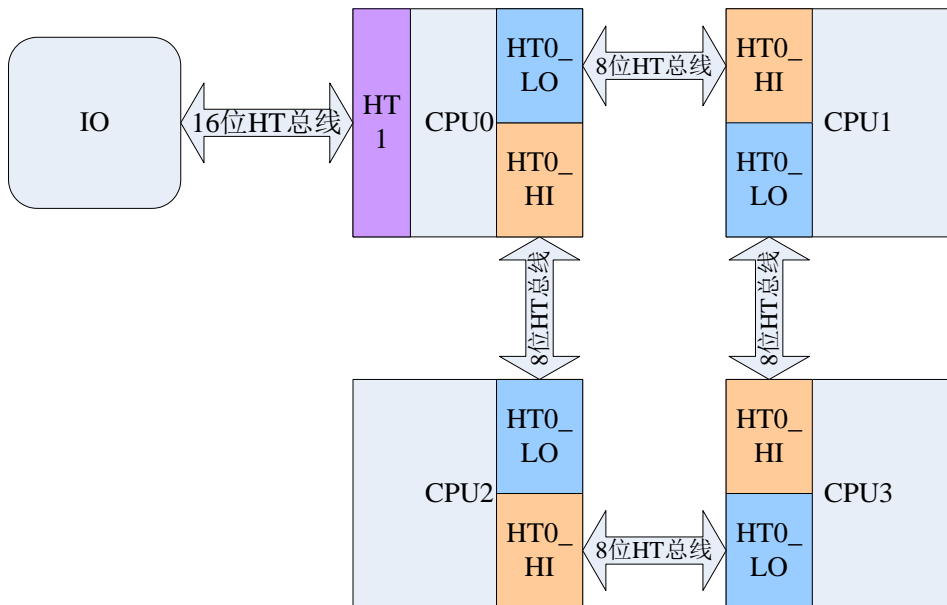


图 4.2 龙芯 3A2000 多处理器系统 HT 接口连接（四片）

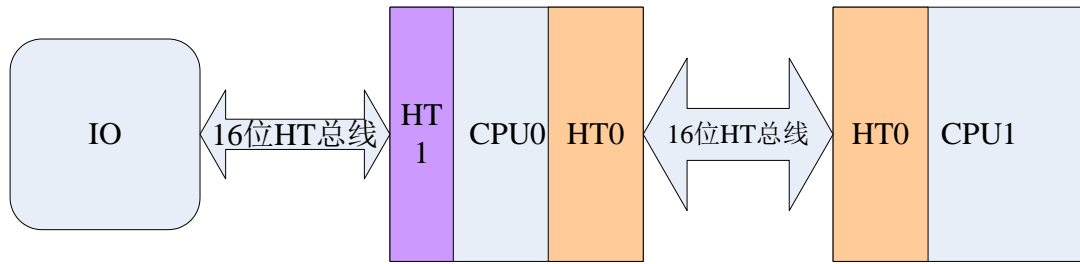


图 4.3 龙芯 3A2000 多处理器系统 HT 接口连接（二片）

5 DDR2/3 SDRAM 控制器接口描述

龙芯 3A2000 处理器内部集成的内存控制器的设计遵守 DDR2/3 SDRAM 的行业标准（JESD79-2 和 JESD79-3）。在龙芯 3A2000 处理器中，所实现的所有内存读/写操作都遵守 JESD79-2B 及 JESD79-3 的规定。

5.1 DDR2/3 SDRAM 控制器功能概述

龙芯 3A2000 处理器支持最大 4 个 CS（由 4 个 DDR2 SDRAM 片选信号实现，即两个双面内存条），一共含有 19 位的地址总线（即：16 位的行列地址总线和 3 位的逻辑 Bank 总线）。相比龙芯 3A1000，增加了一位地址线。

龙芯 3A2000 处理器在具体选择使用不同内存芯片类型时，可以调整 DDR2/3 控制器参数设置进行支持。其中，支持的最大片选（CS_n）数为 4，行地址（RAS_n）数为 16，列地址（CAS_n）数为 15，逻辑体选择（BANK_n）数为 3。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

龙芯 3A2000 处理器所集成的内存控制电路只接受来自处理器或者外部设备的内存读/写请求，在所有的内存读/写操作中，内存控制电路处于从设备状态（Slave State）。

龙芯 3A2000 处理器中内存控制器具有如下特征：

- 接口上命令、读写数据全流水操作
- 内存命令合并、排序提高整体带宽
- 配置寄存器读写端口，可以修改内存设备的基本参数
- 内建动态延迟补偿电路（DCC），用于数据的可靠发送和接收
- ECC 功能可以对数据通路上的 1 位和 2 位错误进行检测，并能对对 1 位错误进行自动纠错
- 支持 133-667MHZ 工作频率

5.2 DDR2/3 SDRAM 读操作协议

DDR2/3 SDRAM 读操作的协议如所示。在图 5.1 中命令（Command，简称 CMD）由 RAS_n，CAS_n 和 WE_n，共三个信号组成。对于读操作，RAS_n=1，CAS_n=0，WE_n=1。

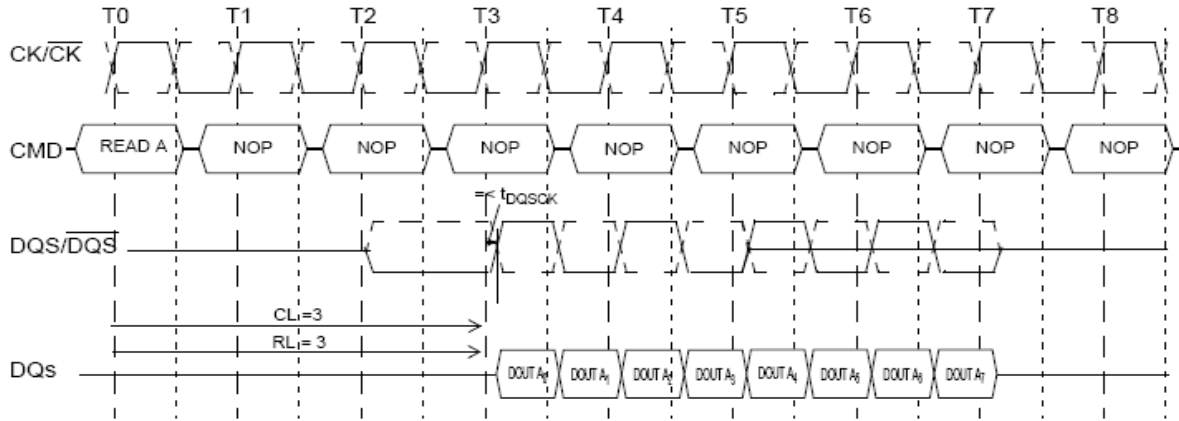


图 5.1 DDR2 SDRAM 读操作协议

上图中，Cas Latency (CL) = 3, Read Latency (RL) = 3, Burst Length = 8。

5.3 DDR2/3 SDRAM 写操作协议

DDR2/3 SDRAM 写操作的协议如图 5.2 所示。在图中命令 CMD 是由 RAS_n, CAS_n 和 WE_n, 共三个信号组成的。对于写操作, RAS_n=1, CAS_n=0, WE_n=0。另外, 与读操作不同, 写操作需要 DQM 来标识写操作的掩码, 即需要写入的字节数。DQM 与图中 DQs 信号同步。

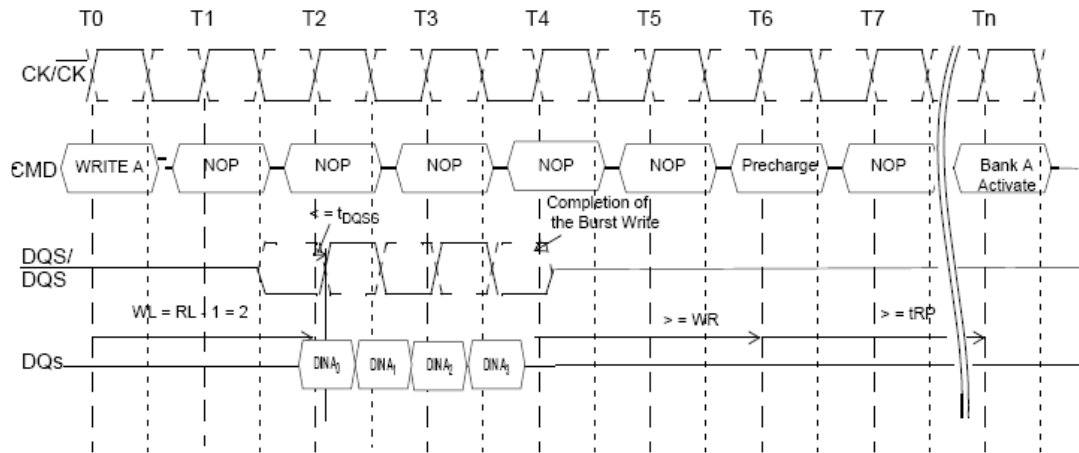


图 5.2 DDR2 SDRAM 写操作协议

上图中，Cas Latency (CL) = 3, Write Latency (WL) = Read Latency (RL) - 1 = 2, Burst Length = 4。

5.4 初始化操作

内存控制器必须经过软件初始化之后, 才可以正常使用, 以下为对控制器进行初始化的具体方法。

初始化操作由软件向寄存器 Init_start (0x018) 写入 1 时开始，在设置 Init_start 信号之前，必须将其它所有寄存器设置为正确的值。

软硬件协同的 DRAM 初始化过程如下：

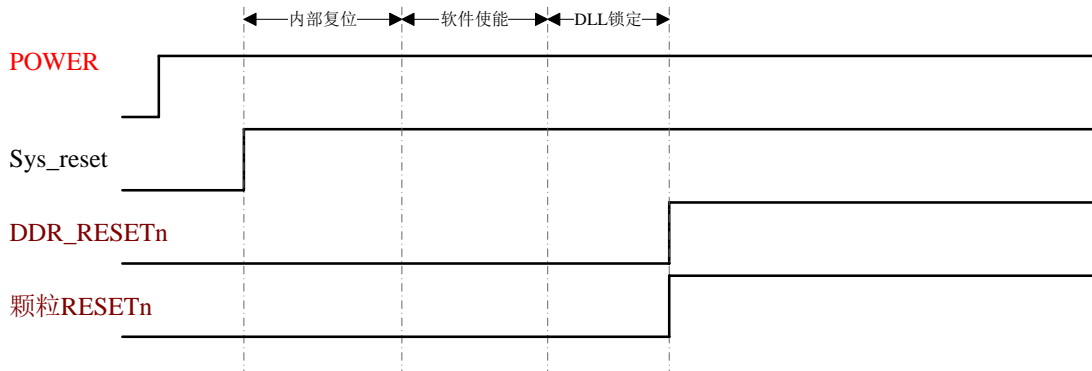
- (1) 软件向所有的寄存器写入正确的配置值，但是 Init_start (0x018) 在这一过程中必须保持为 0；
- (2) 软件将 Init_start (0x018) 设置为 1，这将导致硬件初始化的开始；
- (3) PHY 内部开始初始化操作，DLL 将尝试进行锁定操作。如果锁定成功，则可以从 Dll_init_done (0x000) 读出对应状态，并可以从 Dll_value_ck (0x000) 读写当前锁定延迟线个数；如果锁定不成功，则初始化不会继续进行（此时可以通过设置 Dll_bypass (0x018) 使得初始化继续执行）；
- (4) DLL 锁定（或者 bypass 设置）之后，控制器将根据对应 DRAM 的初始化要求向 DRAM 发出相应的初始化序列，例如对应的 MRS 命令，ZQCL 命令等等；
- (5) 软件可以通过采样 Dram_init (0x160) 寄存器来判断内存初始化操作是否完成。

5.5 复位引脚的控制

为了在 STR 等状态下更加简单地控制复位引脚，可以通过 reset_ctrl (0x150) 寄存器进行特别的复位引脚 (DDR_RESETh) 控制，主要的控制模式有两种：

- (1) 一般模式，reset_ctrl[1:0] == 2' b00。这种模式下，复位信号引脚的行为与一般的控制模式相兼容。主板上直接将 DDR_RESETh 与内存槽上的对应引脚相连。引脚的行为是：
 - 未上电时：引脚状态为低；
 - 上电时：引脚状态为低；
 - 控制器开始初始化时，引脚状态为高；
 - 正常工作时，引脚状态为高。

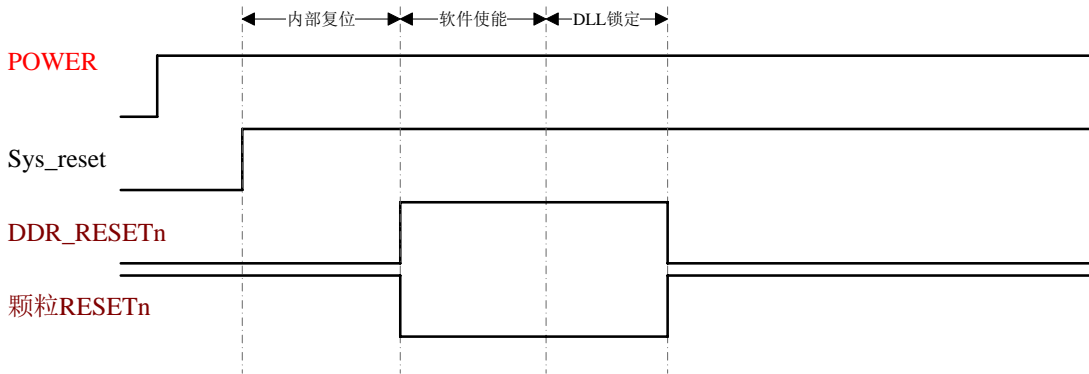
时序如下图所示：



(2) 反向模式，`reset_ctrl[1:0] == 2' b10`。这种模式下，复位信号引脚在进行内存实际控制的时候，有效电平与一般的控制模式相反。所以主板上需要将 `DDR_RESETh` 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 未上电时：引脚状态为低；
- 上电时：引脚状态为低；
- 控制器开始配置时：引脚状态为高；
- 控制器开始初始化时：引脚状态为低；
- 正常工作时：引脚状态为低。

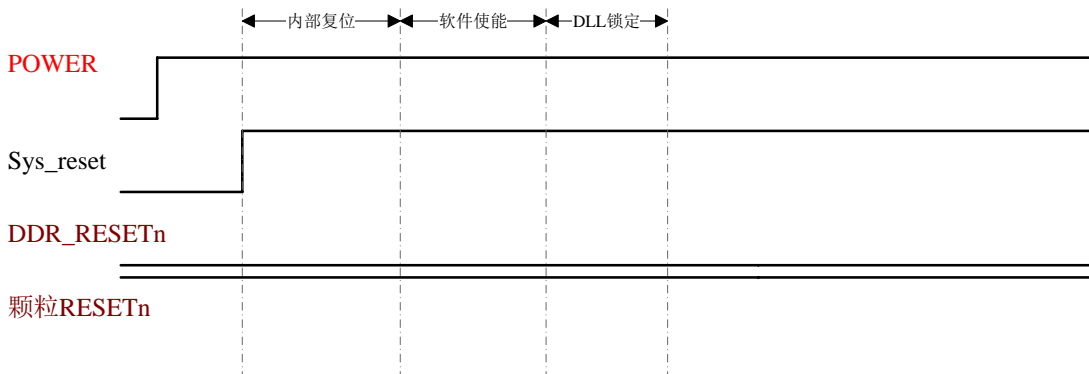
时序如下图所示：



(3) 复位禁止模式，`pm_reset_ctrl[1:0] == 2' b01`。这种模式下，复位信号引脚在整个内存工作期间，保持低电平。所以主板上需要将 `DDR_RESETh` 通过反向器与内存槽上的对应引脚相连。引脚的行为是：

- 始终为低；

时序如下图所示：



由后两种复位模式相配合，就可以直接在使用内存控制器的复位信号的情况下实现 STR 控制。当整个系统从关闭状态下启动时，使用（2）中的方法来使用内存条正常复位并开始工作。当系统从 STR 中恢复的时候，使用（3）中的方法来重新配置内存条，使得在不破坏内存条原有状态的条件上使其重新开始正常工作。

6 复位时序要求

龙芯 3A2000 的初始化分为Core时钟域、DDR2/3 时钟域、HT相关时钟域和PCI时钟域。

当处理器复位信号SYSRESETn为低时，相关的时钟，测试信号和初始化信号都必须有效。这些信号包括：

- SYSCLK, MEMCLK, HTCLK, PCI_CLK, CLKSEL, 差分时钟 ht0_clkp/ht0_clkn 和差分时钟 ht1_clkp/ht1_clkn, 这些信号必须稳定。
- 初始化信号 PCI_CONFIG 应该被设置为合适的值。
- ICCEN 和 NODE_ID 必须稳定（在复位结束前设置完毕并保持不变，信号意义见下文第二段）。

当SYSRESETn变高后，处理器内部的复位逻辑开始初始化芯片。SYSRESETn应至少保持一个时钟周期内（相对于SYSCLK）有效，以保证复位逻辑能可靠采样。PCI时钟域将会被首先初始化以保证龙芯 3A2000 中基本配置寄存器的有效，当龙芯 3A2000 作为PCI Master时还会输出PCI_RESETn来复位外部PCI设备。此后Core、DDR2/3 和HT时钟域相继初始化完成并根据配置引脚的输入去复位外部设备。

ICCN信号为Inter Connection Cache Coherence Enable的缩写，此信号用于多片互联时维护cache一致性。NODE_ID信号用于在多片互联时用来设置处理器号。

龙芯 3A2000 的复位时序图如下图 6.1 所示，图中黑色信号为外部信号，浅色信号为内部信号，用户无需关心：

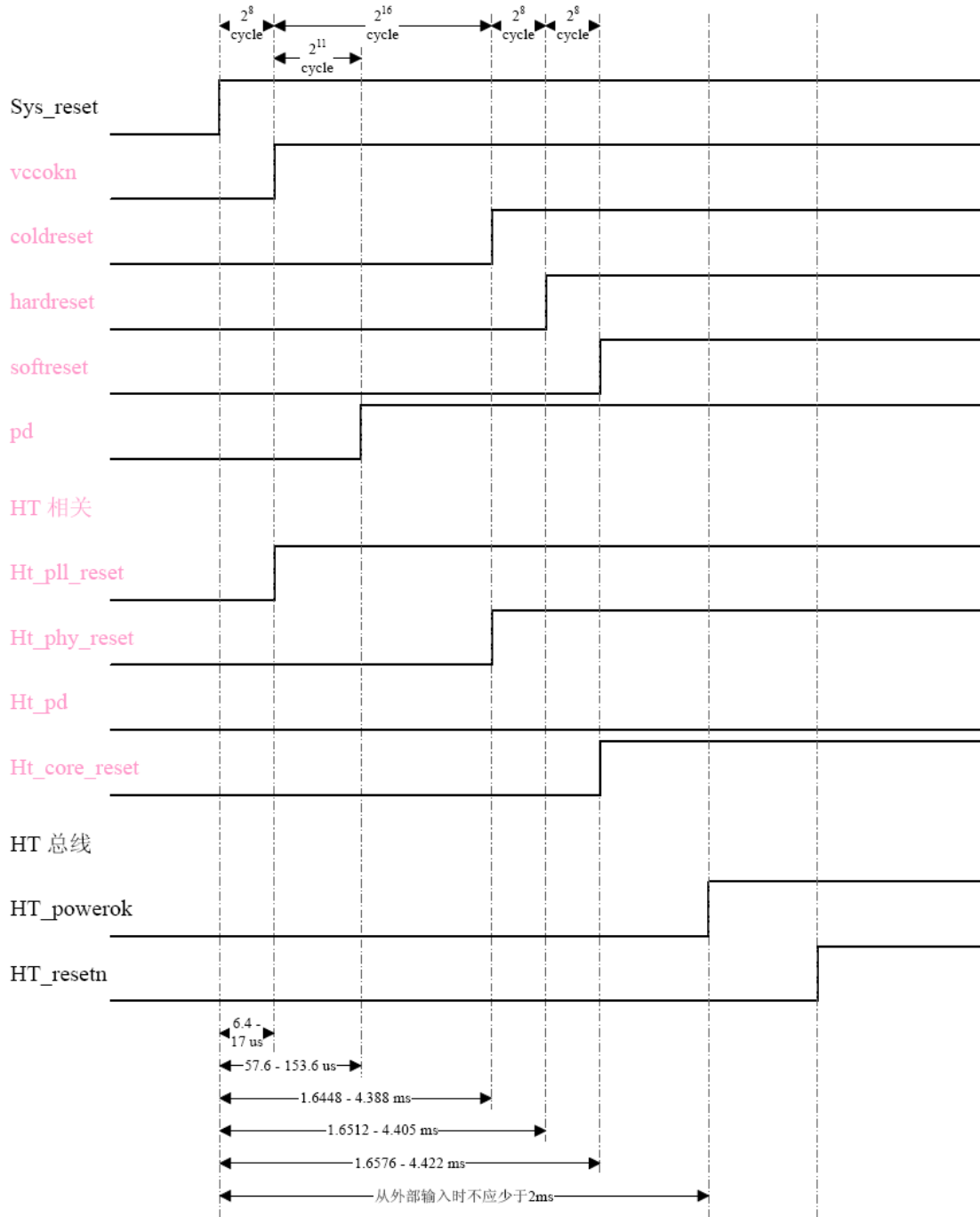


图 6.1 龙芯 3A2000 复位时序图

7 电气特性

7.1 绝对最大额定值

表 7.1 绝对最大额定值

| Parameter | Description | Min. | Max. | Unit |
|--------------|---------------------------|------|------|------|
| VDD | Core Supply Voltage | -0.3 | 1.3 | V |
| VDDE3V3 | Chip IO supply | -0.3 | 3.63 | V |
| HT_VDD | HT core supply | -0.3 | 1.3 | V |
| HT_VDDE | HT IO supply | -0.3 | 2.2 | V |
| MEM_VDD_0/1 | DDR2/3 memory core supply | -0.3 | 1.3 | V |
| MEM_VDDE_0/1 | DDR2/3 MEM IO supply | -0.5 | 2.3 | V |
| Tstg | Storage Temperature | -55 | 100 | °C |

7.2 HyperTransport 总线接口特性

7.2.1 HyperTransport 推荐直流工作条件

表 7.2 HyperTransport 直流工作条件

| Symbol | Parameter | Min. | Typ. | Max. | Unit |
|----------------------|--|------|------|------|------|
| V_{OD} | Output Differential Voltage | 495 | 600 | 715 | mV |
| ΔV_{OD} | Change in V_{OD} from 0 to 1 State | -15 | 0 | 15 | mV |
| V_{OCM} | Output Common Mode Voltage | 495 | 600 | 715 | mV |
| ΔV_{OCM} | Change in V_{OCM} from 0 to 1 State | -15 | 0 | 15 | mV |
| V_{ID} | Input Differential Voltage | 200 | 600 | 1000 | mV |
| ΔV_{ID} | Change in V_{ID} from 0 to 1 State | -15 | 0 | 15 | mV |
| V_{ICM} | Input Common Mode Voltage | 440 | 600 | 780 | mV |
| ΔV_{ICM} | Change in V_{ICM} from 0 to 1 State | -15 | 0 | 15 | mV |
| R_{TT} | Input Differential Impedance | 90 | 100 | 110 | Ohm |
| R_{ON} (pull up) | Output Driver Impedance driving high | 45 | 50 | 55 | Ohm |
| R_{ON} (pull down) | Output Driver Impedance driving low | 45 | 50 | 55 | Ohm |
| C_{out} | Output pad capacitance for devices rated above 800 MT/s. | | | 3 | pF |
| | Output pad capacitance for devices rated up to 800 MT/s. | | | 5 | pF |
| C_{in} | Input pad capacitance for devices rated above 800 MT/s. | | | 2 | pF |
| | Input pad capacitance for devices rated up to 800 MT/s. | | | 5 | pF |

7.2.2 HyperTransport 推荐交流工作条件

表 7.3 HyperTransport 交流工作条件

| Symbol | Parameter | Min. | Typ. | Max. | Unit |
|------------------|---------------------------------------|------|------|------|------|
| V_{OD} | Output Differential Voltage | 400 | 600 | 820 | mV |
| ΔV_{OD} | Change in V_{OD} from 0 to 1 State | -75 | | 75 | mV |
| V_{OCM} | Output Common Mode Voltage | 440 | 600 | 780 | mV |
| ΔV_{OCM} | Change in VOVM from 0 to 1 State | -50 | | 50 | mV |
| V_{ID} | Input Differential Voltage | 300 | 600 | 900 | mV |
| ΔV_{ID} | Change in V_{ID} from 0 to 1 State | -125 | | 125 | mV |
| V_{ICM} | Input Common Mode Voltage | 385 | 600 | 845 | mV |
| ΔV_{ICM} | Change in V_{ICM} from 0 to 1 State | -100 | | 100 | mV |
| T_R | Input Rising Edge Rate | 1.0 | | 4.0 | V/ns |
| T_F | Input Falling Edge Rate | 1.0 | | 4.0 | V/ns |

7.2.3 传输时序特性

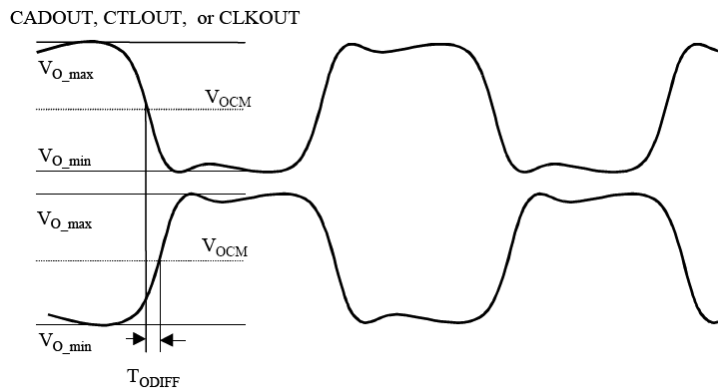


图 7.1 HyperTransport 总线 T_{ODIFF} 时序

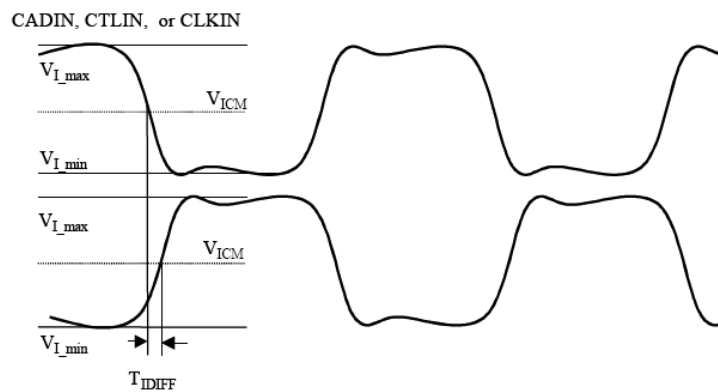


图 7.2 HyperTransport 总线 T_{IDIFF} 时序

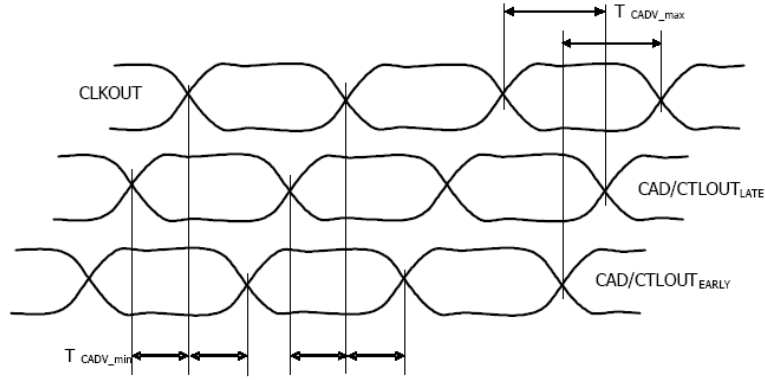


图 7.3 HyperTransport 总线 T_{CADV} 时序

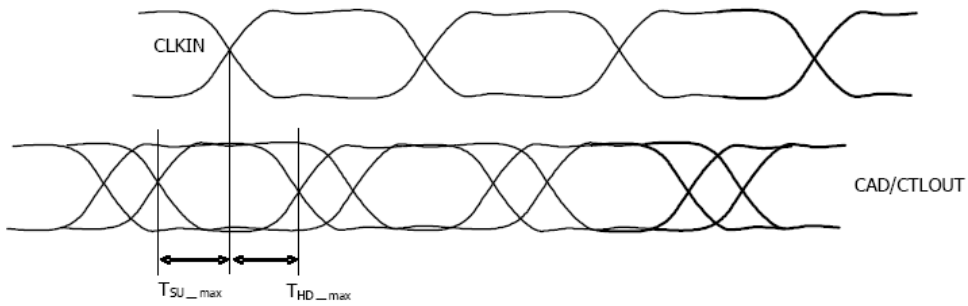


图 7.4 HyperTransport 总线 T_{SU} 和 T_{HD} 时序

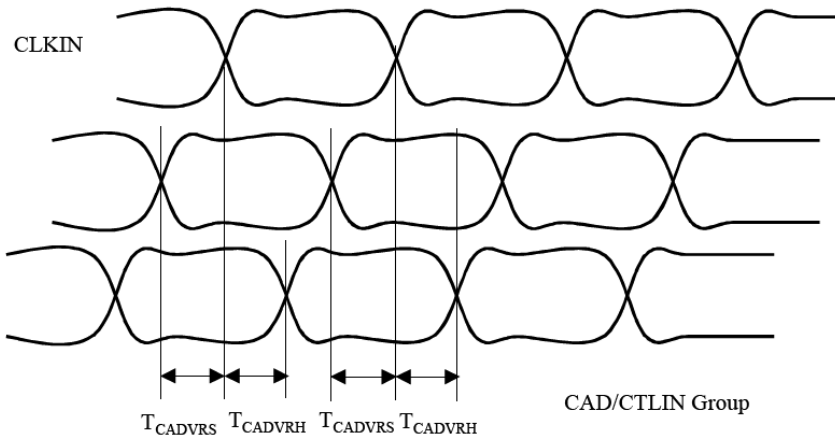


图 7.5 HyperTransport 总线 T_{CADVRS} / T_{CADVRH} 时序

表 7.4 HyperTransport 连接传输时序规范

| Parameter | Description | Link Speed | Min. | Max. | Units |
|-------------|--------------------------|------------|------|------|-------|
| T_{ODIFF} | Output differential skew | 400 MT/s | | 70 | ps |
| | | 600 MT/s | | 70 | ps |
| | | 800 MT/s | | 70 | ps |
| | | 1000 MT/s | | 60 | ps |
| | | 1200 MT/s | | 60 | ps |
| | | 1600 MT/s | | 60 | ps |

| | | | | | |
|--------------|--|---|--|--|----------------------------------|
| T_{IDIFF} | Input differential skew | 400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s | | 90 90 90 65 65 65 | ps ps ps ps ps ps |
| T_{CADV} | Transmitter output CAD/CTLOUT valid relative to CLKOUT | 400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s | 695 467 345 280 234 166 | 1805 1200 905 720 600 459 | ps ps ps ps ps Ps |
| T_{CADVRS} | Receiver input CADIN valid time to CLKIN | 400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s | 460 312 225 194 166 116 | | ps ps ps ps ps Ps |
| T_{CADVRH} | Receiver input CADIN valid time from CLKIN | 400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s | 460 312 225 194 166 116 | | ps ps ps ps ps Ps |
| T_{SU} | Receiver input setup time | 400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s | 0 0 0 0 0 0 | 250 215 175 153 138 110 | ps ps ps ps ps Ps |
| T_{HD} | Receiver input hold time | 400 MT/s 600 MT/s 800 MT/s 1000 MT/s 1200 MT/s 1600 MT/s | 0 0 0 0 0 0 | 250 215 175 153 138 110 | ps ps ps ps ps Ps |

7.3 DDR2 总线内存接口特性

7.3.1 推荐直流特性

表 7.5 推荐的直流工作条件 (SSTL_1.8)

| Symbol | Parameter | Rating | | | Units |
|---------------------|---------------------------|-------------|-------------|-------------|-------|
| | | Min. | Typ. | Max. | |
| VDDQ (MEM_VDDE_0/1) | Supply Voltage for Output | 1.7 | 1.8 | 1.9 | V |
| VREF (MEM_VREF_0/1) | Input Reference Voltage | 0.49 x VDDQ | 0.50 x VDDQ | 0.51 x VDDQ | V |
| VTT | Termination Voltage | VREF - 0.04 | VREF | VREF + 0.04 | V |

表 7.6 输入的直流逻辑电平

| Symbol | Parameter | Min. | Max. | Units |
|---------|---------------------|------------|------------|-------|
| VIH(dc) | DC input logic HIGH | VREF+0.125 | VDDQ+0.3 | V |
| VIL(dc) | DC input logic LOW | -0.3 | VREF-0.125 | V |

表 7.7 输出直流电流驱动

| Symbol | Parameter | SSTL_18 | Units |
|---------|----------------------------------|---------|-------|
| IOH(dc) | Output Minimum Source DC Current | -13.4 | mA |
| IOL(dc) | Output Minimum Sink DC Current | 13.4 | mA |

7.3.2 推荐的交流特性

表 7.8 输入交流逻辑电平

| Symbol | Parameter | DDR2-400, DDR2-533 | | DDR2-667, DDR2-800 | | Units |
|----------|---------------------|--------------------|------------|--------------------|------------|-------|
| | | Min. | Max. | Min. | Max. | |
| VIH (ac) | ac input logic HIGH | VREF+0.250 | - | VREF+0.200 | - | V |
| VIL (ac) | ac input logic LOW | - | VREF-0.250 | | VREF-0.200 | V |

表 7.9 差分的输入交流逻辑电平

| Symbol | Parameter | Min. | Max. | Units |
|----------|------------------------------------|------------------|------------------|-------|
| VID(ac) | AC differential input voltage | 0.5 | VDDQ+0.6 | V |
| VIX (ac) | AC differential crosspoint voltage | 0.5 x VDDQ-0.175 | 0.5 x VDDQ+0.175 | V |

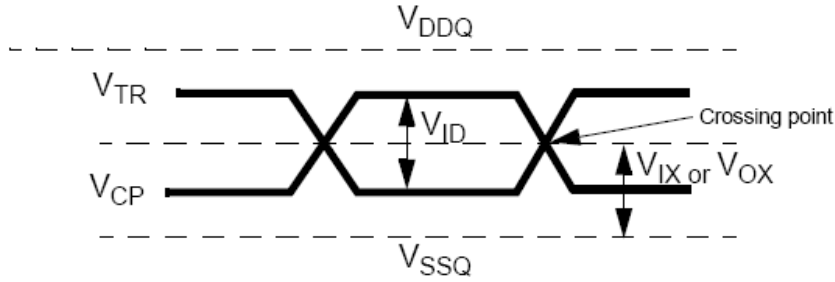


图 7.6 差分的信号电平

表 7.10 差分的交流输出参数

| Symbol | Parameter | Min. | Max. | Units |
|----------|------------------------------------|---------------------------|---------------------------|-------|
| VOX (ac) | AC differential crosspoint voltage | $0.5 \times VDDQ - 0.125$ | $0.5 \times VDDQ + 0.125$ | V |

7.3.3 电气交流时序特性

表 7.11 不同密度的器件刷新参数

| Parameter | Symbol | 256 Mb | 512 Mb | 1Gb | 2Gb | 4Gb | Units |
|--|--------|--|--------|-------|-----|-------|---------|
| Refresh to active/Refresh command time | tRFC | 75 | 105 | 127.5 | 195 | 327.5 | ns |
| Average periodic refresh interval | tREFI | $0^\circ C \leq TCASE \leq 85^\circ C$ | 7.8 | 7.8 | 7.8 | 7.8 | μs |
| | | $85^\circ C < TCASE \leq 95^\circ C$ | 3.9 | 3.9 | 3.9 | 3.9 | μs |

表 7.12 DDR2 内存标准速率分级

| Speed bin CL-tRCD-tRP | DDR2-800C | | DDR2-800D | | DDR2-800E | | DDR2-667C | | DDR2-667D | | Units |
|--------------------------|-----------|-------|-----------|-------|-----------|-------|-----------|-------|-----------|-------|-------|
| | 4-4-4 | | 5-5-5 | | 6-6-6 | | 4-4-4 | | 5-5-5 | | |
| Parameter | Min. | Max. | Min. | Max. | Min. | Max. | Min. | Max. | Min. | Max. | |
| tRCD | 10 | - | 12.5 | - | 15 | - | 12 | - | 15 | - | ns |
| tRP1 | 10 | - | 12.5 | - | 15 | - | 12 | - | 15 | - | ns |
| tRC | 55 | - | 57.5 | - | 60 | - | 57 | - | 60 | - | ns |
| tRAS | 45 | 70000 | 45 | 70000 | 45 | 70000 | 45 | 70000 | 45 | 70000 | ns |
| tCK (avg) @CL=2 | Optional | | Optional | | Optional | | Optional | | Optional | | ns |
| tCK (avg) @CL=3 | Optional | | Optional | | Optional | | Optional | | Optional | | ns |
| tCK (avg) @CL=4 | 2.5 | 8 | 3.75 | 8 | 3.75 | 8 | 3 | 8 | 3.75 | 8 | ns |
| tCK (avg) @CL=5 | 2.5 | 8 | 2.5 | 8 | 3 | 8 | 3 | 8 | 3 | 8 | ns |
| tCK (avg) @CL=6 | Optional | | Optional | | 2.5 | 8 | Optional | | Optional | | ns |

表 7.13 DDR2-667 和 DDR2-800 时序参数

| Parameter | Symbol | DDR2-667 | | DDR2-800 | | Units |
|---|-----------|--------------|----------|--------------|----------|----------|
| | | Min. | Max. | Min. | Max. | |
| Average clock period | tCK(avg) | 3000 | 8000 | 2500 | 8000 | ps |
| Average clock HIGH pulse width | tCH(avg) | 0.48 | 0.52 | 0.48 | 0.52 | tCK(avg) |
| Average clock LOW pulse width | tCL(avg) | 0.48 | 0.52 | 0.48 | 0.52 | tCK(avg) |
| Write command to DQS associated clock edge | WL | RL - 1 | | RL - 1 | | nCK |
| DQS latching rising transitions to associated clock edges | tDQSS | -0.25 | 0.25 | -0.25 | 0.25 | tCK(avg) |
| DQS falling edge to CK setup time | tDSS | 0.2 | x | 0.2 | x | tCK(avg) |
| DQS falling edge hold time from CK | tDSH | 0.2 | x | 0.2 | x | tCK(avg) |
| DQS input HIGH pulse width | tDQSH | 0.35 | x | 0.35 | x | tCK(avg) |
| DQS input LOW pulse width | tDQSL | 0.35 | x | 0.35 | x | tCK(avg) |
| Write preamble | tWPRE | 0.35 | x | 0.35 | x | tCK(avg) |
| Write postamble | tWPST | 0.4 | 0.6 | 0.4 | 0.6 | tCK(avg) |
| Address and control input setup time | tIS(base) | 200 | x | 175 | x | ps |
| Address and control input hold time | tIH(base) | 275 | x | 250 | x | ps |
| Control & Address input pulse width for each input | tIPW | 0.6 | x | 0.6 | x | tCK(avg) |
| DQ and DM input setup time | tDS(base) | 100 | x | 50 | x | ps |
| DQ and DM input hold time | tDH(base) | 175 | x | 125 | x | ps |
| DQ and DM input pulse width for each input | tDIPW | 0.35 | x | 0.35 | x | tCK(avg) |
| DQ output access time from CK/CK | tAC | -450 | 450 | -400 | 400 | ps |
| DQS output access time from CK/CK | tDQSCK | -400 | 400 | -350 | 350 | ps |
| Data-out high-impedance time from CK/CK | tHZ | x | tAC, max | x | tAC, max | ps |
| DQS/DQS low-impedance time from CK/CK | tLZ(DQS) | tAC, min | tAC, max | tAC, min | tAC, max | ps |
| DQ low-impedance time from CK/CK | tLZ(DQ) | 2 x tAC, min | tAC, max | 2 x tAC, min | tAC, max | ps |

| | | | | | | |
|---|--------|---------------------------|-----|---------------------------|-----|----------|
| DQS-DQ skew for DQS and associated DQ signals | tDQSQ | x | 240 | x | 200 | ps |
| CK half pulse width | tHP | Min(tCH(abs), tCL(abs)) | x | Min(tCH(abs), tCL(abs)) | x | ps |
| DQ hold skew factor | tQHS | X | 340 | x | 300 | ps |
| DQ/DQS output hold time from DQS | tQH | tHP - tQHS | x | tHP - tQHS | x | ps |
| Read preamble | tRPRE | 0.9 | 1.1 | 0.9 | 1.1 | tCK(avg) |
| Read postamble | tRPST | 0.4 | 0.6 | 0.4 | 0.6 | tCK(avg) |
| Activate to activate command period for 1KB page size products | tRRD | 7.5 | x | 7.5 | x | ns |
| Activate to activate command period for 2KB page size products | tRRD | 10 | x | 10 | x | ns |
| Four Activate Window for 1KB page size products | tFAW | 37.5 | x | 35 | x | ns |
| Four Activate Window for 2KB page size products | tFAW | 50 | x | 45 | x | ns |
| CAS to CAS command delay | tCCD | 2 | x | 2 | x | nCK |
| Write recovery time | tWR | 15 | x | 15 | x | ns |
| Auto precharge write recovery + precharge time | tDAL | WR + tnRP | x | WR + tnRP | x | nCK |
| Internal write to read command delay | tWTR | 7.5 | x | 7.5 | x | ns |
| Internal read to precharge command delay | tRTP | 7.5 | x | 7.5 | x | ns |
| CKE minimum pulse width (HIGH and LOW pulse width) | tCKE | 3 | x | 3 | x | nCK |
| Exit self refresh to a non-read command | tXSNR | tRFC + 10 | x | tRFC + 10 | x | ns |
| Exit self refresh to a read command | tXSRD | 200 | x | 200 | x | nCK |
| Exit precharge power down to any command | tXP | 2 | x | 2 | x | nCK |
| Exit active power down to read command | tXARD | 2 | x | 2 | x | nCK |
| Exit active power down to read command (slow exit, lower power) | tXARDS | 7-AL | x | 8-AL | x | nCK |

| | | | | | | |
|--|--------|--------------------|-------------------------------|----------------------|-------------------------------|-----|
| ODT turn-on delay | tAOND | 2 | 2 | 2 | 2 | nCK |
| ODT turn-on | tAON | tAC, min | tAC, max + 0.7 | tAC, min | tAC, max + 0.7 | ns |
| ODT turn-on (Power-Down mode) | tAONPD | tAC, min + 2 | 2 x tCK(avg) + tAC, max + 1 | tAC, min + 2 | 2 x tCK(avg) + tAC, max + 1 | ns |
| ODT turn-off delay | tAOFD | 2.5 | 2.5 | 2.5 | 2.5 | nCK |
| ODT turn-off | tAOF | tAC, min | tAC, max + 0.6 | tAC, min | tAC, max + 0.6 | ns |
| ODT turn-off (Power-Down mode) | tAOFPD | tAC, min + 2 | 2.5 x tCK(avg) + tAC, max + 1 | tAC, min + 2 | 2.5 x tCK(avg) + tAC, max + 1 | ns |
| ODT to power down entry latency | tANPD | 3 | x | 3 | x | nCK |
| ODT Power Down Exit Latency | tAXPD | 8 | | 8 | | nCK |
| Mode register set command cycle time | tMRD | 2 | x | 2 | x | nCK |
| MRS command to ODT update delay | tMOD | 0 | 12 | 0 | 12 | ns |
| OCD drive mode output delay | tOIT | 0 | 12 | 0 | 12 | ns |
| Minimum time clocks remains ON after CKE asyn-chronously drops LOW | tDelay | tIS+ tCK(avg)+ tIH | X | tIS + tCK(avg) + tIH | x | ns |

7.4 DDR3 内存接口特性

7.4.1 推荐的直流工作条件

表 7.14 推荐的直流工作条件

| Symbol | Parameter | Min. | Typ. | Max. | Unit |
|--------|---------------------------|-------|------|-------|------|
| VDD | Supply Voltage | 1.425 | 1.5 | 1.575 | V |
| VDDQ | Supply Voltage for Output | 1.425 | 1.5 | 1.575 | V |

7.4.2 交流和直流逻辑输入电平

7.4.2.1. 单端信号的交流和直流输入电平

表 7.15 控制信号和地址单端信号的交流和直流输入电平

| Symbol | Parameter | DDR3-800/1066/1333/1600 | | Unit |
|---------------|---------------------|-------------------------|--------------|------|
| | | Min | Max | |
| VIH.CA(DC100) | DC input logic high | Vref + 0.100 | VDD | V |
| VIL.CA(DC100) | DC input logic low | VSS | Vref - 0.100 | V |
| VIH.CA(AC175) | AC input logic high | Vref + 0.175 | Note 2 | V |

| | | | | |
|---------------|---------------------------------------|--------------|--------------|---|
| VIL.CA(AC175) | AC input logic low | Note 2 | Vref - 0.175 | V |
| VIH.CA(AC150) | AC input logic high | Vref + 0.150 | Note 2 | V |
| VIL.CA(AC150) | AC input logic low | Note 2 | Vref - 0.150 | V |
| VRefCA(DC) | Reference Voltage for ADD, CMD inputs | 0.49 * VDD | 0.51 * VDD | V |

表 7.16 DQ 和 DM 单端信号的交流和直流输入电平

| Symbol | Parameter | DDR3-800, DDR3-1066 | | DDR3-1333, DDR3-1600 | | Unit |
|---------------|-------------------------------------|---------------------|--------------|----------------------|--------------|------|
| | | Min | Max | Min | Max | |
| VIH.DQ(DC100) | DC input logic high | Vref + 0.100 | VDD | Vref + 0.100 | VDD | V |
| VIL.DQ(DC100) | DC input logic low | VSS | Vref - 0.100 | VSS | Vref - 0.100 | V |
| VIH.DQ(AC175) | AC input logic high | Vref + 0.175 | - | - | - | V |
| VIL.DQ(AC175) | AC input logic low | - | Vref - 0.175 | - | - | V |
| VIH.DQ(AC150) | AC input logic high | Vref + 0.150 | - | Vref + 0.150 | - | V |
| VIL.DQ(AC150) | AC input logic low | - | Vref - 0.150 | - | Vref - 0.150 | V |
| VRefDQ(DC) | Reference Voltage for DQ, DM inputs | 0.49 * VDD | 0.51 * VDD | 0.49 * VDD | 0.51 * VDD | V |

7.4.2.2. 差分信号的交流和直流输入电平

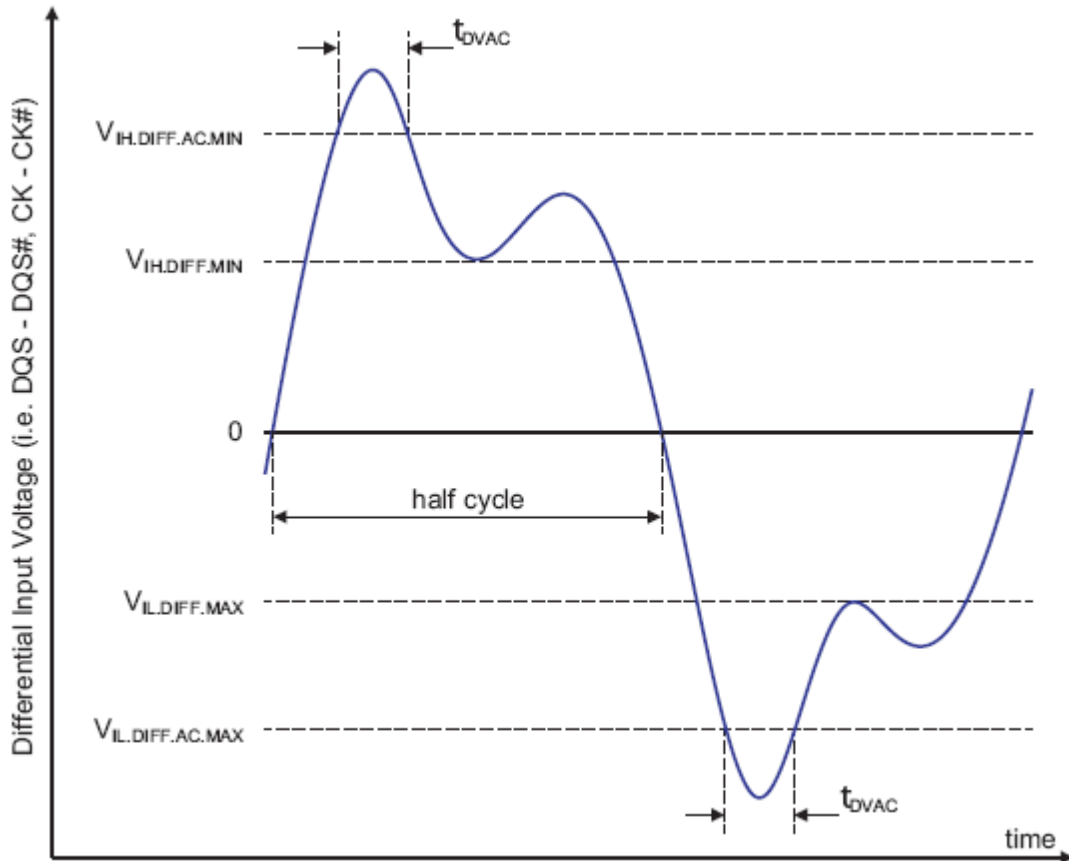


图 7.7 ac-swing 和 ac-level 时间点 (tDVA) 的差分定义

表 7.17 交流和直流的差分输入电平

| Symbol | Parameter | DDR3-800,1066 | | Unit |
|-------------------------|------------------------------|---|---|------|
| | | Min | Max | |
| V _{IHdiff} | Differential input high | + 0.200 | note 3 | V |
| V _{ILdiff} | Differential input logic low | Note 3 | - 0.200 | V |
| V _{IHdiff(ac)} | Differential input high ac | 2 x (V _{IH(ac)} - V _{ref}) | Note 3 | V |
| V _{ILdiff(ac)} | Differential input low ac | note 3 | 2 x (V _{IL(ac)} - V _{ref}) | V |

7.4.2.3. 差分信号输入的交叉点电压

为了保证严格的建立和保持时钟和选通时间以及输出偏差参数，每个交叉点电压的差分输入信号（CK，CK#和DQS，DQS#）必须满足表 28 的要求。差分输入的交叉点电压V_{IX}的测量是从实际的交叉点的和补偿信号的VDD和VSS之间的中间点处获得。

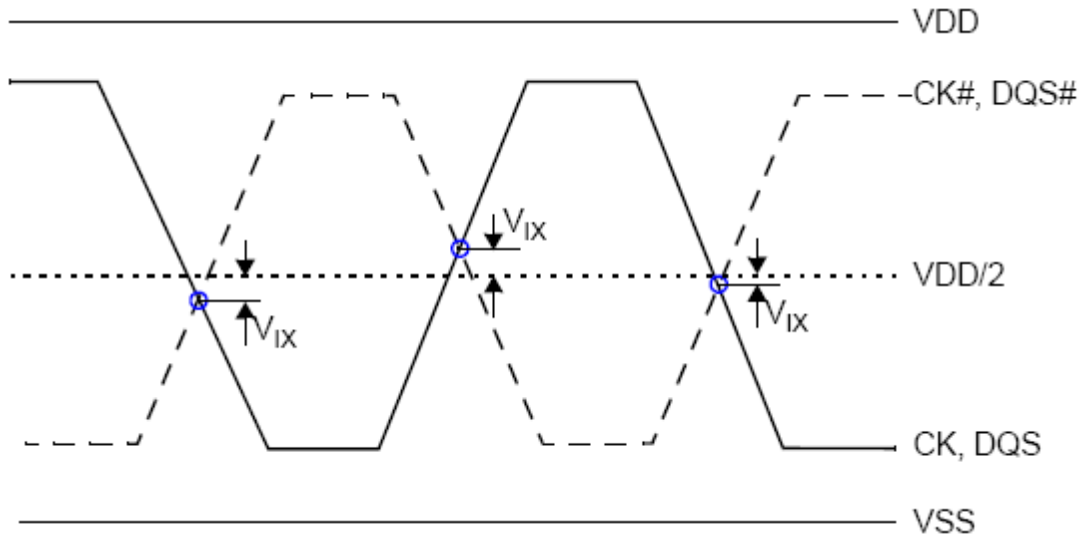


图 7.8 V_{ix} 定义

表 7.18 差分输入信号(CK, DQS)交叉点电压

| Symbol | Parameter | DDR3-800, DDR3-1066, DDR3-1333, DDR3-1600 | | Unit |
|-----------------|--|---|------|------|
| | | Min. | Max. | |
| V _{IX} | Differential Input Cross Point Voltage relative to VDD/2 for CK,CK# | -150 | 150 | mV |
| | | -175 | 175 | mV |
| V _{IX} | Differential Input Cross Point Voltage relative to VDD/2 for DQS, DQS# | -150 | 150 | mV |

7.4.3 交流和直流逻辑输出电平

7.4.3.1. 单端信号的交流和直流输出电平

表 7.19 单端信号的交流直流输出电平

| Symbol | Parameter | DDR3-800, 1066, 1333, and 1600 | Unit |
|---------|---|--------------------------------|------|
| VOH(DC) | DC output high measurement level (for IV curve linearity) | 0.8 x VDDQ | V |
| VOM(DC) | DC output mid measurement level (for IV curve linearity) | 0.5 x VDDQ | V |
| VOL(DC) | DC output low measurement level (for IV curve linearity) | 0.2 x VDDQ | V |
| VOH(AC) | AC output high measurement level (for output SR) | VTT + 0.1 x VDDQ | V |
| VOL(AC) | AC output low measurement level (for output SR) | VTT - 0.1 x VDDQ | V |

7.4.3.2. 差分信号的交流和直流输出电平

表 7.20 差分信号的交流和直流输出电平

| Symbol | Parameter | DDR3-800, 1066, 1333, and 1600 | Unit |
|-------------|---|--------------------------------|------|
| VOHdiff(AC) | AC differential output high measurement level (for output SR) | + 0.2 x VDDQ | V |
| VOLdiff(AC) | AC differential output low measurement level (for output SR) | - 0.2 x VDDQ | V |

7.4.3.3. 单端信号的输出斜率

作为时序测量的参考负载，单端信号的下降沿和上升沿输出斜率的定义和测量在VOL (AC) 和VOH (AC) 之间，如表 7.21 和图 7.9 所示。

表 7.21 单端信号输出斜率的定义

| Description | Measured | | Defined by |
|--|----------|---------|-------------------------------------|
| | from | to | |
| Single-ended output slew rate for rising edge | VOL(AC) | VOH(AC) | $[VOH(AC) - VOL(AC)] / \Delta TRse$ |
| Single-ended output slew rate for falling edge | VOH(AC) | VOL(AC) | $[VOH(AC) - VOL(AC)] / \Delta TFse$ |

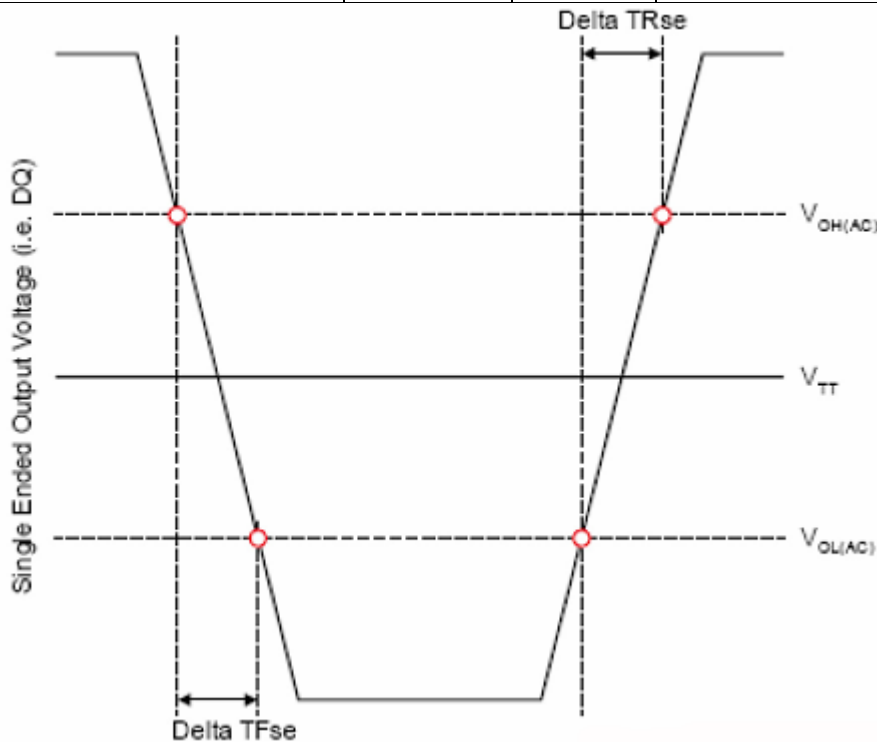


图 7.9 单端输出斜率的定义

表 7.22 单端的输出斜率

| Parameter | Symbol | DDR3-800 | | DDR3-1066 | | Unit |
|-------------------------------|--------|----------|------|-----------|------|------|
| | | Min. | Max. | Min. | Max. | |
| Single-ended Output Slew Rate | SRQse | 2.5 | 5 | 2.5 | 5 | V/ns |

7.4.3.4. 差分输出斜率

表 7.23 差分输出斜率的定义

| Description | Measured | | Defined by |
|--|-------------|-------------|---|
| | from | to | |
| Differential output slew rate for rising edge | VOLdiff(AC) | VOHdiff(AC) | $[VOHdiff(AC) - VOLdiff(AC)] / \Delta TRdiff$ |
| Differential output slew rate for falling edge | VOHdiff(AC) | VOLdiff(AC) | $[VOHdiff(AC) - VOLdiff(AC)] / \Delta TFdiff$ |

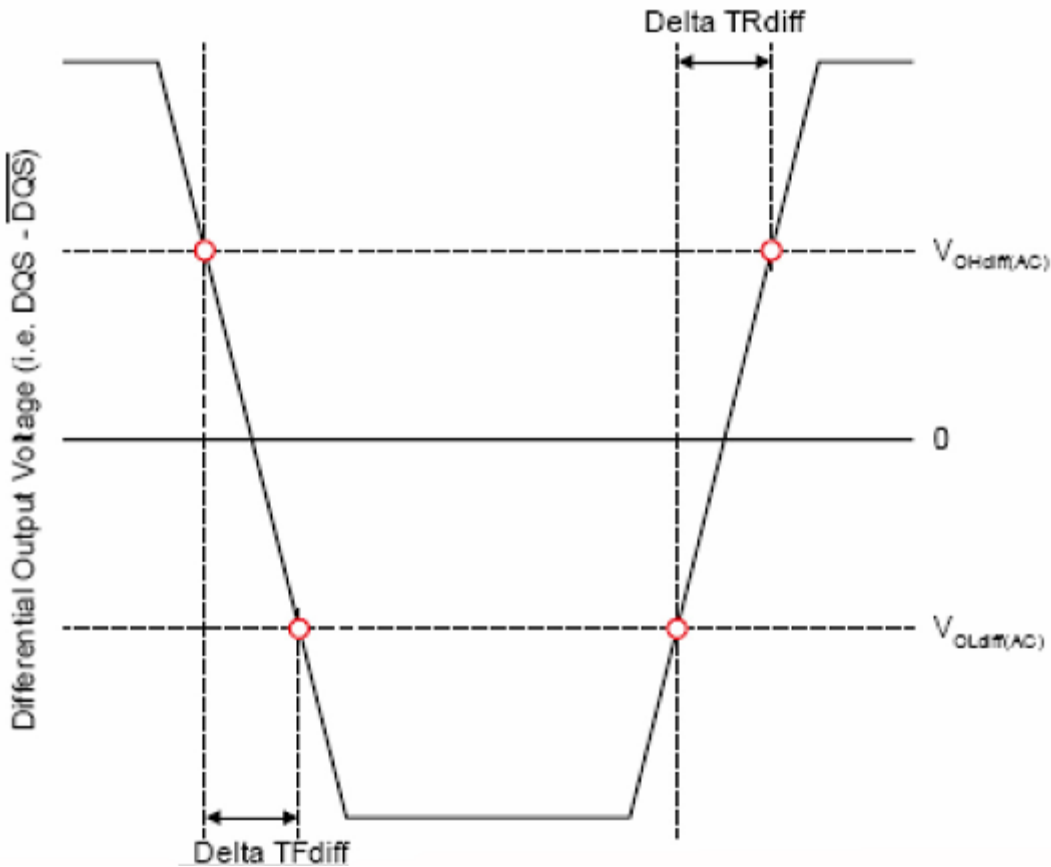


图 7.10 差分输出斜率的定义

表 7.24 差分输出斜率

| Parameter | Symbol | DDR3-800 | | DDR3-1066 | | DDR3-1333 | | DDR3-1600 | | Units |
|-------------------------------|---------|----------|-----|-----------|-----|-----------|-----|-----------|-----|-------|
| | | Min | Max | Min | Max | Min | Max | Min | Max | |
| Differential Output Slew Rate | SRQdiff | 5 | 10 | 5 | 10 | 5 | 10 | TBD | 10 | V/ns |

7.4.3.5. 上冲和下冲的规范

表 7.25 地址和控制引脚的交流上冲/下冲规范

| Parameter | DDR3-800 | DDR3-1066 | DDR3-1333 | DDR3-1600 | Units |
|---|----------|-----------|-----------|-----------|-------|
| Maximum peak amplitude allowed for overshoot area. | 0.4 | 0.4 | 0.4 | 0.4 | V |
| Maximum peak amplitude allowed for undershoot area. | 0.4 | 0.4 | 0.4 | 0.4 | V |
| Maximum overshoot area above VDD | 0.67 | 0.5 | 0.4 | 0.33 | V-ns |
| Maximum undershoot area below VSS | 0.67 | 0.5 | 0.4 | 0.33 | V-ns |

(A0-A15, BA0-BA3, CS#, RAS#, CAS#, WE#, CKE, ODT)

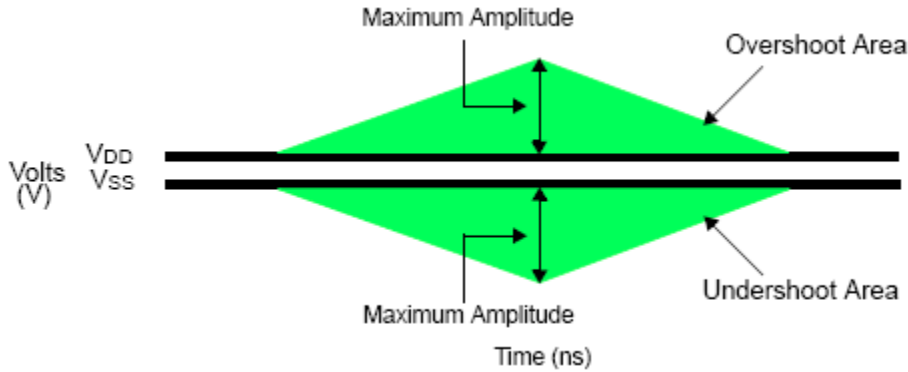


图 7.11 地址和控制的的上冲和下冲定义

表 7.26 时钟，数据，选通和屏蔽信号的交流上冲/下冲规范

| | DDR3-800 | DDR3-1066 | DDR3-1333 | DDR3-1600 | Units |
|---|----------|-----------|-----------|-----------|-------|
| Maximum peak amplitude allowed for overshoot area. | 0.4 | 0.4 | 0.4 | 0.4 | V |
| Maximum peak amplitude allowed for undershoot area. | 0.4 | 0.4 | 0.4 | 0.4 | V |
| Maximum overshoot area above VDDQ | 0.25 | 0.19 | 0.15 | 0.13 | V-ns |
| Maximum undershoot area below VSSQ | 0.25 | 0.19 | 0.15 | 0.13 | V-ns |

(CK, CK#, DQ, DQS, DQS#, DM)

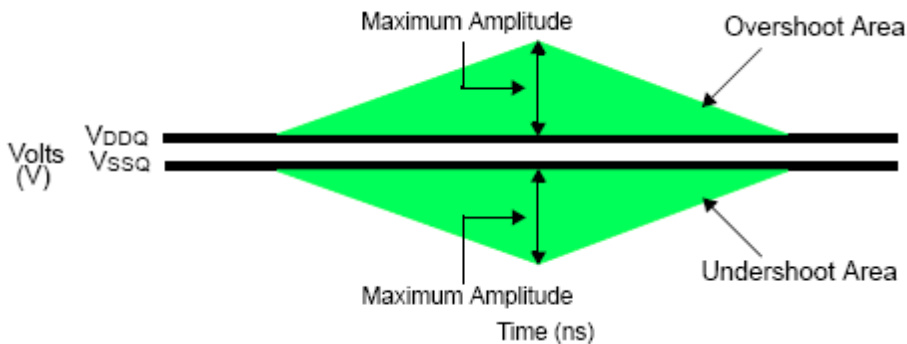


图 7.12 时钟，数据，选通和屏蔽信号的交流上冲和下冲定义

7.4.3.6. ODT 时序定义

表 7.27 ODT 时序定义

| Symbol | Begin Point Definition | End Point Definition | Figure |
|--------|--|--|------------|
| tAON | Rising edge of CK -CK# defined by the end point of ODTLon | Extrapolated point at VSSQ | Figure 103 |
| tAONPD | Rising edge of CK -CK# with ODT being first registered high | Extrapolated point at VSSQ | Figure 104 |
| tAOF | Rising edge of CK -CK# defined by the end point of ODTLoff | End point: Extrapolated point at VR TT_Nom | Figure 105 |
| tAOFPD | Rising edge of CK -CK# with ODT being first registered low | End point: Extrapolated point at VR TT_Nom | Figure 106 |
| tADC | Rising edge of CK -CK# defined by the end point of ODTLcnw, ODTLcnw4 or ODTLcnw8 | End point: Extrapolated point at VR TT_Wr and VR TT_Nom respectively | Figure 107 |

表 7.28 ODT 时序测量的参考设置

| Measured Parameter | RTT_Nom Setting | RTT_Wr Setting | VSW1[V] | VSW2[V] |
|--------------------|-----------------|----------------|---------|---------|
| tAON | RZQ/4 | NA | 0.05 | 0.10 |
| | RZQ/12 | NA | 0.10 | 0.20 |
| tAONPD | RZQ/4 | NA | 0.05 | 0.10 |
| | RZQ/12 | NA | 0.10 | 0.20 |
| tAOF | RZQ/4 | NA | 0.05 | 0.10 |
| | RZQ/12 | NA | 0.10 | 0.20 |
| tAOFPD | RZQ/4 | NA | 0.05 | 0.10 |
| | RZQ/12 | NA | 0.10 | 0.20 |
| tAD | RZQ/12 | RZQ/2 | 0.20 | 0.30 |

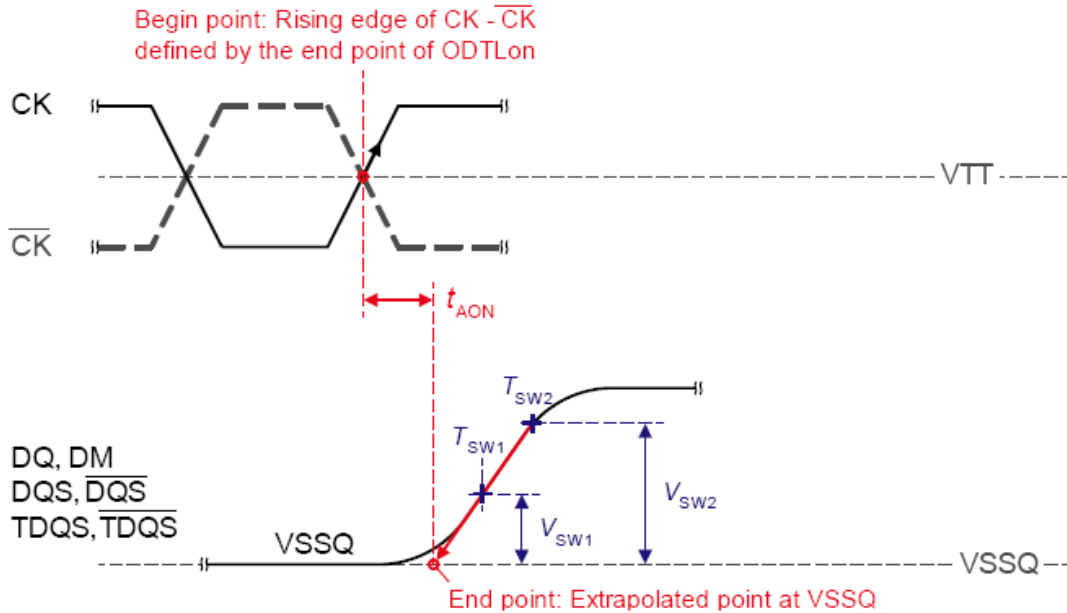


图 7.13 tAON 的定义

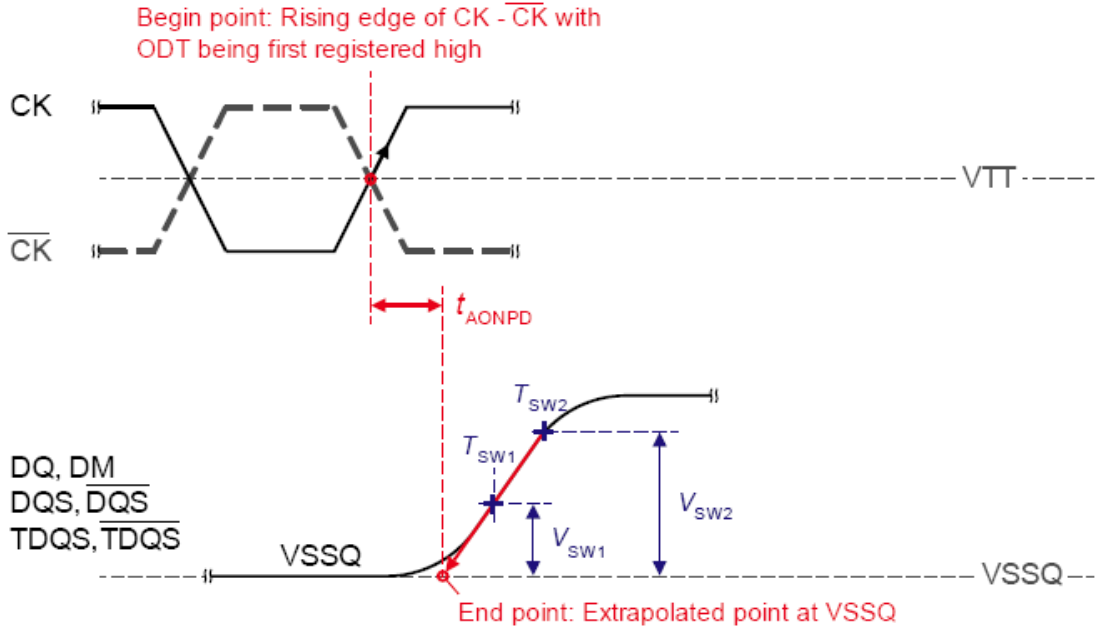


图 7.14 t_{AONPD} 的定义

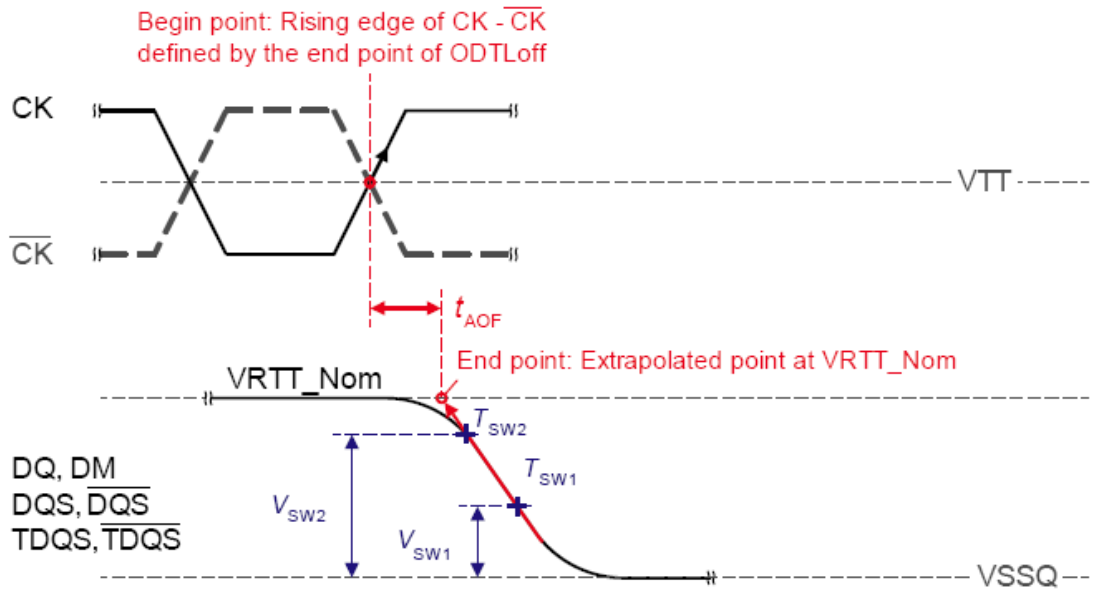


图 7.15 t_{AOF} 的定义

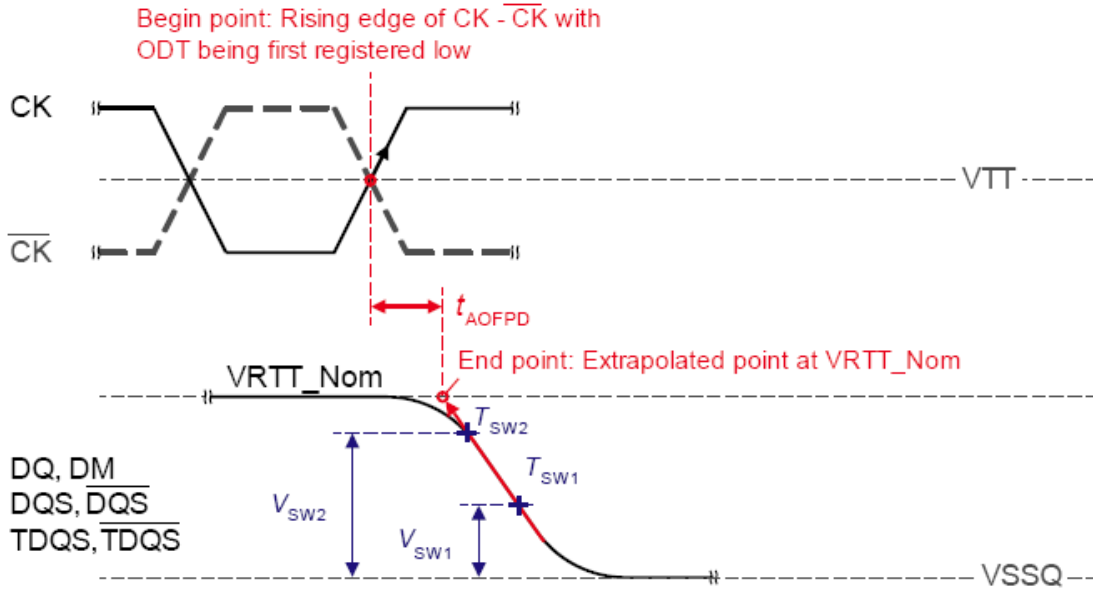


图 7.16 tAOFPD 的定义

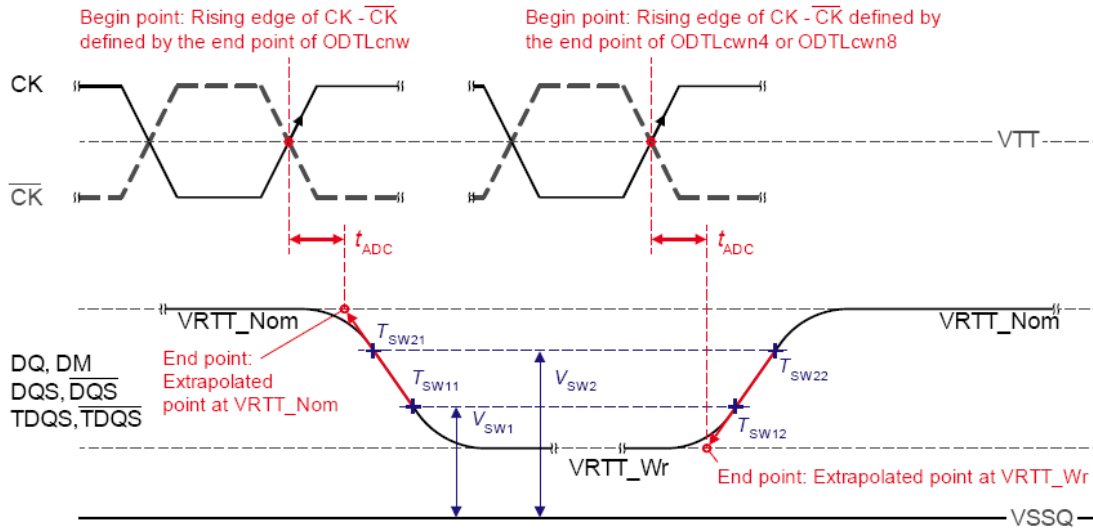


图 7.17 tADC 的定义

7.4.4 IDD 和 IDDQ 规范的参数和测试条件

表 7.29 IDD 和 IDDQ 测量循环模式的时序

| Symbol | DDR3-800 | | DDR3-1066 | | | | DDR3-1333 | | | | DDR3-1600 | | | | Unit |
|--------|----------|-------|-----------|-------|-------|-------|-----------|-------|----------|-------|-----------|----------|----------|-----|------|
| | 5-5-5 | 6-6-6 | 6-6-6 | 7-7-7 | 8-8-8 | 7-7-7 | 8-8-8 | 9-9-9 | 10-10-10 | 8-8-8 | 9-9-9 | 10-10-10 | 11-11-11 | | |
| tCK | 2.5 | | 1.875 | | | | 1.5 | | | | 1.25 | | | | ns |
| CL | 5 | 6 | 6 | 7 | 8 | 7 | 8 | 9 | 10 | 8 | 9 | 10 | 11 | nCK | |
| nRCD | 5 | 6 | 6 | 7 | 8 | 7 | 8 | 9 | 10 | 8 | 9 | 10 | 11 | nCK | |
| nRC | 20 | 21 | 26 | 27 | 28 | 31 | 32 | 33 | 34 | 36 | 37 | 38 | 39 | nCK | |
| nRAS | 15 | | 20 | | | | 24 | | | | 28 | | | | nCK |
| nRP | 5 | 6 | 6 | 7 | 8 | 7 | 8 | 9 | 10 | 8 | 9 | 10 | 11 | nCK | |

| | | | | | | |
|-------------|---------------|-----|-----|-----|-----|-----|
| nFAW | 1KBpagesize | 16 | 20 | 20 | 24 | nCK |
| | 2KB page size | 20 | 27 | 30 | 32 | nCK |
| nRRD | 1KB page size | 4 | 4 | 4 | 5 | nCK |
| | 2KB page size | 4 | 6 | 5 | 6 | nCK |
| nRFC 512 Mb | | 36 | 48 | 60 | 72 | nCK |
| nRFC 1 Gb | | 44 | 59 | 74 | 88 | nCK |
| nRFC 2 Gb | | 64 | 86 | 107 | 128 | nCK |
| nRFC 4 Gb | | 120 | 160 | 200 | 240 | nCK |
| nRFC 8 Gb | | 140 | 187 | 234 | 280 | nCK |

7.4.5 输入/输出电容

表 7.30 输入/输出电容

| Parameter | Symbol | DDR3-800 | | DDR3-1066 | | DDR3-1333 | | DDR3-1600 | | Units |
|--|-------------------------|----------|------|-----------|------|-----------|------|-----------|------|-------|
| | | Min | Max | Min | Max | Min | Max | Min | Max | |
| Input/output capacitance (DQ, DM, DQS, DQS#, TDQS, TDQS#) | C _{IO} | 1.5 | 3.0 | 1.5 | 2.7 | 1.5 | 2.5 | 1.5 | 2.3 | pF |
| Input capacitance, CK and CK# | C _{CK} | 0.8 | 1.6 | 0.8 | 1.6 | 0.8 | 1.4 | 0.8 | 1.4 | pF |
| Input capacitance delta, CK and CK# | C _{DCK} | 0 | 0.15 | 0 | 0.15 | 0 | 0.15 | 0 | 0.15 | pF |
| Input/output capacitance delta DQS and DQS# | C _{DDQS} | 0 | 0.2 | 0 | 0.2 | 0 | 0.15 | 0 | 0.15 | pF |
| Input capacitance, (CTRL, ADD, CMD input-only pins) | C _I | 0.75 | 1.4 | 0.75 | 1.35 | 0.75 | 1.3 | 0.75 | 1.3 | pF |
| Input capacitance delta, (All CTRL input-only pins) | C _{DI_CTRL} | -0.5 | 0.3 | -0.5 | 0.3 | -0.4 | 0.2 | -0.4 | 0.2 | pF |
| Input capacitance delta, (All ADD/ CMD input-only pins) | C _{DI_ADD_CMD} | -0.5 | 0.5 | -0.5 | 0.5 | -0.4 | 0.4 | -0.4 | 0.4 | pF |
| Input/output capacitance delta, DQ, DM, DQS, DQS#, TDQS, TDQS# | C _{DIO} | -0.5 | 0.3 | -0.5 | 0.3 | -0.5 | 0.3 | -0.5 | 0.3 | pF |
| Input/output capacitance of ZQ pin | C _{ZQ} | - | 3 | - | 3 | - | 3 | - | 3 | pF |

7.4.6 不同器件密度下的刷新参数

表 7.31 不同器件密度下的刷新参数

| Parameter | Symbol | 512Mb | 1Gb | 2Gb | 4Gb | 8Gb | Unit |
|--|-------------------|-----------------|-----|-----|-----|-----|------|
| REF command to ACT or REF command time | t _{RFC} | 90 | 110 | 160 | 300 | 350 | ns |
| Average periodic refresh interval | t _{REFI} | 0 ≤ TCASE ≤ 85 | 7.8 | 7.8 | 7.8 | 7.8 | us |
| | | 85 < TCASE ≤ 95 | 3.9 | 3.9 | 3.9 | 3.9 | us |

7.4.7 标准的速度分级

表 7.32 DDR3-800 Speed Bins and Operating Conditions

| Speed Bin | | DDR3-800D | | DDR3-800E | | Unit | |
|--|---------|-----------|-----------|-----------|-----------|------|----|
| CL - nRCD - nRP | | 5-5-5 | | 6-6-6 | | | |
| Parameter | Symbol | Min. | Max. | Min. | Max. | | |
| Internal read command to first data | tAA | 12.5 | 20 | 15 | 20 | ns | |
| ACT to internal read or write delay time | tRCD | 12.5 | — | 15 | — | ns | |
| PRE command period | tRP | 12.5 | — | 15 | — | ns | |
| ACT to ACT or REF command period | tRC | 50 | — | 52.5 | — | ns | |
| ACT to PRE command period | tRAS | 37.5 | 9 * tREFI | 37.5 | 9 * tREFI | ns | |
| CL = 5 | CWL = 5 | tCK(AVG) | 2.5 | 3.3 | 3.0 | 3.3 | ns |
| CL = 6 | CWL = 5 | tCK(AVG) | 2.5 | 3.3 | 2.5 | 3.3 | ns |
| Supported CL Settings | | 5, 6 | | 5, 6 | | nCK | |
| Supported CWL Settings | | 5 | | 5 | | nCK | |

表 7.33 DDR3-1066 Speed Bins and Operating Conditions

| Speed Bin | | DDR3-1066E | | DDR3-1066F | | DDR3-1066G | | Unit | |
|--|---------|------------|-----------|------------|-----------|------------|-----------|------|----|
| CL - nRCD - nRP | | 6-6-6 | | 7-7-7 | | 8-8-8 | | | |
| Parameter | Symbol | Min. | Max. | Min. | Max. | Min. | Max. | | |
| Internal read command to first data | tAA | 11.25 | 20 | 13.125 | 20 | 15 | 20 | ns | |
| ACT to internal read or write delay time | tRCD | 11.25 | — | 13.125 | — | 15 | — | ns | |
| PRE command period | tRP | 11.25 | — | 13.125 | — | 15 | — | ns | |
| ACT to ACT or REF command period | tRC | 48.75 | — | 50.625 | — | 52.5 | — | ns | |
| ACT to PRE command period | tRAS | 37.5 | 9 * tREFI | 37.5 | 9 * tREFI | 37.5 | 9 * tREFI | ns | |
| CL = 5 | CWL = 5 | tCK(AVG) | 2.5 | 3.3 | 3.0 | 3.3 | 3.0 | 3.3 | ns |
| | CWL = 6 | tCK(AVG) | Reserved | | Reserved | | Reserved | | ns |
| CL = 6 | CWL = 5 | tCK(AVG) | 2.5 | 3.3 | 2.5 | 3.3 | 2.5 | 3.3 | ns |
| | CWL = 6 | tCK(AVG) | 1.875 | <2.5 | Reserved | | Reserved | | ns |
| CL = 7 | CWL = 5 | tCK(AVG) | Reserved | | Reserved | | Reserved | | ns |
| | CWL = 6 | tCK(AVG) | 1.875 | <2.5 | 1.875 | <2.5 | Reserved | | ns |
| CL = 8 | CWL = 5 | tCK(AVG) | Reserved | | Reserved | | Reserved | | ns |
| | CWL = 6 | tCK(AVG) | 1.875 | <2.5 | 1.875 | <2.5 | 1.875 | <2.5 | ns |
| Supported CL Settings | | 5,6,7,8 | | 5,6,7,8 | | 5,6,8 | | nCK | |
| Supported CWL Settings | | 5,6 | | 5,6 | | 5,6 | | nCK | |

表 7.34 DDR3-1333 Speed Bins and Operating Conditions

| SpeedBin | DDR3-1333F (optional) | DDR3-1333G | DDR3-1333H | DDR3-1333J (optional) | Unit |
|-------------|-----------------------|------------|------------|-----------------------|------|
| CL-nRCD-nRP | 7-7-7 | | 9-9-9 | 10-10-10 | |

| Parameter | | Symbol | min | max | min | max | min | max | min | max | | | |
|--|---------|---------------|----------------|---------|----------------|---------|--|---------|----------|---------|-----|---------|----|
| Internal read command to first data | | t_{AA} | 10.5 | 20 | 12 | 20 | 13.5(13.125) ^{5,1} ₁ | | 20 | 15 | 20 | ns | |
| ACT to internal read or write delay time | | t_{RCD} | 10.5 | — | 12 | — | 13.5(13.125) ^{5,1} ₁ | | — | 15 | — | ns | |
| PRE command period | | t_{RP} | 10.5 | — | 12 | — | 13.5(13.125) ^{5,1} ₁ | | — | 15 | — | ns | |
| ACT to ACT or REF command period | | t_{RC} | 46.5 | — | 48 | — | 49.5(49.125) ^{5,1} ₁ | | — | 51 | — | ns | |
| ACT to PRE command period | | t_{RAS} | 36 | 9*tREFI | 36 | 9*tREFI | 36 | 9*tREFI | 36 | 9*tREFI | 36 | 9*tREFI | ns |
| CL=5 | CWL=5 | $t_{CK(AVG)}$ | 2.5 | 3.3 | 2.5 | 3.3 | 3.0 | 3.3 | 3.0 | 3.3 | ns | | |
| | CWL=6,7 | $t_{CK(AVG)}$ | Reserved | | Reserved | | Reserved | | Reserved | | ns | | |
| CL=6 | CWL=5 | $t_{CK(AVG)}$ | 2.5 | 3.3 | 2.5 | 3.3 | 2.5 | 3.3 | 2.5 | 3.3 | ns | | |
| | CWL=6 | $t_{CK(AVG)}$ | 1.875 | <2.5 | Reserved | | Reserved | | Reserved | | ns | | |
| | CWL=7 | $t_{CK(AVG)}$ | Reserved | | Reserved | | Reserved | | Reserved | | ns | | |
| CL=7 | CWL=5 | $t_{CK(AVG)}$ | Reserved | | Reserved | | Reserved | | Reserved | | ns | | |
| | CWL=6 | $t_{CK(AVG)}$ | 1.875 | <2.5 | 1.875 | <2.5 | 1.875 | <2.5 | Reserved | | ns | | |
| | CWL=7 | $t_{CK(AVG)}$ | 1.5 | <1.875 | Reserved | | Reserved | | Reserved | | ns | | |
| CL=8 | CWL=5 | $t_{CK(AVG)}$ | Reserved | | Reserved | | Reserved | | Reserved | | ns | | |
| | CWL=6 | $t_{CK(AVG)}$ | 1.875 | <2.5 | 1.875 | <2.5 | 1.875 | <2.5 | 1.875 | <2.5 | ns | | |
| | CWL=7 | $t_{CK(AVG)}$ | 1.5 | <1.875 | 1.5 | <1.875 | Reserved | | Reserved | | ns | | |
| CL=9 | CWL=5,6 | $t_{CK(AVG)}$ | Reserved | | Reserved | | Reserved | | Reserved | | ns | | |
| | CWL=7 | $t_{CK(AVG)}$ | 1.5 | <1.875 | 1.5 | <1.875 | 1.5 | <1.875 | Reserved | | ns | | |
| CL=10 | CWL=5,6 | $t_{CK(AVG)}$ | Reserved | | Reserved | | Reserved | | Reserved | | ns | | |
| | CWL=7 | $t_{CK(AVG)}$ | 1.5 | <1.875 | 1.5 | <1.875 | 1.5 | <1.875 | 1.5 | <1.875 | ns | | |
| | | $t_{CK(AVG)}$ | (Optional) | | (Optional) | | (Optional) | | | | ns | | |
| Supported CL Settings | | | 5,6,7,8,9,(10) | | 5,6,7,8,9,(10) | | 5,6,8,(7),9,(10) | | 5,6,8,10 | | nCK | | |
| Supported CWL Settings | | | 5, 6, 7 | | 5, 6, 7 | | 5, 6, 7 | | 5, 6, 7 | | nCK | | |

表 7.35 DDR3-1600 Speed Bins and Operating Conditions

| SpeedBin | | DDR3-1600G (optional) | | DDR3-1600H | | DDR3-1600J | | DDR3-1600K | | Unit | |
|--|-----------|-----------------------|----------|------------|----------|------------|----------|---|-----------|-----------|----|
| CL-nRCD-nRP | | 8-8-8 | | 9-9-9 | | 10-10-10 | | 11-11-11 | | | |
| Parameter | Symbol | min | max | min | max | min | max | min | max | | |
| Internal read command to first data | t_{AA} | 10 | 20 | 11.25 | 20 | 12.5 | 20 | 13.75(13.125) ^{5,11} ₁₁ | | ns | |
| ACT to internal read or write delay time | t_{RCD} | 10 | — | 11.25 | — | 12.5 | — | 13.75(13.125) ^{5,11} ₁₁ | | ns | |
| PRE command period | t_{RP} | 10 | — | 11.25 | — | 12.5 | — | 13.75(13.125) ^{5,11} ₁₁ | | ns | |
| ACT to ACT or REF command period | t_{RC} | 45 | — | 46.25 | — | 47.5 | — | 48.75(48.125) ^{5,11} ₁₁ | | ns | |
| ACT to PRE command period | t_{RAS} | 35 | 9*tREFI | 35 | 9*tREFI | 35 | 9*tREFI | 35 | 9 * tREFI | ns | |
| CL = 5 | CWL=5 | $t_{CK(AVG)}$ | 2.5 | 3.3 | 2.5 | 3.3 | 2.5 | 3.3 | 3.0 | 3.3 | ns |
| | CWL=6,7,8 | $t_{CK(AVG)}$ | Reserved | | Reserved | | Reserved | | Reserved | | ns |
| CL = 6 | CWL=5 | $t_{CK(AVG)}$ | 2.5 | 3.3 | 2.5 | 3.3 | 2.5 | 3.3 | 2.5 | 3.3 | ns |
| | CWL=6 | $t_{CK(AVG)}$ | 1.875 | <2.5 | 1.875 | <2.5 | Reserved | Reserved | ns | 1,2,3,4,8 | |
| | CWL=7,8 | $t_{CK(AVG)}$ | Reserved | | Reserved | | Reserved | | Reserved | | ns |

| | | | | | | | | | | | |
|------------------------|------------------|------------------|-------------------|----------|-------------------|----------|---------------|----------|----------------------------|-----------|-----|
| CL = 7 | CWL=5 | <i>t</i> CK(AVG) | Reserved | | Reserved | | Reserved | | Reserved | | ns |
| | CWL=6 | <i>t</i> CK(AVG) | 1.875 | <2.5 | 1.875 | <2.5 | 1.875 | <2.5 | 1.875 | < 2.5 | ns |
| | | | | | | | | | (Optional) ^{5,11} | | |
| | CWL=7 | <i>t</i> CK(AVG) | 1.5 | <1.875 | Reserved | | Reserved | | Reserved | | ns |
| CWL=8 | <i>t</i> CK(AVG) | Reserved | | Reserved | | Reserved | | Reserved | | ns | |
| CL = 8 | CWL=5 | <i>t</i> CK(AVG) | Reserved | | Reserved | | Reserved | | Reserved | | ns |
| | CWL=6 | <i>t</i> CK(AVG) | 1.875 | <2.5 | 1.875 | <2.5 | 1.875 | <2.5 | 1.875 | < 2.5 | ns |
| | CWL=7 | <i>t</i> CK(AVG) | 1.5 | <1.875 | 1.5 | <1.875 | Reserved | Reserved | ns | 1,2,3,4,8 | |
| | CWL=8 | <i>t</i> CK(AVG) | 1.25 | <1.5 | Reserved | | Reserved | | Reserved | | ns |
| CL = 9 | CWL=5,6 | <i>t</i> CK(AVG) | Reserved | | Reserved | | Reserved | | Reserved | | ns |
| | CWL=7 | <i>t</i> CK(AVG) | 1.5 | <1.875 | 1.5 | <1.875 | 1.5 | <1.875 | 1.5 | < 1.875 | ns |
| | | | | | | | | | (Optional) ^{5,11} | | |
| CWL=8 | <i>t</i> CK(AVG) | 1.25 | <1.5 | 1.25 | <1.5 | Reserved | | Reserved | | ns | |
| CL = 10 | CWL=5,6 | <i>t</i> CK(AVG) | Reserved | | Reserved | | Reserved | | Reserved | | ns |
| | CWL=7 | <i>t</i> CK(AVG) | 1.5 | <1.875 | 1.5 | <1.875 | 1.5 | <1.875 | 1.5 | <1.875 | ns |
| | CWL=8 | <i>t</i> CK(AVG) | 1.25 | <1.5 | 1.25 | <1.5 | 1.25 | <1.5 | Reserved | | ns |
| CL = 11 | CWL=5,6,7 | <i>t</i> CK(AVG) | Reserved | | Reserved | | Reserved | | Reserved | | ns |
| | CWL=8 | <i>t</i> CK(AVG) | 1.25 | <1.5 | 1.25 | <1.5 | 1.25 | <1.5 | 1.25 | < 1.5 | ns |
| | | | (Optional) | | (Optional) | | (Optional) | | | | ns |
| Supported CL Settings | | | 5,6,7,8,9,10,(11) | | 5,6,7,8,9,10,(11) | | 5,6,7,8,9,10, | | 5,6,7,8,9,10,(11) | | nCK |
| Supported CWL Settings | | | 5,6,7,8 | | 5,6,7,8 | | 5,6,7,8 | | 5,6,7,8 | | nCK |

7.4.8 DDR3 的时序参数

表 7.36 Timing Parameters by Speed Bin

| Parameter | Symbol | DDR3-800 | | DDR3-1066 | | DDR3-1333 | | DDR3-1600 | | Units |
|--|---------------|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|----------|
| | | Min | Max | Min | Max | Min | Max | Min | Max | |
| Clock Timing | | | | | | | | | | |
| Minimum Clock Cycle Time (DLL off mode) | tCK(DLL_OFF) | 8 | - | 8 | - | 8 | - | 8 | - | ns |
| Average Clock Period | tCK(avg) | | | | | | | | | ps |
| Average high pulse width | tCH(avg) | 0.47 | 0.53 | 0.47 | 0.53 | 0.47 | 0.53 | 0.47 | 0.53 | tCK(avg) |
| Average low pulse width | tCL(avg) | 0.47 | 0.53 | 0.47 | 0.53 | 0.47 | 0.53 | 0.47 | 0.53 | tCK(avg) |
| Absolute Clock Period | tCK(abs) | tCK(avg)min + tJIT(per)min | tCK(avg)max + tJIT(per)max | tCK(avg)min + tJIT(per)min | tCK(avg)max + tJIT(per)max | tCK(avg)min + tJIT(per)min | tCK(avg)max + tJIT(per)max | tCK(avg)min + tJIT(per)min | tCK(avg)max + tJIT(per)max | ps |
| Absolute clock HIGH pulse width | tCH(abs) | 0.43 | - | 0.43 | - | 0.43 | - | 0.43 | - | tCK(avg) |
| Absolute clock LOW pulse width | tCL(abs) | 0.43 | - | 0.43 | - | 0.43 | - | 0.43 | - | tCK(avg) |
| Clock Period Jitter | JIT(per) | -100 | 100 | -90 | 90 | -80 | 80 | -70 | 70 | ps |
| Clock Period Jitter during DLL locking period | tJIT(per,lck) | -90 | 90 | -80 | 80 | -70 | 70 | -60 | 60 | ps |
| Cycle to Cycle Period Jitter | tJIT(cc) | 200 | | 180 | | 160 | | 140 | | ps |
| Cycle to Cycle Period Jitter during DLL locking period | tJIT(cc,lck) | 180 | | 160 | | 140 | | 120 | | ps |
| Duty Cycle Jitter | tJIT(duty) | - | - | - | - | - | - | - | - | ps |

| | | | | | | | | | | |
|--|-------------|--|-----|------|-----|------|-----|------|-----|----|
| Cumulative error across 2 cycles | tERR(2per) | -147 | 147 | -132 | 132 | -118 | 118 | -103 | 103 | ps |
| Cumulative error across 3 cycles | tERR(3per) | -175 | 175 | -157 | 157 | -140 | 140 | -122 | 122 | ps |
| Cumulative error across 4 cycles | tERR(4per) | -194 | 194 | -175 | 175 | -155 | 155 | -136 | 136 | ps |
| Cumulative error across 5 cycles | tERR(5per) | -209 | 209 | -188 | 188 | -168 | 168 | -147 | 147 | ps |
| Cumulative error across 6 cycles | tERR(6per) | -222 | 222 | -200 | 200 | -177 | 177 | -155 | 155 | ps |
| Cumulative error across 7 cycles | tERR(7per) | -232 | 232 | -209 | 209 | -186 | 186 | -163 | 163 | ps |
| Cumulative error across 8 cycles | tERR(8per) | -241 | 241 | -217 | 217 | -193 | 193 | -169 | 169 | ps |
| Cumulative error across 9 cycles | tERR(9per) | -249 | 249 | -224 | 224 | -200 | 200 | -175 | 175 | ps |
| Cumulative error across 10 cycles | tERR(10per) | -257 | 257 | -231 | 231 | -205 | 205 | -180 | 180 | ps |
| Cumulative error across 11 cycles | tERR(11per) | -263 | 263 | -237 | 237 | -210 | 210 | -184 | 184 | ps |
| Cumulative error across 12 cycles | tERR(12per) | -269 | 269 | -242 | 242 | -215 | 215 | -188 | 188 | ps |
| Cumulative error across n = 13, 14 . . . 49, 50 cycles | tERR(nper) | $\begin{aligned} \text{tERR(nper)min} &= (1 + 0.68\ln(n)) * \text{JIT(per)min} \\ \text{tERR(nper)max} &= (1 + 0.68\ln(n)) * \text{JIT(per)max} \end{aligned}$ | ps | 24 | | | | | | |
| Data Timing | | | | | | | | | | |

| | | | | | | | | | | |
|--|----------------|------|--------|------|--------|------|--------|------|--------|----------|
| DQS, DQS# to DQ skew, per group, per access | tDQSQ | - | 200 | - | 150 | - | 125 | - | 100 | ps |
| DQ output hold time from DQS, DQS# | tQH | 0.38 | - | 0.38 | - | 0.38 | - | 0.38 | - | tCK(avg) |
| DQ low-impedance time from CK, CK# | tLZ(DQ) | -800 | 400 | -600 | 300 | -500 | 250 | -450 | 225 | ps |
| DQ high impedance time from CK, CK# | tHZ(DQ) | - | 400 | - | 300 | - | 250 | - | 225 | ps |
| Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels | tDS(base)AC175 | 75 | | 25 | | - | | - | | ps |
| Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels | tDS(base)AC150 | 125 | | 75 | | 30 | | 10 | | ps |
| Data hold time from DQS, DQS# referenced to Vih(dc) / Vil(dc) levels | tDH(base)DC100 | 150 | | 100 | | 65 | | 45 | | ps |
| DQ and DM Input pulse width for each input | tDIPW | 600 | - | 490 | - | 400 | - | 360 | - | ps |
| Data Strobe Timing | | | | | | | | | | |
| DQS, DQS# differential READ Preamble | tRPRE | 0.9 | Note19 | 0.9 | Note19 | 0.9 | Note19 | 0.9 | Note19 | tCK(avg) |
| DQS, DQS# differential READ Postamble | tRPST | 0.3 | Note11 | 0.3 | Note11 | 0.3 | Note11 | 0.3 | Note11 | tCK(avg) |
| DQS, DQS# differential output high time | tQSH | 0.38 | - | 0.38 | - | 0.40 | - | 0.40 | - | tCK(avg) |
| DQS, DQS# differential output low time | tQSL | 0.38 | - | 0.38 | - | 0.40 | - | 0.40 | - | tCK(avg) |
| DQS, DQS# differential WRITE Preamble | tWPRE | 0.9 | - | 0.9 | - | 0.9 | - | 0.9 | - | tCK(avg) |
| DQS, DQS# differential WRITE Postamble | tWPST | 0.3 | - | 0.3 | - | 0.3 | - | 0.3 | - | tCK(avg) |
| DQS, DQS# rising edge output access time from rising CK, CK# | tDQCK | -400 | 400 | -300 | 300 | -255 | 255 | -225 | 225 | ps |

| | | | | | | | | | | |
|---|----------|------------------|------|------------------|------|------------------|------|------------------|------|----------|
| DQS and DQS# low-impedance time (Referenced from RL - 1) | tLZ(DQS) | -800 | 400 | -600 | 300 | -500 | 250 | -450 | 225 | ps |
| DQS and DQS# high-impedance time (Referenced from RL + BL/2) | tHZ(DQS) | - | 400 | - | 300 | - | 250 | - | 225 | ps |
| DQS, DQS# differential input low pulse width | tDQSL | 0.45 | 0.55 | 0.45 | 0.55 | 0.45 | 0.55 | 0.45 | 0.55 | tCK(avg) |
| DQS, DQS# differential input high pulse width | tDQSH | 0.45 | 0.55 | 0.45 | 0.55 | 0.45 | 0.55 | 0.45 | 0.55 | tCK(avg) |
| DQS, DQS# rising edge to CK, CK# rising edge | tDQSS | -0.25 | 0.25 | -0.25 | 0.25 | -0.25 | 0.25 | -0.27 | 0.27 | tCK(avg) |
| DQS, DQS# falling edge setup time to CK, CK# rising edge | tDSS | 0.2 | - | 0.2 | - | 0.2 | - | 0.18 | - | tCK(avg) |
| DQS, DQS# falling edge hold time from CK, CK# rising edge | tDSH | 0.2 | - | 0.2 | - | 0.2 | - | 0.18 | - | tCK(avg) |
| Command and Address Timing | | | | | | | | | | |
| DLL locking time | tDLLK | 512 | - | 512 | - | 512 | - | 512 | - | nCK |
| Internal READ Command to PRECHARGE Command delay | tRTP | max(4nCK, 7.5ns) | - | max(4nCK, 7.5ns) | - | max(4nCK, 7.5ns) | - | max(4nCK, 7.5ns) | - | |
| Delay from start of internal write transaction to internal read command | tWTR | max(4nCK, 7.5ns) | - | max(4nCK, 7.5ns) | - | max(4nCK, 7.5ns) | - | max(4nCK, 7.5ns) | - | |
| WRITE recovery time | tWR | 15 | - | 15 | - | 15 | - | 15 | - | ns |
| Mode Register Set command cycle time | tMRD | 4 | - | 4 | - | 4 | - | 4 | - | nCK |
| Mode Register Set command update delay | tMOD | max(12nCK, 15ns) | - | max(12nCK, 15ns) | - | max(12nCK, 15ns) | - | max(12nCK, 15ns) | - | |
| ACT to internal read or write delay time | tRCD | - | - | - | - | - | - | - | - | |
| PRE command period | tRP | - | - | - | - | - | - | - | - | |
| ACT to ACT or REF command period | tRC | - | - | - | - | - | - | - | - | |

| | | | | | | | | | | |
|---|----------------|--|-----|-------------------|---|-------------------|---|-------------------|---|-----|
| CAS# to CAS# command delay | tCCD | 4 | - | 4 | - | 4 | - | 4 | - | nCK |
| Auto precharge write recovery + precharge time | tDAL(min) | WR + roundup($t_{RP} / t_{CK(ave)}$) | nCK | | | | | | | |
| Multi-Purpose Register Recovery Time | tMPRR | 1 | - | 1 | - | 1 | - | 1 | - | nCK |
| ACTIVE to PRECHARGE command period | tRAS | - | - | - | - | | | | | |
| ACTIVE to ACTIVE command period for 1KB page size | tRRD | max(4nCK,10ns) | - | max(4nCK,7.5ns) | - | max(4nCK,6ns) | - | max(4nCK,6ns) | - | |
| ACTIVE to ACTIVE command period for 2KB page size | tRRD | max(4nCK,10ns) | - | max(4nCK,10ns) | - | max(4nCK,7.5ns) | - | max(4nCK,7.5ns) | - | |
| Four activate window for 1KB page size | tFAW | 40 | - | 37.5 | - | 30 | - | 30 | - | ns |
| Four activate window for 2KB page size | tFAW | 50 | - | 50 | - | 45 | - | 40 | - | ns |
| Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels | tIS(base)AC175 | 200 | | 125 | | 65 | | 45 | | ps |
| Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels | tIS(base)AC150 | 350 | | 275 | | 190 | | 170 | | ps |
| Command and Address hold time from CK, CK# referenced to Vih(dc) / Vil(dc) levels | tIH(base)DC100 | 275 | | 200 | | 140 | | 120 | | ps |
| Control and Address Input pulse width for each input | tIPW | 900 | - | 780 | - | 620 | - | 560 | - | ps |
| Calibration Timing | | | | | | | | | | |
| Power-up and RESET calibration time | tZQinit | max(512nCK,640ns) | - | max(512nCK,640ns) | - | max(512nCK,640ns) | - | max(512nCK,640ns) | - | |
| Normal operation Full calibration time | tZQoper | max(256nCK,320ns) | - | max(256nCK,320ns) | - | max(256nCK,320ns) | - | max(256nCK,320ns) | - | |

| | | | | | | | | | | |
|--|--------|--------------------------|---|--------------------------|---|--------------------------|---|--------------------------|---|-----|
| Normal operation Short calibration time | tZQCS | max(64nCK,80ns) | - | max(64nCK,80ns) | - | max(64nCK,80ns) | - | max(64nCK,80ns) | - | |
| Reset Timing | | | | | | | | | | |
| Exit Reset from CKE HIGH to a valid command | tXPR | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - | |
| Self Refresh Timings | | | | | | | | | | |
| Exit Self Refresh to commands not requiring a locked DLL | tXS | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - | max(5nCK,tRFC(min)+10ns) | - | |
| Exit Self Refresh to commands requiring a locked DLL | tXSDLL | tDLLK(min) | - | tDLLK(min) | - | tDLLK(min) | - | tDLLK(min) | - | nCK |
| Minimum CKE low width for Self Refresh entry to exit timing | tCKESR | tCKE(min)+1 nCK | - | tCKE(min)+1 nCK | - | tCKE(min)+1 nCK | - | tCKE(min)+1 nCK | - | |
| Valid Clock Requirement after Self Refresh Entry (SRE) or Power-Down Entry (PDE) | tCKSRE | max(5nCK,10ns) | - | max(5nCK,10ns) | - | max(5nCK,10ns) | - | max(5nCK,10ns) | - | |
| Valid Clock Requirement before Self Refresh Exit (SRX) or Power-Down Exit (PDX) or Reset Exit | tCKSRX | max(5nCK,10ns) | - | max(5nCK,10ns) | - | max(5nCK,10ns) | - | max(5nCK,10ns) | - | |
| Power Down Timings | | | | | | | | | | |
| Exit Power Down with DLL on to any valid command; Exit Precharge Power Down with DLL frozen to commands not requiring a locked DLL | tXP | max(3nCK,7.5ns) | - | max(3nCK,7.5ns) | - | max(3nCK,6ns) | - | max(3nCK,6ns) | - | |
| Exit Precharge Power Down with DLL frozen to commands requiring a locked DLL | tXPDLL | max(10nCK,24ns) | - | max(10nCK,24ns) | - | max(10nCK,24ns) | - | max(10nCK,24ns) | - | |
| CKE minimum pulse width | tCKE | max(3nCK,7.5ns) | - | max(3nCK,5.625ns) | - | max(3nCK,5.625ns) | - | max(3nCK,5ns) | - | |

| | | | | | | | | | | |
|--|----------|---------------------|---------|---------------------|---------|---------------------|---------|---------------------|---------|-----|
| Command pass disable delay | tCPDED | 1 | - | 1 | - | 1 | - | 1 | - | nCK |
| Power Down Entry to Exit Timing | tPD | tCKE(min) | 9*tREFI | tCKE(min) | 9*tREFI | tCKE(min) | 9*tREFI | tCKE(min) | 9*tREFI | |
| Timing of ACT command to Power Down entry | tACTPDEN | 1 | - | 1 | - | 1 | - | 1 | - | nCK |
| Timing of PRE or PREA command to Power Down entry | tPRPDEN | 1 | - | 1 | - | 1 | - | 1 | - | nCK |
| Timing of RD/RDA command to Power Down entry | tRDPDEN | RL+4+1 | - | RL+4+1 | - | RL+4+1 | - | RL+4+1 | - | nCK |
| Timing of WR command to Power Down entry (BL8OTF, BL8MRS, BC4OTF) | tWRPDEN | WL+4+(tWR/tCK(avg)) | - | WL+4+(tWR/tCK(avg)) | - | WL+4+(tWR/tCK(avg)) | - | WL+4+(tWR/tCK(avg)) | - | nCK |
| Timing of WRA command to Power Down entry (BL8OTF, BL8MRS, BC4OTF) | tWRAPDEN | WL+4+WR+1 | - | WL+4+WR+1 | - | WL+4+WR+1 | - | WL+4+WR+1 | - | nCK |
| Timing of WR command to Power Down entry (BC4MRS) | tWRPDEN | WL+2+(tWR/tCK(avg)) | - | WL+2+(tWR/tCK(avg)) | - | WL+2+(tWR/tCK(avg)) | - | WL+2+(tWR/tCK(avg)) | - | nCK |
| Timing of WRA command to Power Down entry (BC4MRS) | tWRAPDEN | WL+2+WR+1 | - | WL+2+WR+1 | - | WL+2+WR+1 | - | WL+2+WR+1 | - | nCK |
| Timing of REF command to Power Down entry | tREFPDEN | 1 | - | 1 | - | 1 | - | 1 | - | nCK |
| Timing of MRS command to Power Down entry | tMRSPDEN | tMOD(min) | - | tMOD(min) | - | tMOD(min) | - | tMOD(min) | - | |
| ODT Timings | | | | | | | | | | |
| ODT turn on Latency | ODTLon | WL-2=CWL+AL-2 | | | | | | | | nCK |
| ODT turn off Latency | ODTloff | WL-2=CWL+AL-2 | | | | | | | | nCK |
| ODT high time without write command or with write command and BC4 | ODTH4 | 4 | - | 4 | - | 4 | - | 4 | - | nCK |
| ODT high time with Write command and BL8 | ODTH8 | 6 | - | 6 | - | 6 | - | 6 | - | nCK |

| | | | | | | | | | | |
|---|----------|------|-----|------|-----|------|-----|------|-----|----------|
| Asynchronous RTT turn-on delay (Power-Down with DLL frozen) | tAONPD | 2 | 8.5 | 2 | 8.5 | 2 | 8.5 | 2 | 8.5 | ns |
| Asynchronous RTT turn-off delay (Power-Down with DLL frozen) | tAOFPD | 2 | 8.5 | 2 | 8.5 | 2 | 8.5 | 2 | 8.5 | ns |
| RTT turn-on | tAON | -400 | 400 | -300 | 300 | -250 | 250 | -225 | 225 | ps |
| RTT_Nom and RTT_WR turn-off time from ODTLoff reference | tAOF | 0.3 | 0.7 | 0.3 | 0.7 | 0.3 | 0.7 | 0.3 | 0.7 | tCK(avg) |
| RTT dynamic change skew | tADC | 0.3 | 0.7 | 0.3 | 0.7 | 0.3 | 0.7 | 0.3 | 0.7 | tCK(avg) |
| Write Leveling Timings | | | | | | | | | | |
| First DQS/DQS# rising edge after write leveling mode is programmed | tWLMRD | 40 | - | 40 | - | 40 | - | 40 | - | nCK |
| DQS/DQS# delay after write leveling mode is programmed | tWLDQSEN | 25 | - | 25 | - | 25 | - | 25 | - | nCK |
| Write leveling setup time from rising CK, CK# crossing to rising DQS, DQS# crossing | tWLS | 325 | - | 245 | - | 195 | - | 165 | - | ps |
| Write leveling hold time from rising DQS, DQS# crossing to rising CK, CK# crossing | tWLH | 325 | - | 245 | - | 195 | - | 165 | - | ps |
| Write leveling output delay | tWLO | 0 | 9 | 0 | 9 | 0 | 9 | 0 | 7.5 | ns |
| Write leveling output error | tWLOE | 0 | 2 | 0 | 2 | 0 | 2 | 0 | 2 | ns |

7.5 PCI-X 总线特性

7.5.1 推荐的直流工作条件

表 7.37 PCI-X 设备的直流规范

| Sym | Parameter | Condition | PCI-X | | 3.3V Conventional PCI (ref) | | Units |
|--------|-----------------------|---------------------------------|--------|---------|-----------------------------|---------|-------|
| | | | Min. | Max. | Min. | Max. | |
| Vcc | Supply Voltage | | 3.0 | 3.6 | 3.0 | 3.6 | V |
| Vih | Input High Voltage | | 0.5Vcc | Vcc+0.5 | 0.5Vcc | Vcc+0.5 | V |
| Vil | Input Low Voltage | | -0.5 | 0.35Vcc | -0.5 | 0.3Vcc | V |
| Vipu | Input Pull-up Voltage | | 0.7Vcc | | 0.7Vcc | | V |
| Iil | Input Leakage Current | 0<Vin<Vcc | | +10 | | +10 | mA |
| Voh | Output High Voltage | Iout= -500mA | 0.9Vcc | | 0.9Vcc | | V |
| Vol | Output Low Voltage | Iout=1500mA | | 0.1Vcc | | 0.1Vcc | V |
| Cin | Input Pin Capacitance | | | 8 | | 10 | pF |
| Cclk | CLK Pin Capacitance | | 5 | 8 | 5 | 12 | pF |
| CIDSEL | IDSEL Pin Capacitance | | | 8 | | 8 | pF |
| Lpin | Pin Inductance | | | 15 | | 20 | nH |
| IOff | PME# input leakage | Vo ≤3.6V Vcc off or floating | - | 1 | - | 1 | mA |

表 7.38 推荐的直流特性

| Symbol | Parameter | Conditions | Min. | Typ. | Max. | Unit |
|---|---------------------------------|----------------------|------|------|------|------|
| Receiver characteristics | | | | | | |
| VIH | High level voltage | - | 2 | - | - | V |
| VIL | Low level voltage | - | - | - | 0.8 | V |
| VHYST | Input hysteresis voltage | - | 300 | - | - | mV |
| Driver characteristics | | | | | | |
| ROUT | Output impedance | VOL = 0.3V | - | 50 | - | Ω |
| ROUT | Output impedance | VOH = VDDE3V3 - 0.3V | - | 50 | - | Ω |
| Weak input pull-up and pull-down characteristics | | | | | | |
| IPU | Pull up current | Vi = 0V | 39 | 66 | 101 | μA |
| IPD | Pull down current | Vi= VDDE3V3 | 33 | 66 | 120 | μA |
| RPU | Equivalent pull-up resistance | Vi = 0V | 36 | 50 | 76 | KΩ |
| RPD | Equivalent pull-down resistance | Vi= VDDE3V3 | 30 | 50 | 90 | KΩ |

表 7.39 IO 引脚的输入电容

| Symbol | Parameter | Conditions | Min. | Typ. | Max. | Unit |
|--------|--------------------|---------------------|------|------|------|------|
| CIN | IO pin capacitance | 25Ωoutput impedance | - | 0.9 | - | pF |

| | | | | | | |
|--|--|---------------------|---|-----|---|--|
| | | 50Ωoutput impedance | - | 1.0 | - | |
| | | 80Ωoutput impedance | - | 1.2 | - | |

7.5.2 交流工作特性

表 7.40 推荐的交流特性

| Symbol | Parameter | Condition | Min. | Max. | Unit |
|-------------------------------|------------------------|---------------------------------------|----------------------------------|-----------------------|------|
| PCI-X | | | | | |
| Output Buffer Drive Currents | | | | | |
| Ioh(AC) | Switching Current High | $0 < V_{cc}-V_{out} \leq 3.6V$ | | $-74(V_{cc}-V_{out})$ | mA |
| | | $0 < V_{cc}-V_{out} \leq 1.2V$ | $-32 (V_{cc}-V_{out})$ | | mA |
| | | $1.2V < V_{cc}-V_{out} \leq 1.9V$ | $-11 (V_{cc}-V_{out}) - 25.2$ | | mA |
| | | $1.9V < V_{cc}-V_{out} \leq 3.6V$ | $-1.8 (V_{cc}-V_{out}) - 42.7$ | | mA |
| Iol(AC) | Switching Current Low | $0 \leq V_{out} \leq 3.6V$ | | $100V_{out}$ | mA |
| | | $0 < V_{out} \leq 1.3V$ | $48 V_{out}$ | | mA |
| | | $1.3V < V_{out} \leq 3.6V$ | $5.7 V_{out} + 55$ | | mA |
| Clamp Currents | | | | | |
| Icl | Low Clamp Current | $-3V < V_{in} \leq -0.8875V$ | $-40 + (V_{in}+1)/0.005$ | | mA |
| | | $-0.8875V < V_{in} \leq -0.625V$ | $-25 + (V_{in}+1)/0.015$ | | mA |
| Ich | High Clamp | $0.8875V \leq V_{in}-V_{cc} < 4V$ | $40 + (V_{in}-V_{cc}-1) / 0.005$ | | mA |
| | | $0.625V \leq V_{in}-V_{cc} < 0.8875V$ | $25 + (V_{in}-V_{cc}-1) / 0.015$ | | mA |
| 66 MHz Conventional PCI (ref) | | | | | |
| AC Drive Points | | | | | |
| Ioh(AC) | Switching Current High | $V_{out} = 0.7V_{cc}$ | | $-32V_{cc}$ | mA |
| | | $V_{out} = 0.3V_{cc}$ | $-12V_{cc}$ | | mA |
| Iol(AC) | Switching Current Low | $V_{out} = 0.18V_{cc}$ | | $38V_{cc}$ | mA |
| | | $V_{out} = 0.6V_{cc}$ | $16V_{cc}$ | | mA |
| Clamp Currents | | | | | |
| Ich | High clamp | $V_{cc}+4 > V_{in} \geq V_{cc}+1$ | $25 + (V_{in}-V_{cc}-1) / 0.015$ | | mA |
| Icl | Low clamp current | $-3 < V_{in} \leq -1$ | $-25 + (V_{in}+1)/0.015$ | | mA |

表 7.41 输出信号的斜率

| Symbol | Parameter | Condition | PCI-X | | Conventional PCI 66 (ref) | | Units |
|--------|-----------------------|----------------------------|-------|------|---------------------------|------|-------|
| | | | Min. | Max. | Min. | Max. | |
| Tr | Output rise slew rate | $0.3V_{cc}$ to $0.6V_{cc}$ | 1 | 6 | 1 | 4 | V/ns |
| Tf | Output fall slew rate | $0.6V_{cc}$ to $0.3V_{cc}$ | 1 | 6 | 1 | 4 | V/ns |

7.5.3 时序参数

表 7.42 通用时序参数

| Symbol | Parameter | PCI-X 33 | | Conventional PCI 33 (ref) | | Unit |
|-----------|--|-----------------|------|---------------------------|------|--------|
| | | Min. | Max. | Min. | Max. | |
| Tval | CLK to Signal Valid Delay - based signals | 2 | 6 | 2 | 11 | ns |
| Tval(ptp) | CLK to Signal Valid Delay - point to point signals | 2 | 6 | 2 | 12 | ns |
| Ton | Float to Active Delay | 2 | | 2 | | ns |
| Toff | Active to Float Delay | | 14 | | 28 | ns |
| Tsu | Input Set up Time to CLK-based signals | 3 | | 7 | | ns |
| Tsu(ptp) | Input Set up Time to CLK-point to point signals | 5 | | 10,12 | | ns |
| Th | Input Hold Time from CLK | 0 | | 0 | | ns |
| Trst | Reset Active Time | 1 | | 1 | | ms |
| Trst-clk | Reset Active Time after CLK stable | 100 | | 100 | | ms |
| Trst-off | Reset Active to output float delay | | 40 | | 40 | ns |
| Trrsu | REQ64# to RST# setup time | 10 | | 10 | | clocks |
| Trrh | RST# to REQ64# hold time | 0 | 50 | 0 | 50 | ns |
| Trhfa | RST# high to first Configuration access | 2 ²⁵ | | 2 ²⁵ | | clocks |
| Trhff | RST# high to first FRAME# assertion | 5 | | 5 | | clocks |
| Tpvrh | Power valid to RST# high | 100 | | 100 | | ms |
| Tprsu | PCI-X initialization pattern to RST# setup time | | | | | clocks |
| Tprh | RST# to PCI-X initialization pattern hold time | | | | | ns |
| Trlex | Delay from RST# low to CLK frequency change | | | | | ns |

7.5.4 复位时序

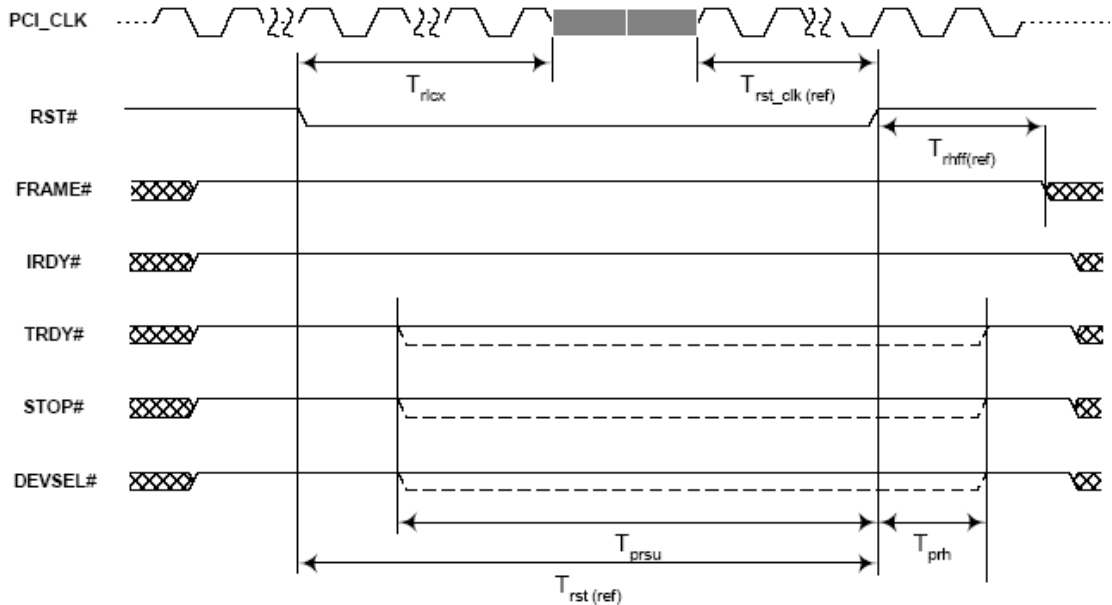


图 7.18 转换到带上拉的 PCI-X 模式的 RST#时序

7.5.5 PCI-X 总线系统的噪声容限

PCI-X 的噪声容限与 PCI 总线非常类似，具体的输入输出电压容限见下图：

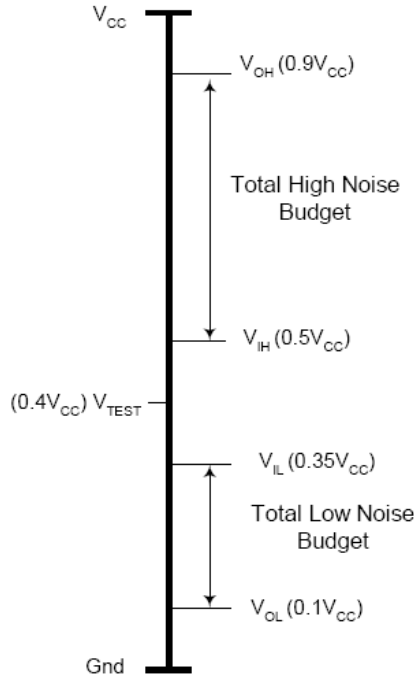


图 7.19 PCI-X 噪声容限

表 7.43 PCI-X 系统的噪声容限

| Noise Source | Responsibility | High Noise Budget | Low Noise Budget |
|--------------|----------------|-------------------|------------------|
|--------------|----------------|-------------------|------------------|

| | | | |
|------------------------|----------|---------|---------|
| Reflective Noise | Platform | 0.30Vcc | 0.15Vcc |
| Crosstalk | Platform | 0.05Vcc | 0.05Vcc |
| Input Reference Offset | Device | 0.05Vcc | 0.05Vcc |
| Total | | 0.4Vcc | 0.25Vcc |

7.5.6 PCI-X 的系统时序裕量

PCI-X 系统时序裕量与 66MHz 的 PCI 2.2 规范类似，具体的时序裕量见下表。

表 7.44 建立时间预算

| Parameter | PCI-X 33 MHz | Conventional PCI 33 MHz (ref) | Units |
|-------------|--------------|-------------------------------|-------|
| Tval (max) | 6 | 11 | ns |
| Tprop (max) | 5 | 10 | ns |
| Tskew (max) | 1 | 2 | ns |
| Tsu (min) | 3 | 7 | ns |
| Tcyc | 15 | 30 | ns |

表 7.45 保持时间预算

| Parameter | PCI-X 33MHz | Conventional PCI 33 MHz (ref) | Units |
|-------------|-------------|-------------------------------|-------|
| Tval (min) | 0.7 | 2 | ns |
| Tprop (min) | 0.3 | 0 | ns |
| Tskew (max) | 0.5 | 2 | ns |
| Th (min) | 0.5 | 0 | ns |

7.6 LPC 总线和其它引脚

7.6.1 LPC 总线

LPC 总线规范的直流和交流特性与 PCI V2.3 的规范类似，其信号推荐的上拉电阻见下表：

表 7.46 推荐的上拉电阻值

| Signal Name | Pull-Up |
|-------------|---------------|
| LAD[3:0] | 15k -100k ohm |

7.6.2 EJTAG

表 7.47 EJTAG 的交流时序特性

| Parameter | Symbol | Min. | Max. | Unit | |
|--|---------|---------------|------|------|----|
| EJTAG external clock frequency of operation | fJTG | 0 | 33.3 | MHz | |
| EJTAG external clock cycle time | TJTG | 30 | - | ns | |
| EJTAG external clock pulse width measured at 1.4 V | tJTKHKL | 15 | - | ns | |
| EJTAG external clock rise and fall | times | tJTGR & tJTGF | 0 | 2 | ns |

| | | | | | |
|-------------------------------------|-----------------------------------|---------|----|----|----|
| TRST assert time | | tTRST | 25 | - | ns |
| Input setup times | Boundary-scan data TMS, TDI | tJTDVKH | 4 | - | ns |
| | | tJTIVKH | 0 | - | |
| Input hold times | Boundary-scan data TMS, TDI | tJTDXKH | 20 | - | ns |
| | | tJTIXKH | 25 | - | |
| Valid times | Boundary-scan data TDO | tJTKLDV | 4 | 20 | ns |
| | | tJTKLOV | 4 | 25 | |
| Output hold times | Boundary-scan data TDO | tJTKLDX | - | - | ns |
| | | tJTKLOX | - | - | |
| EJTAG external clock to output high | impedance: Boundary-scan data TDO | tJTKLDZ | 3 | 19 | ns |
| | | tJTKLOZ | 3 | 9 | |

7.7 参考时钟

7.7.1 HyperTransport 的时钟

表 7.48 发送端时钟的不确定性

| Symbol | Description | 400 Mb/s | 600 Mb/s | 800 Mb/s | 1000 Mb/s | 1200 Mb/s | 1600 Mb/s | Unit |
|-----------|---|----------|----------|----------|-----------|-----------|-----------|------|
| TPLLdc | 2% duty cycle variation between opposing edges over 1 bit time | 100 | 67 | 50 | 40 | 33 | 25 | ps |
| TPLLjtr | Uncertainty in subsequent internal transmit clocks due to PLL variation between any 2 edges including that contributed by reference clock SSC techniques. | 150 | 67 | 50 | 20 | 17 | 13 | ps |
| TPLLerror | edges due PLL accumulated phase error (≤ 20 ps/ns over 1 bit time) in the internal transmit clock Uncertainty in subsequent CADOUT | 50 | 33 | 25 | 20 | 17 | 13 | ps |
| TPLLsup | Uncertainty in subsequent internal transmit clocks due to temporal PLL power supply modulation (50 ps/ns) | 125 | 83 | 63 | 50 | 42 | 31 | ps |
| Tclkskew | Uncertainty in the CLKOUT relative to CADOUT caused by load variations between the 90 degree phase shifted clock relative to the 0 degree clock | 20 | 20 | 20 | 10 | 10 | 10 | ps |

7.7.2 DDR2 内存的时钟

表 7.49 输入时钟抖动参数

| Parameter | Symbol | DDR2-667 | | DDR2-800 | | Units |
|--|----------------|----------|------|----------|------|-------|
| | | Min. | Max. | Min. | Max. | |
| Clock period jitter | tJIT(per) | -125 | 125 | -100 | 100 | ps |
| Clock period jitter during DLL locking period | tJIT(per,lck) | -100 | 100 | -80 | 80 | ps |
| Cycle to cycle clock period jitter | tJIT(cc) | -250 | 250 | -200 | 200 | ps |
| Cycle to cycle clock period jitter during DLL locking period | tJIT(cc,lck) | -200 | 200 | -160 | 160 | ps |
| Cumulative error across 2 cycles | tERR(2per) | -175 | 175 | -150 | 150 | ps |
| Cumulative error across 3 cycles | tERR(3per) | -225 | 225 | -175 | 175 | ps |
| Cumulative error across 4 cycles | tERR(4per) | -250 | 250 | -200 | 200 | ps |
| Cumulative error across 5 cycles | tERR(5per) | -250 | 250 | -200 | 200 | ps |
| Cumulative error across n cycles, n = 6 ... 10, inclusive | tERR(6-10per) | -350 | 350 | -300 | 300 | ps |
| Cumulative error across n cycles, n = 11 ... 50, inclusive | tERR(11-50per) | -450 | 450 | -450 | 450 | ps |
| Duty cycle jitter | tJIT(duty) | - 125 | 125 | -100 | 100 | ps |

7.7.3 PCI-X 时钟

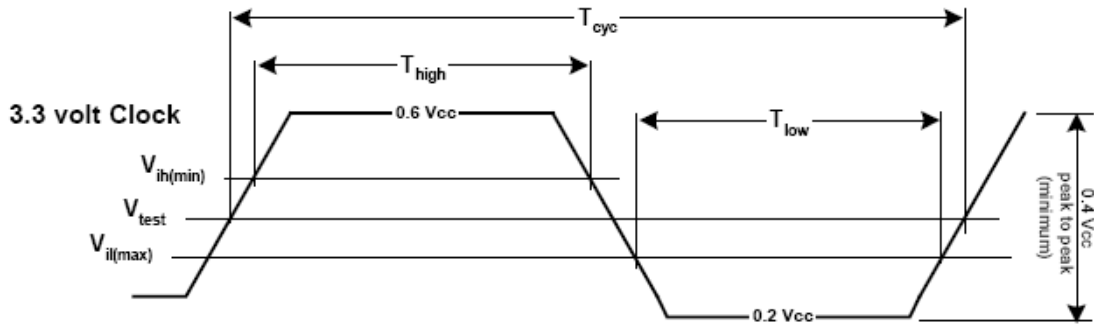


图 7.20 3.3V PCI-X 时钟波形

表 7.50 PCI-X 时钟参数

| Sym | Parameter | PCI-X 133 | | PCI-X 66 | | Conv. PCI 66 (ref) | | Conv. PCI 33 (ref) | | Unit |
|------------------------------|----------------------|-----------|------|----------|------|--------------------|------|--------------------|------|------|
| | | Min. | Max. | Min. | Max. | Min. | Max. | Min. | Max. | |
| Tcyc | CLK Cycle Time | 7.5 | 20 | 15 | 20 | 15 | 30 | 30 | ∞ | ns |
| Thigh | CLK High Time | 3 | | 6 | | 6 | | 11 | | ns |
| Tlow | CLK Low Time | 3 | | 6 | | 6 | | 11 | | ns |
| - | CLK Slew Rate | 1.5 | 4 | 1.5 | 4 | 1.5 | 4 | 1 | 4 | V/ns |
| Spread Spectrum Requirements | | | | | | | | | | |
| fmod | Modulation frequency | 30 | 33 | 30 | 33 | 30 | 33 | | | kHz |

| | | | | | | | | | | |
|---------|------------------|----|---|----|---|----|---|--|--|---|
| fspread | frequency spread | -1 | 0 | -1 | 0 | -1 | 0 | | | % |
|---------|------------------|----|---|----|---|----|---|--|--|---|

7.8 电源

7.8.1 电源工作条件

表 7.51 推荐的工作电源电压

| 电源域 | 描述 | 电压范围 | | | 电流 | 备注 |
|----------------|------------------------------|--------|-------|--------|-------|-----------------------------|
| | | Min. | Typ. | Max. | | |
| VDD | Chip core voltage (商业级) | - | 1.25V | - | 20 A | 商业级器件为 1.25V, 电源抖动小于正负 50mV |
| | Chip core voltage (工业级) | - | 1.15V | - | 20 A | 工业级器件为 1.15V, 电源抖动小于正负 50mV |
| VDDE3V3 | Chip IO voltage | 3.135V | 3.3V | 3.465V | 1 A | |
| MEM_VDD_0/1 | DDR core voltage (商业级) | - | 1.25V | - | 1 A | 商业级器件为 1.25V, 电源抖动小于正负 50mV |
| | DDR core voltage (工业级) | - | 1.15V | - | 1 A | 工业级器件为 1.15V, 电源抖动小于正负 50mV |
| MEM_VDDE_0/1 | DDR2 ch0/1 IO voltage | 1.7V | 1.8V | 1.9V | 2 A | |
| | DDR3 ch0/1 IO voltage | 1.4V | 1.5V | 1.6V | | |
| MEM_VREF_0/1 | DDR2 ch0/1 reference voltage | 0.882V | 0.9V | 0.918V | 0.1 A | |
| | DDR3 ch0/1 reference voltage | 0.7V | 0.75V | 0.8V | | |
| HT_VDD | HT core voltage (商业级) | - | 1.25V | - | 2 A | 商业级器件为 1.25V, 电源抖动小于正负 50mV |
| | HT core voltage (工业级) | - | 1.15V | - | 2 A | 工业级器件为 1.15V, 电源抖动小于正负 50mV |
| HT_VDDE | HT IO voltage | 1.7V | 1.8V | 1.9V | 1 A | |
| VDDESB | HT Side band voltage | 1.7V | 1.8V | 1.9V | 0.1A | |
| | | 3.135V | 3.3V | 3.465V | | |
| CORE_PLL_AVDD | - | | | | | |
| CORE_PLL_DVDD | Core PLL digital voltage | 1.1V | 1.2V | 1.3V | 0.05A | |
| DDR_PLL_AVDD | - | | | | | |
| DDR_PLL_DVDD | DDR2 PLL digital voltage | 1.1V | 1.2V | 1.3V | 0.05A | |
| HT0/1_PLL_AVDD | - | | | | | |
| HT0/1_PLL_DVDD | HT0/1 PLL digital voltage | 1.1V | 1.2V | 1.3V | 0.05A | |

8 热特性

8.1 热参数

表 8.1 龙芯 3A2000 的热特性参数和推荐的最大值

| Parameter | Value |
|---------------|----------|
| TDP Max Power | 30 Watts |
| T_A | 25 °C |
| T_J | 100 °C |

表 8.2 龙芯 3A2000 的热阻参数

| Heat sink | V_{air} (m/s) | θ_{JA} (°C/W) | ψ_{JT} (°C/W) | θ_{JC} (°C/W) |
|-----------|-----------------|----------------------|--------------------|----------------------|
| w/o | 0 | 8.1 | 0.18 | 0.31 |
| | 1 | 6.2 | 0.18 | - |
| | 2 | 5.3 | 0.18 | - |
| w/ | 0 | 3.5 | 0.24 | - |
| | 1 | 1.9 | 0.26 | - |
| | 2 | 1.4 | 0.27- | - |

8.2 焊接温度

表 8.3 无铅工艺的封装回流最大温度表

| Package Thickness | Volume mm ³ < 350 | Volume mm ³ 350 - 2000 | Volume mm ³ > 2000 |
|-------------------|------------------------------|-----------------------------------|-------------------------------|
| < 1.6 mm | 260 °C * | 260 °C * | 260 °C * |
| 1.6 mm - 2.5 mm | 260 °C * | 250 °C * | 245 °C * |
| > 2.5 mm | 250 °C * | 245 °C * | 245 °C * |

* Tolerance: The device manufacturer/supplier shall assure process compatibility up to and including the stated classification temperature at the rated MSL level

表 8.4 回流焊接温度分类表

| Profile Feature | | Pb-Free Assembly |
|--|---|------------------|
| Average ramp-up rate (T _{smax} to T _p) | | 3°C/second max. |
| Preheat | Temperature Min (T _{smin}) | 150 °C |
| | Temperature Max (T _{smax}) | 200 °C |
| | Time (T _{smin} to T _{smax}) (ts) | 60-180 seconds |
| Time maintained above | Temperature (T _L) | 217 °C |
| | Time (t _L) | 60-150 seconds |
| Peak Temperature (T _p) | | 245°C |
| Time within 5°C of actual Peak Temperature (tp) ² | | 20-40 seconds |
| Ramp-down Rate | | 6 °C/second max. |
| Time 25°C to Peak Temperature | | 8 minutes max. |

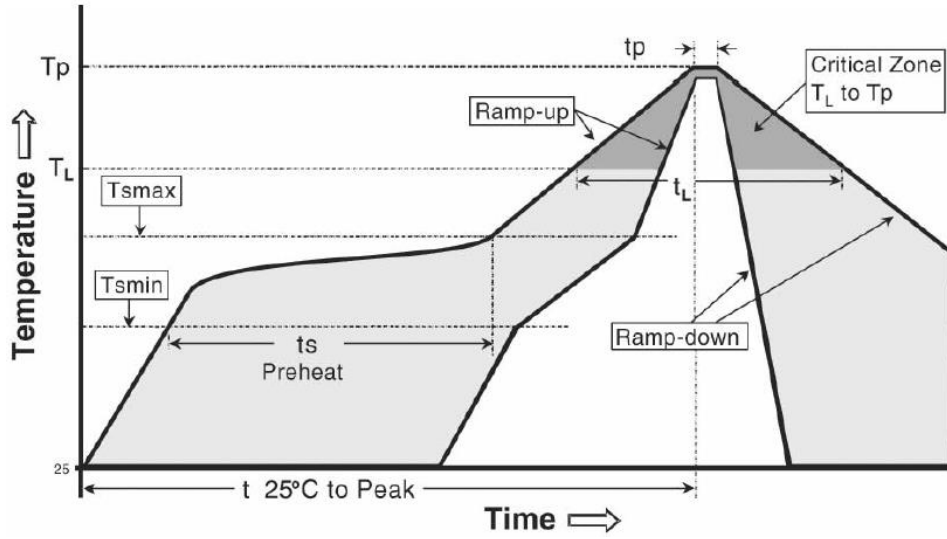


图 8.1 焊接回流曲线

9 引脚排列和封装

9.1 按引脚排列的封装引脚

表 9.1 按引脚排列的封装引脚表

| Pin Number | Net Name | Pin Number | Net Name | Pin Number | Net Name |
|------------|----------------|------------|---------------|------------|-----------------|
| A1 | HT1_TX_CADn07 | AP24 | PCI_CBEEn0 | F8 | HT1_RX_CADn15 |
| A2 | HT1_TX_CTLp0 | AP25 | PCI_REQn6 | F9 | HT1_RX_CADp15 |
| A3 | HT1_TX_CTLn0 | AP26 | PCI_IDSEL | F10 | HT1_RX_CADn13 |
| A4 | VDDE_1V8 | AP27 | MC0_DDR_DQ63 | F11 | HT1_RX_CADp13 |
| A5 | NC1_HT1_REXT | AP28 | MC0_DDR_DQ58 | F12 | HT1_RX_CLKp1 |
| A6 | HT1_TX_CTLp1 | AP29 | MC0_DDR_DQ54 | F13 | HT1_RX_CLKn1 |
| A7 | HT1CLKp | AP30 | MC0_DDR_DQM6 | F14 | HT1_RX_CADn10 |
| A8 | HT1_RX_CTLn0 | AP31 | MC0_DDR_DQ48 | F15 | HT1_RX_CADp10 |
| A9 | HT1_RX_CTLp0 | AP32 | MC0_DDR_DQ42 | F16 | HT1_RX_CADn08 |
| A10 | HT1_RX_CADn06 | AP33 | GND | F17 | HT1_RX_CADp08 |
| A11 | HT1_RX_CADp06 | AP34 | MC0_DDR_A03 | F18 | HT1_HI_HOSTMODE |
| A12 | HT1_RX_CADn04 | AP35 | MC0_DDR_A02 | F19 | HT1_LO_HOSTMODE |
| A13 | HT1_RX_CADp04 | AP36 | MC0_DDR_A01 | F20 | GND |
| A14 | HT1_RX_CADn03 | AP37 | MC0_DDR_CLKp3 | F21 | HT0_LO_HOSTMODE |
| A15 | HT1_RX_CADp03 | AP38 | MC0_DDR_CLKn3 | F22 | HT0_HI_HOSTMODE |
| A16 | HT1_RX_CADn01 | AP39 | MC0_DDR_A00 | F23 | HT0_RX_CADp08 |
| A17 | HT1_RX_CADp01 | AR1 | MC1_DDR_CLKn2 | F24 | HT0_RX_CADn08 |
| A18 | HT1_LO_RSTn | AR2 | MC1_DDR_CLKp2 | F25 | HT0_RX_CADp10 |
| A19 | HT1_LO_POWEROK | AR3 | MC1_DDR_RASn | F26 | HT0_RX_CADn10 |
| A20 | SYSCLK | AR4 | MC1_DDR_BA0 | F27 | HT0_RX_CLKn1 |
| A21 | HT0_LO_POWEROK | AR5 | MC1_DDR_BA1 | F28 | HT0_RX_CLKp1 |
| A22 | HT0_LO_RSTn | AR6 | MC1_DDR_A10 | F29 | HT0_RX_CADp13 |
| A23 | HT0_RX_CADp01 | AR7 | MC1_DDR_DQ44 | F30 | HT0_RX_CADn13 |
| A24 | HT0_RX_CADn01 | AR8 | MC1_DDR_DQ47 | F31 | HT0_RX_CADp15 |
| A25 | HT0_RX_CADp03 | AR9 | MC1_DDR_DQ53 | F32 | HT0_RX_CADn15 |
| A26 | HT0_RX_CADn03 | AR10 | VDDE_DDR | F33 | HT0_PLL_DGND |
| A27 | HT0_RX_CADp04 | AR11 | MC1_DDR_DQ50 | F34 | HT0_TX_CADp12 |
| A28 | HT0_RX_CADn04 | AR12 | MC1_DDR_DQ56 | F35 | HT0_TX_CLKp1 |
| A29 | HT0_RX_CADp06 | AR13 | MC1_DDR_DQ59 | F36 | HT0_TX_CLKn1 |
| A30 | HT0_RX_CADn06 | AR14 | PCI_RESETn | F37 | VDDE_1V8 |
| A31 | HT0_RX_CTLp0 | AR15 | PCI_REQn2 | F38 | VDDE_1V8 |
| A32 | HT0_RX_CTLn0 | AR16 | PCI_GNTn4 | F39 | HT0_TX_CLKp0 |
| A33 | HT0CLKp | AR17 | PCI_AD28 | G1 | HT1_TX_CADn02 |
| A34 | HT0_TX_CTLp1 | AR18 | PCI_AD23 | G2 | HT1_TX_CADp03 |
| A35 | NC2_HT0_REXT | AR19 | PCI_AD19 | G3 | HT1_TX_CADn03 |
| A36 | VDDE_1V8 | AR20 | PCI_IRDYn | G4 | GND |
| A37 | HT0_TX_CTLn0 | AR21 | PCI_PERR | G5 | GND |
| A38 | HT0_TX_CTLp0 | AR22 | PCI_AD13 | G6 | HT1_TX_CADn11 |

| Pin Number | Net Name | Pin Number | Net Name | Pin Number | Net Name |
|------------|---------------|------------|---------------|------------|---------------|
| A39 | HT0_TX_CADn07 | AR23 | PCI_AD09 | G7 | GND |
| AA1 | MC1_DDR_DQSp0 | AR24 | PCI_AD07 | G8 | VDDE_1V2 |
| AA2 | MC1_DDR_DQSn0 | AR25 | PCI_AD05 | G9 | VDDE_1V2 |
| AA3 | MC1_DDR_DQ06 | AR26 | PCI_AD03 | G10 | GND |
| AA4 | MC1_DDR_DQ03 | AR27 | MC0_DDR_DQ59 | G11 | GND |
| AA5 | VDDE_DDR | AR28 | MC0_DDR_DQ56 | G12 | VDDE_1V2 |
| AA6 | MC1_DDR_DQ07 | AR29 | MC0_DDR_DQ50 | G13 | VDDE_1V2 |
| AA7 | MC1_DDR_DQ02 | AR30 | VDDE_DDR | G14 | GND |
| AA13 | GND | AR31 | MC0_DDR_DQ53 | G15 | GND |
| AA14 | VDD | AR32 | MC0_DDR_DQ47 | G16 | VDDE_1V2 |
| AA15 | GND | AR33 | MC0_DDR_DQ44 | G17 | GND |
| AA16 | VDD | AR34 | MC0_DDR_A10 | G18 | VDDESB |
| AA17 | GND | AR35 | MC0_DDR_BA1 | G19 | GND |
| AA18 | VDD | AR36 | MC0_DDR_BA0 | G20 | VDDESB |
| AA19 | GND | AR37 | MC0_DDR_RASn | G21 | GND |
| AA20 | VDD | AR38 | MC0_DDR_CLKp2 | G22 | VDDESB |
| AA21 | GND | AR39 | MC0_DDR_CLKn2 | G23 | GND |
| AA22 | VDD | AT1 | MC1_DDR_SCSn0 | G24 | VDDE_1V2 |
| AA23 | GND | AT2 | MC1_DDR_WEn | G25 | GND |
| AA24 | VDD | AT3 | MC1_DDR_SCSn2 | G26 | GND |
| AA25 | GND | AT4 | MC1_DDR_CASn | G27 | VDDE_1V2 |
| AA26 | VDD | AT5 | MC1_DDR_ODT0 | G28 | VDDE_1V2 |
| AA27 | GND | AT6 | MC1_DDR_ODT2 | G29 | GND |
| AA33 | MC0_DDR_DQ02 | AT7 | MC1_DDR_DQ40 | G30 | GND |
| AA34 | MC0_DDR_DQ07 | AT8 | VDDE_DDR | G31 | VDDE_1V2 |
| AA35 | VDDE_DDR | AT9 | MC1_DDR_DQ49 | G32 | VDDE_1V2 |
| AA36 | MC0_DDR_DQ03 | AT10 | MC1_DDR_DQSn6 | G33 | GND |
| AA37 | MC0_DDR_DQ06 | AT11 | MC1_DDR_DQ55 | G34 | HT0_TX_CADn11 |
| AA38 | MC0_DDR_DQSn0 | AT12 | VDDE_DDR | G35 | GND |
| AA39 | MC0_DDR_DQSp0 | AT13 | GND | G36 | GND |
| AB1 | MC1_DDR_DQM1 | AT14 | VDDE_3V3 | G37 | HT0_TX_CADn03 |
| AB2 | MC1_DDR_DQ13 | AT15 | PCI_GNTn1 | G38 | HT0_TX_CADp03 |
| AB3 | MC1_DDR_DQ09 | AT16 | VDDE_3V3 | G39 | HT0_TX_CADn02 |
| AB4 | GND | AT17 | PCI_AD27 | H1 | HT1_TX_CADp02 |
| AB5 | MC1_DDR_DQ08 | AT18 | VDDE_3V3 | H2 | GND |
| AB6 | MC1_DDR_DQ12 | AT19 | PCI_AD18 | H3 | GND |
| AB7 | VDD_MEM | AT20 | VDDE_3V3 | H4 | HT1_TX_CADn10 |
| AB13 | VDD | AT21 | PCI_SERR | H5 | HT1_TX_CADp10 |
| AB14 | GND | AT22 | VDDE_3V3 | H6 | HT1_TX_CADp11 |
| AB15 | VDD | AT23 | PCI_AD08 | H7 | GND |
| AB16 | GND | AT24 | VDDE_3V3 | H33 | GND |
| AB17 | VDD | AT25 | PCI_AD04 | H34 | HT0_TX_CADp11 |
| AB18 | GND | AT26 | VDDE_3V3 | H35 | HT0_TX_CADp10 |
| AB19 | VDD | AT27 | GND | H36 | HT0_TX_CADn10 |
| AB20 | GND | AT28 | VDDE_DDR | H37 | GND |

| Pin Number | Net Name | Pin Number | Net Name | Pin Number | Net Name |
|------------|---------------|------------|---------------|------------|---------------|
| AB21 | VDD | AT29 | MC0_DDR_DQ55 | H38 | GND |
| AB22 | GND | AT30 | MC0_DDR_DQSn6 | H39 | HT0_TX_CADp02 |
| AB23 | VDD | AT31 | MC0_DDR_DQ49 | J1 | HT1_TX_CADn00 |
| AB24 | GND | AT32 | VDDE_DDR | J2 | HT1_TX_CADp01 |
| AB25 | VDD | AT33 | MC0_DDR_DQ40 | J3 | HT1_TX_CADn01 |
| AB26 | GND | AT34 | MC0_DDR_ODT2 | J4 | VDDE_1V8 |
| AB27 | VDD | AT35 | MC0_DDR_ODT0 | J5 | VDDE_1V8 |
| AB33 | VDD_MEM | AT36 | MC0_DDR_CASn | J6 | HT1_TX_CADn09 |
| AB34 | MC0_DDR_DQ12 | AT37 | MC0_DDR_SCSn2 | J7 | VDDE_1V2 |
| AB35 | MC0_DDR_DQ08 | AT38 | MC0_DDR_WEn | J33 | VDDE_1V2 |
| AB36 | GND | AT39 | MC0_DDR_SCSn0 | J34 | HT0_TX_CADn09 |
| AB37 | MC0_DDR_DQ09 | AU1 | MC1_DDR_SCSn3 | J35 | VDDE_1V8 |
| AB38 | MC0_DDR_DQ13 | AU2 | MC1_DDR_SCSn1 | J36 | VDDE_1V8 |
| AB39 | MC0_DDR_DQM1 | AU3 | GND | J37 | HT0_TX_CADn01 |
| AC1 | MC1_DDR_DQSn1 | AU4 | MC1_DDR_A13 | J38 | HT0_TX_CADp01 |
| AC2 | MC1_DDR_DQSp1 | AU5 | MC1_DDR_ODT1 | J39 | HT0_TX_CADn00 |
| AC3 | VDDE_DDR | AU6 | MC1_DDR_ODT3 | K1 | HT1_TX_CADp00 |
| AC4 | MC1_DDR_CLKp1 | AU7 | MC1_DDR_DQ45 | K2 | VDDE_1V8 |
| AC5 | MC1_DDR_CLKn1 | AU8 | MC1_DDR_DQSn5 | K3 | VDDE_1V8 |
| AC6 | MC1_DDR_DQ14 | AU9 | GND | K4 | HT1_TX_CADn08 |
| AC7 | MC1_DDR_DQ10 | AU10 | MC1_DDR_DQSp6 | K5 | HT1_TX_CADp08 |
| AC13 | GND | AU11 | GND | K6 | HT1_TX_CADp09 |
| AC14 | VDD | AU12 | MC1_DDR_DQ61 | K7 | VDDE_1V2 |
| AC15 | GND | AU13 | MC1_DDR_DQSn7 | K33 | VDDE_1V2 |
| AC16 | VDD | AU14 | PCI_IRQnA | K34 | HT0_TX_CADp09 |
| AC17 | GND | AU15 | PCI_REQn1 | K35 | HT0_TX_CADp08 |
| AC18 | VDD | AU16 | PCI_REQn4 | K36 | HT0_TX_CADn08 |
| AC19 | GND | AU17 | PCI_AD30 | K37 | VDDE_1V8 |
| AC20 | VDD | AU18 | PCI_AD26 | K38 | VDDE_1V8 |
| AC21 | GND | AU19 | PCI_AD22 | K39 | HT0_TX_CADp00 |
| AC22 | VDD | AU20 | PCI_AD17 | L1 | UART0_RI |
| AC23 | GND | AU21 | PCI_TRDYn | L2 | UART1_DCD |
| AC24 | VDD | AU22 | PCI_PAR | L3 | PCI_CONFIG7 |
| AC25 | GND | AU23 | PCI_AD11 | L4 | PCI_CONFIG6 |
| AC26 | VDD | AU24 | DDR_PLL_GND | L5 | PCI_CONFIG5 |
| AC27 | GND | AU25 | PCI_AD06 | L6 | VDDE_3V3 |
| AC33 | MC0_DDR_DQ10 | AU26 | PCI_AD00 | L7 | GND |
| AC34 | MC0_DDR_DQ14 | AU27 | MC0_DDR_DQSn7 | L33 | GND |
| AC35 | MC0_DDR_CLKn1 | AU28 | MC0_DDR_DQ61 | L34 | VDDE_3V3 |
| AC36 | MC0_DDR_CLKp1 | AU29 | GND | L35 | INTn1 |
| AC37 | VDDE_DDR | AU30 | MC0_DDR_DQSp6 | L36 | NMIIn |
| AC38 | MC0_DDR_DQSp1 | AU31 | GND | L37 | INTn0 |
| AC39 | MC0_DDR_DQSn1 | AU32 | MC0_DDR_DQSn5 | L38 | SPI_SDO |
| AD1 | MC1_DDR_CLKp0 | AU33 | MC0_DDR_DQ45 | L39 | HTCLK |
| AD2 | MC1_DDR_CLKn0 | AU34 | MC0_DDR_ODT3 | M1 | UART1_RTS |

| Pin Number | Net Name | Pin Number | Net Name | Pin Number | Net Name |
|------------|---------------|------------|---------------|------------|-------------|
| AD3 | GND | AU35 | MC0_DDR_ODT1 | M2 | UART0_DTR |
| AD4 | MC1_DDR_DQ15 | AU36 | MC0_DDR_A13 | M3 | UART0_RXD |
| AD5 | MC1_DDR_DQ11 | AU37 | GND | M4 | PCI_CONFIG0 |
| AD6 | MC1_DDR_DQ20 | AU38 | MC0_DDR_SCSn1 | M5 | PCI_CONFIG3 |
| AD7 | GND | AU39 | MC0_DDR_SCSn3 | M6 | GND |
| AD13 | VDD | AV1 | MC1_DDR_DQ33 | M7 | VDDE_3V3 |
| AD14 | GND | AV2 | MC1_DDR_DQM4 | M33 | VDDE_3V3 |
| AD15 | VDD | AV3 | MC1_DDR_DQ37 | M34 | GND |
| AD16 | GND | AV4 | VDDE_DDR | M35 | INTn3 |
| AD17 | VDD | AV5 | MC1_DDR_DQ32 | M36 | INTn2 |
| AD18 | GND | AV6 | MC1_DDR_DQ36 | M37 | SPI_SDI |
| AD19 | VDD | AV7 | MC1_DDR_DQ41 | M38 | DOTEST |
| AD20 | GND | AV8 | MC1_DDR_DQSp5 | M39 | TMS |
| AD21 | VDD | AV9 | MC1_DDR_CLKn4 | N1 | UART1_DTR |
| AD22 | GND | AV10 | MC1_DDR_CLKp5 | N2 | UART0_CTS |
| AD23 | VDD | AV11 | MC1_DDR_DQ51 | N3 | PCI_CONFIG2 |
| AD24 | GND | AV12 | MC1_DDR_DQ57 | N4 | PCI_CONFIG1 |
| AD25 | VDD | AV13 | MC1_DDR_DQSp7 | N5 | PCI_CONFIG4 |
| AD26 | GND | AV14 | PCI_IRQnC | N6 | VDDE_3V3 |
| AD27 | VDD | AV15 | PCI_GNTn0 | N7 | GND |
| AD33 | GND | AV16 | PCI_GNTn3 | N13 | GND |
| AD34 | MC0_DDR_DQ20 | AV17 | PCI_AD31 | N14 | VDD |
| AD35 | MC0_DDR_DQ11 | AV18 | PCI_AD25 | N15 | GND |
| AD36 | MC0_DDR_DQ15 | AV19 | PCI_AD21 | N16 | VDD |
| AD37 | GND | AV20 | PCI_AD16 | N17 | GND |
| AD38 | MC0_DDR_CLKn0 | AV21 | PCI_DEVSELn | N18 | VDD |
| AD39 | MC0_DDR_CLKp0 | AV22 | PCI_AD15 | N19 | GND |
| AE1 | MC1_DDR_DQSn2 | AV23 | PCI_AD12 | N20 | VDD |
| AE2 | MC1_DDR_DQSp2 | AV24 | DDR_PLL_DVDD | N21 | GND |
| AE3 | MC1_DDR_DQM2 | AV25 | DDR_PLL_GNDE | N22 | VDD |
| AE4 | VDDE_DDR | AV26 | PCI_AD02 | N23 | GND |
| AE5 | MC1_DDR_DQ17 | AV27 | MC0_DDR_DQSp7 | N24 | VDD |
| AE6 | MC1_DDR_DQ21 | AV28 | MC0_DDR_DQ57 | N25 | GND |
| AE7 | MC1_DDR_DQ16 | AV29 | MC0_DDR_DQ51 | N26 | VDD |
| AE13 | GND | AV30 | MC0_DDR_CLKp5 | N27 | GND |
| AE14 | VDD | AV31 | MC0_DDR_CLKn4 | N33 | GND |
| AE15 | GND | AV32 | MC0_DDR_DQSp5 | N34 | VDDE_3V3 |
| AE16 | VDD | AV33 | MC0_DDR_DQ41 | N35 | SPI_SCK |
| AE17 | GND | AV34 | MC0_DDR_DQ36 | N36 | TDO |
| AE18 | VDD | AV35 | MC0_DDR_DQ32 | N37 | TESTCLK |
| AE19 | GND | AV36 | VDDE_DDR | N38 | TDI |
| AE20 | VDD | AV37 | MC0_DDR_DQ37 | N39 | TRST |
| AE21 | GND | AV38 | MC0_DDR_DQM4 | P1 | UART1_RXD |
| AE22 | VDD | AV39 | MC0_DDR_DQ33 | P2 | UART1_DSR |
| AE23 | GND | AW1 | MC1_DDR_DQSn4 | P3 | UART0_RTS |

| Pin Number | Net Name | Pin Number | Net Name | Pin Number | Net Name |
|------------|---------------|------------|-----------------|------------|------------|
| AE24 | VDD | AW2 | MC1_DDR_DQSp4 | P4 | UART0_DSR |
| AE25 | GND | AW3 | MC1_DDR_DQ38 | P5 | UART0_DCD |
| AE26 | VDD | AW4 | MC1_DDR_DQ39 | P6 | UART0_TXD |
| AE27 | GND | AW5 | MC1_DDR_DQ34 | P7 | VDDE_3V3 |
| AE33 | MC0_DDR_DQ16 | AW6 | MC1_DDR_DQ35 | P13 | VDD |
| AE34 | MC0_DDR_DQ21 | AW7 | MC1_DDR_DQM5 | P14 | GND |
| AE35 | MC0_DDR_DQ17 | AW8 | MC1_DDR_DQ43 | P15 | VDD |
| AE36 | VDDE_DDR | AW9 | MC1_DDR_CLKp4 | P16 | GND |
| AE37 | MC0_DDR_DQM2 | AW10 | MC1_DDR_CLKn5 | P17 | VDD |
| AE38 | MC0_DDR_DQSp2 | AW11 | MC1_DDR_DQ60 | P18 | GND |
| AE39 | MC0_DDR_DQSn2 | AW12 | MC1_DDR_DQM7 | P19 | VDD |
| AF1 | MC1_DDR_DQ23 | AW13 | MC1_DDR_DQ62 | P20 | GND |
| AF2 | MC1_DDR_DQ19 | AW14 | PCI_CLK | P21 | VDD |
| AF3 | MC1_DDR_DQ28 | AW15 | PCI_REQn0 | P22 | GND |
| AF4 | MC1_DDR_DQ18 | AW16 | PCI_REQn3 | P23 | VDD |
| AF5 | GND | AW17 | PCI_AD29 | P24 | GND |
| AF6 | MC1_DDR_DQ22 | AW18 | PCI_AD24 | P25 | VDD |
| AF7 | VDD_MEM | AW19 | PCI_AD20 | P26 | GND |
| AF13 | VDD | AW20 | PCI_CBE n2 | P27 | VDD |
| AF14 | GND | AW21 | PCI_STOPn | P33 | VDDE_3V3 |
| AF15 | VDD | AW22 | PCI_CBE n1 | P34 | EJTAG_TDO |
| AF16 | GND | AW23 | PCI_AD10 | P35 | TCK |
| AF17 | VDD | AW24 | MEMCLK | P36 | EJTAG_TCK |
| AF18 | GND | AW25 | NC_DDR_PLL_AVDD | P37 | EJTAG_TMS |
| AF19 | VDD | AW26 | PCI_AD01 | P38 | EJTAG_TDI |
| AF20 | GND | AW27 | MC0_DDR_DQ62 | P39 | EJTAG_TRST |
| AF21 | VDD | AW28 | MC0_DDR_DQM7 | R1 | NODE_ID0 |
| AF22 | GND | AW29 | MC0_DDR_DQ60 | R2 | UART1_RI |
| AF23 | VDD | AW30 | MC0_DDR_CLKn5 | R3 | CLKSEL15 |
| AF24 | GND | AW31 | MC0_DDR_CLKp4 | R4 | ICCC_EN |
| AF25 | VDD | AW32 | MC0_DDR_DQ43 | R5 | UART1_TXD |
| AF26 | GND | AW33 | MC0_DDR_DQM5 | R6 | UART1_CTS |
| AF27 | VDD | AW34 | MC0_DDR_DQ35 | R7 | GND |
| AF33 | VDD_MEM | AW35 | MC0_DDR_DQ34 | R13 | GND |
| AF34 | MC0_DDR_DQ22 | AW36 | MC0_DDR_DQ39 | R14 | VDD |
| AF35 | GND | AW37 | MC0_DDR_DQ38 | R15 | GND |
| AF36 | MC0_DDR_DQ18 | AW38 | MC0_DDR_DQSp4 | R16 | VDD |
| AF37 | MC0_DDR_DQ28 | AW39 | MC0_DDR_DQSn4 | R17 | GND |
| AF38 | MC0_DDR_DQ19 | B1 | HT1_TX_CADp07 | R18 | VDD |
| AF39 | MC0_DDR_DQ23 | B2 | VDDE_1V8 | R19 | GND |
| AG1 | MC1_DDR_DQSn3 | B3 | VDDE_1V8 | R20 | VDD |
| AG2 | MC1_DDR_DQSp3 | B4 | HT1_TX_CADn15 | R21 | GND |
| AG3 | MC1_DDR_DQ25 | B5 | HT1_TX_CADp15 | R22 | VDD |
| AG4 | VDDE_DDR | B6 | HT1_TX_CTLn1 | R23 | GND |
| AG5 | MC1_DDR_DQ29 | B7 | HT1CLKn | R24 | VDD |

| Pin Number | Net Name | Pin Number | Net Name | Pin Number | Net Name |
|------------|---------------|------------|------------------|------------|----------|
| AG6 | MC1_DDR_DQ24 | B8 | VDDE_1V8 | R25 | GND |
| AG7 | GND | B9 | HT1_RX_CADn07 | R26 | VDD |
| AG13 | GND | B10 | VDDE_1V8 | R27 | GND |
| AG14 | VDD | B11 | HT1_RX_CADn05 | R33 | GND |
| AG15 | GND | B12 | VDDE_1V8 | R34 | GPIO15 |
| AG16 | VDD | B13 | HT1_RX_CLKn0 | R35 | GPIO12 |
| AG17 | GND | B14 | VDDE_1V8 | R36 | GPIO14 |
| AG18 | VDD | B15 | HT1_RX_CADn02 | R37 | GPIO13 |
| AG19 | GND | B16 | VDDE_1V8 | R38 | GPIO10 |
| AG20 | VDD | B17 | HT1_RX_CADn00 | R39 | GPIO11 |
| AG21 | GND | B18 | HT1_LO_LDT_STOPn | T1 | CLKSEL11 |
| AG22 | VDD | B19 | HT1_LO_LDT_REQn | T2 | CLKSEL08 |
| AG23 | GND | B20 | SYSRESETn | T3 | CLKSEL14 |
| AG24 | VDD | B21 | HT0_LO_LDT_REQn | T4 | CLKSEL10 |
| AG25 | GND | B22 | HT0_LO_LDT_STOPn | T5 | CLKSEL13 |
| AG26 | VDD | B23 | HT0_RX_CADn00 | T6 | NODE_ID1 |
| AG27 | GND | B24 | VDDE_1V8 | T7 | GND |
| AG33 | GND | B25 | HT0_RX_CADn02 | T13 | VDD |
| AG34 | MC0_DDR_DQ24 | B26 | VDDE_1V8 | T14 | GND |
| AG35 | MC0_DDR_DQ29 | B27 | HT0_RX_CLKn0 | T15 | VDD |
| AG36 | VDDE_DDR | B28 | VDDE_1V8 | T16 | GND |
| AG37 | MC0_DDR_DQ25 | B29 | HT0_RX_CADn05 | T17 | VDD |
| AG38 | MC0_DDR_DQSp3 | B30 | VDDE_1V8 | T18 | GND |
| AG39 | MC0_DDR_DQSn3 | B31 | HT0_RX_CADn07 | T19 | VDD |
| AH1 | MC1_DDR_DQ27 | B32 | VDDE_1V8 | T20 | GND |
| AH2 | MC1_DDR_DQ31 | B33 | HT0CLKn | T21 | VDD |
| AH3 | GND | B34 | HT0_TX_CTLn1 | T22 | GND |
| AH4 | MC1_DDR_DQM3 | B35 | HT0_TX_CADp15 | T23 | VDD |
| AH5 | MC1_DDR_DQ26 | B36 | HT0_TX_CADn15 | T24 | GND |
| AH6 | MC1_DDR_DQ30 | B37 | VDDE_1V8 | T25 | VDD |
| AH7 | VDD_MEM | B38 | VDDE_1V8 | T26 | GND |
| AH33 | VDD_MEM | B39 | HT0_TX_CADp07 | T27 | VDD |
| AH34 | MC0_DDR_DQ30 | C1 | HT1_TX_CADn05 | T33 | VDDE_3V3 |
| AH35 | MC0_DDR_DQ26 | C2 | HT1_TX_CADp06 | T34 | GND |
| AH36 | MC0_DDR_DQM3 | C3 | HT1_TX_CADn06 | T35 | GPIO07 |
| AH37 | GND | C4 | GND | T36 | GPIO09 |
| AH38 | MC0_DDR_DQ31 | C5 | GND | T37 | GPIO08 |
| AH39 | MC0_DDR_DQ27 | C6 | HT1_TX_CADn14 | T38 | GPIO05 |
| AJ1 | MC1_DDR_DQM8 | C7 | NC_HT1_PLL_AVDD | T39 | GPIO06 |
| AJ2 | MC1_DDR_CB1 | C8 | VDDE_1V8 | U1 | CLKSEL07 |
| AJ3 | MC1_DDR_CB0 | C9 | HT1_RX_CADp07 | U2 | CLKSEL06 |
| AJ4 | MC1_DDR_CB5 | C10 | VDDE_1V8 | U3 | CLKSEL09 |
| AJ5 | VDDE_DDR | C11 | HT1_RX_CADp05 | U4 | CLKSEL05 |
| AJ6 | MC1_DDR_CB4 | C12 | VDDE_1V8 | U5 | CLKSEL12 |
| AJ7 | GND | C13 | HT1_RX_CLKp0 | U6 | VDD |

| Pin Number | Net Name | Pin Number | Net Name | Pin Number | Net Name |
|------------|----------------|------------|------------------|------------|----------|
| AJ33 | GND | C14 | VDDE_1V8 | U7 | VDD |
| AJ34 | MC0_DDR_CB4 | C15 | HT1_RX_CADp02 | U13 | GND |
| AJ35 | VDDE_DDR | C16 | VDDE_1V8 | U14 | VDD |
| AJ36 | MC0_DDR_CB5 | C17 | HT1_RX_CADp00 | U15 | GND |
| AJ37 | MC0_DDR_CB0 | C18 | HT1_8x2 | U16 | VDD |
| AJ38 | MC0_DDR_CB1 | C19 | NC_CORE_PLL_AVDD | U17 | GND |
| AJ39 | MC0_DDR_DQM8 | C20 | CORE_PLL_GND | U18 | VDD |
| AK1 | MC1_DDR_DQSn8 | C21 | CORE_PLL_DVDD | U19 | GND |
| AK2 | MC1_DDR_DQSp8 | C22 | HT0_8x2 | U20 | VDD |
| AK3 | MC1_DDR_CB3 | C23 | HT0_RX_CADp00 | U21 | GND |
| AK4 | MC1_DDR_CB2 | C24 | VDDE_1V8 | U22 | VDD |
| AK5 | MC1_DDR_CB7 | C25 | HT0_RX_CADp02 | U23 | GND |
| AK6 | GND | C26 | VDDE_1V8 | U24 | VDD |
| AK7 | MC1_DDR_CB6 | C27 | HT0_RX_CLKp0 | U25 | GND |
| AK33 | MC0_DDR_CB6 | C28 | VDDE_1V8 | U26 | VDD |
| AK34 | GND | C29 | HT0_RX_CADp05 | U27 | GND |
| AK35 | MC0_DDR_CB7 | C30 | VDDE_1V8 | U33 | GND |
| AK36 | MC0_DDR_CB2 | C31 | HT0_RX_CADp07 | U34 | VDDE_3V3 |
| AK37 | MC0_DDR_CB3 | C32 | VDDE_1V8 | U35 | GPIO02 |
| AK38 | MC0_DDR_DQSp8 | C33 | NC_HT0_PLL_AVDD | U36 | GPIO03 |
| AK39 | MC0_DDR_DQSn8 | C34 | HT0_TX_CADn14 | U37 | GPIO04 |
| AL1 | MC1_DDR_CKE2 | C35 | GND | U38 | GPIO00 |
| AL2 | MC1_DDR_BA2 | C36 | GND | U39 | GPIO01 |
| AL3 | MC1_DDR_CKE0 | C37 | HT0_TX_CADn06 | V1 | CLKSEL02 |
| AL4 | VDDE_DDR | C38 | HT0_TX_CADp06 | V2 | CLKSEL01 |
| AL5 | MC1_DDR_CKE1 | C39 | HT0_TX_CADn05 | V3 | CLKSEL04 |
| AL6 | MC1_DDR_CKE3 | D1 | HT1_TX_CADp05 | V4 | CLKSEL00 |
| AL7 | VDD_MEM | D2 | GND | V5 | CLKSEL03 |
| AL33 | VDD_MEM | D3 | GND | V6 | GND |
| AL34 | MC0_DDR_CKE3 | D4 | HT1_TX_CADn13 | V7 | GND |
| AL35 | MC0_DDR_CKE1 | D5 | HT1_TX_CADp13 | V13 | VDD |
| AL36 | VDDE_DDR | D6 | HT1_TX_CADp14 | V14 | GND |
| AL37 | MC0_DDR_CKE0 | D7 | HT1_PLL_AGND | V15 | VDD |
| AL38 | MC0_DDR_BA2 | D8 | HT1_RX_CTLp1 | V16 | GND |
| AL39 | MC0_DDR_CKE2 | D9 | GND | V17 | VDD |
| AM1 | MC1_DDR_A09 | D10 | HT1_RX_CADp14 | V18 | GND |
| AM2 | MC1_DDR_A11 | D11 | GND | V19 | VDD |
| AM3 | GND | D12 | HT1_RX_CADp12 | V20 | GND |
| AM4 | MC1_DDR_A12 | D13 | GND | V21 | VDD |
| AM5 | MC1_DDR_A14 | D14 | HT1_RX_CADp11 | V22 | GND |
| AM6 | MC1_DDR_RESETn | D15 | GND | V23 | VDD |
| AM7 | MC1_DDR_A15 | D16 | HT1_RX_CADp09 | V24 | GND |
| AM33 | MC0_DDR_A15 | D17 | GND | V25 | VDD |
| AM34 | MC0_DDR_RESETn | D18 | HT1_HI_RSTn | V26 | GND |
| AM35 | MC0_DDR_A14 | D19 | HT1_HI_POWEROK | V27 | VDD |

| Pin Number | Net Name | Pin Number | Net Name | Pin Number | Net Name |
|------------|---------------|------------|------------------|------------|---------------|
| AM36 | MC0_DDR_A12 | D20 | CORE_PLL_GNDE | V33 | VDDE_3V3 |
| AM37 | GND | D21 | HT0_HI_POWEROK | V34 | GND |
| AM38 | MC0_DDR_A11 | D22 | HT0_HI_RSTn | V35 | LPC_LAD1 |
| AM39 | MC0_DDR_A09 | D23 | GND | V36 | LPC_LAD3 |
| AN1 | MC1_DDR_A04 | D24 | HT0_RX_CADp09 | V37 | LPC_LAD2 |
| AN2 | MC1_DDR_A06 | D25 | GND | V38 | LPC_LAD0 |
| AN3 | MC1_DDR_A05 | D26 | HT0_RX_CADp11 | V39 | LPC_SERIRQ |
| AN4 | VDDE_DDR | D27 | GND | W1 | GND |
| AN5 | MC1_DDR_A07 | D28 | HT0_RX_CADp12 | W2 | VDD |
| AN6 | MC1_DDR_A08 | D29 | GND | W3 | GND |
| AN7 | NC3_MC1_REXT | D30 | HT0_RX_CADp14 | W4 | VDD |
| AN8 | MC1_DDR_DQ46 | D31 | GND | W5 | GND |
| AN9 | MC1_DDR_DQ52 | D32 | HT0_RX_CTLp1 | W6 | VDD |
| AN10 | VDD_MEM | D33 | HT0_PLL_AGND | W7 | VDD |
| AN11 | GND | D34 | HT0_TX_CADp14 | W13 | GND |
| AN12 | VDDE_VREF | D35 | HT0_TX_CADp13 | W14 | VDD |
| AN13 | VDDE_VREF | D36 | HT0_TX_CADn13 | W15 | GND |
| AN14 | PCI_IRQnD | D37 | GND | W16 | VDD |
| AN15 | GND | D38 | GND | W17 | GND |
| AN16 | GND | D39 | HT0_TX_CADp05 | W18 | VDD |
| AN17 | GND | E1 | HT1_TX_CLKn0 | W19 | GND |
| AN18 | GND | E2 | HT1_TX_CADp04 | W20 | VDD |
| AN19 | GND | E3 | HT1_TX_CADn04 | W21 | GND |
| AN20 | GND | E4 | VDDE_1V8 | W22 | VDD |
| AN21 | GND | E5 | VDDE_1V8 | W23 | GND |
| AN22 | GND | E6 | HT1_TX_CADn12 | W24 | VDD |
| AN23 | GND | E7 | HT1_PLL_DVDD | W25 | GND |
| AN24 | PCI_GNTn6 | E8 | HT1_RX_CTLn1 | W26 | VDD |
| AN25 | GND | E9 | GND | W27 | GND |
| AN26 | GND | E10 | HT1_RX_CADn14 | W33 | GND |
| AN27 | VDDE_VREF | E11 | GND | W34 | VDDE_3V3 |
| AN28 | VDDE_VREF | E12 | HT1_RX_CADn12 | W35 | GND |
| AN29 | GND | E13 | GND | W36 | GND |
| AN30 | VDD_MEM | E14 | HT1_RX_CADn11 | W37 | LPC_ROM8MBITS |
| AN31 | MC0_DDR_DQ52 | E15 | GND | W38 | LPC_ROMINTEL |
| AN32 | MC0_DDR_DQ46 | E16 | HT1_RX_CADn09 | W39 | LPC_LFRAMEn |
| AN33 | NC4_MC0_REXT | E17 | GND | Y1 | MC1_DDR_DQ01 |
| AN34 | MC0_DDR_A08 | E18 | HT1_HI_LDT_REQn | Y2 | MC1_DDR_DQ00 |
| AN35 | MC0_DDR_A07 | E19 | HT1_HI_LDT_STOPn | Y3 | MC1_DDR_DQM0 |
| AN36 | VDDE_DDR | E20 | VDDESB | Y4 | GND |
| AN37 | MC0_DDR_A05 | E21 | HT0_HI_LDT_STOPn | Y5 | MC1_DDR_DQ05 |
| AN38 | MC0_DDR_A06 | E22 | HT0_HI_LDT_REQn | Y6 | MC1_DDR_DQ04 |
| AN39 | MC0_DDR_A04 | E23 | GND | Y7 | GND |
| AP1 | MC1_DDR_A00 | E24 | HT0_RX_CADn09 | Y13 | VDD |
| AP2 | MC1_DDR_CLKn3 | E25 | GND | Y14 | GND |

| Pin Number | Net Name | Pin Number | Net Name | Pin Number | Net Name |
|------------|------------------------|------------|---------------|------------|--------------|
| AP3 | MC1_DDR_CLKp3 | E26 | HT0_RX_CADn11 | Y15 | VDD |
| AP4 | MC1_DDR_A01 | E27 | GND | Y16 | GND |
| AP5 | MC1_DDR_A02 | E28 | HT0_RX_CADn12 | Y17 | VDD |
| AP6 | MC1_DDR_A03 | E29 | GND | Y18 | GND |
| AP7 | GND | E30 | HT0_RX_CADn14 | Y19 | VDD |
| AP8 | MC1_DDR_DQ42 | E31 | GND | Y20 | GND |
| AP9 | MC1_DDR_DQ48 | E32 | HT0_RX_CTLn1 | Y21 | VDD |
| AP10 | MC1_DDR_DQM6 | E33 | HT0_PLL_DVDD | Y22 | GND |
| AP11 | MC1_DDR_DQ54 | E34 | HT0_TX_CADn12 | Y23 | VDD |
| AP12 | MC1_DDR_DQ58 | E35 | VDDE_1V8 | Y24 | GND |
| AP13 | MC1_DDR_DQ63 | E36 | VDDE_1V8 | Y25 | VDD |
| AP14 | PCI_IRQnB | E37 | HT0_TX_CADn04 | Y26 | GND |
| AP15 | PCI_GNTn2 | E38 | HT0_TX_CADp04 | Y27 | VDD |
| AP16 | PCI_REQn5 | E39 | HT0_TX_CLKn0 | Y33 | GND |
| AP17 | PCI_GNTn5 | F1 | HT1_TX_CLKp0 | Y34 | MC0_DDR_DQ04 |
| AP18 | PCI_CBE _n 3 | F2 | VDDE_1V8 | Y35 | MC0_DDR_DQ05 |
| AP19 | VDDE_3V3 | F3 | VDDE_1V8 | Y36 | GND |
| AP20 | PCI_FRAME _n | F4 | HT1_TX_CLKn1 | Y37 | MC0_DDR_DQM0 |
| AP21 | VDDE_3V3 | F5 | HT1_TX_CLKp1 | Y38 | MC0_DDR_DQ00 |
| AP22 | PCI_AD14 | F6 | HT1_TX_CADp12 | Y39 | MC0_DDR_DQ01 |
| AP23 | VDDE_3V3 | F7 | HT1_PLL_DGND | | |

9.2 FCBGA 引脚顶层排列

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
|----|---------------|---------------|---------------|---------------|---------------|----------------|-----------------|
| A | HT1_TX_CADn07 | HT1_TX_CTLp0 | HT1_TX_CTLn0 | VDDE_1V8 | NC1_HT1_REXT | HT1_TX_CTLp1 | HT1CLKp |
| B | HT1_TX_CADp07 | VDDE_1V8 | VDDE_1V8 | HT1_TX_CADn15 | HT1_TX_CADp15 | HT1_TX_CTLn1 | HT1CLKn |
| C | HT1_TX_CADn05 | HT1_TX_CADp06 | HT1_TX_CADn06 | GND | GND | HT1_TX_CADn14 | NC_HT1_PLL_AVDD |
| D | HT1_TX_CADp05 | GND | GND | HT1_TX_CADn13 | HT1_TX_CADp13 | HT1_TX_CADp14 | HT1_PLL_AGND |
| E | HT1_TX_CLKn0 | HT1_TX_CADp04 | HT1_TX_CADn04 | VDDE_1V8 | VDDE_1V8 | HT1_TX_CADn12 | HT1_PLL_DVDD |
| F | HT1_TX_CLKp0 | VDDE_1V8 | VDDE_1V8 | HT1_TX_CLKn1 | HT1_TX_CLKp1 | HT1_TX_CADp12 | HT1_PLL_DGND |
| G | HT1_TX_CADn02 | HT1_TX_CADp03 | HT1_TX_CADn03 | GND | GND | HT1_TX_CADn11 | GND |
| H | HT1_TX_CADp02 | GND | GND | HT1_TX_CADn10 | HT1_TX_CADp10 | HT1_TX_CADp11 | GND |
| J | HT1_TX_CADn00 | HT1_TX_CADp01 | HT1_TX_CADn01 | VDDE_1V8 | VDDE_1V8 | HT1_TX_CADn09 | VDDE_1V2 |
| K | HT1_TX_CADp00 | VDDE_1V8 | VDDE_1V8 | HT1_TX_CADn08 | HT1_TX_CADp08 | HT1_TX_CADp09 | VDDE_1V2 |
| L | UART0_RI | UART1_DCD | PCI_CONFIG7 | PCI_CONFIG6 | PCI_CONFIG5 | VDDE_3V3 | GND |
| M | UART1_RTS | UART0_DTR | UART0_RXD | PCI_CONFIG0 | PCI_CONFIG3 | GND | VDDE_3V3 |
| N | UART1_DTR | UART0_CTS | PCI_CONFIG2 | PCI_CONFIG1 | PCI_CONFIG4 | VDDE_3V3 | GND |
| P | UART1_RXD | UART1_DSR | UART0_RTS | UART0_DSR | UART0_DCD | UART0_TXD | VDDE_3V3 |
| R | NODE_ID0 | UART1_RI | CLKSEL15 | ICCC_EN | UART1_TXD | UART1_CTS | GND |
| T | CLKSEL11 | CLKSEL08 | CLKSEL14 | CLKSEL10 | CLKSEL13 | NODE_ID1 | GND |
| U | CLKSEL07 | CLKSEL06 | CLKSEL09 | CLKSEL05 | CLKSEL12 | VDD | VDD |
| V | CLKSEL02 | CLKSEL01 | CLKSEL04 | CLKSEL00 | CLKSEL03 | GND | GND |
| W | GND | VDD | GND | VDD | GND | VDD | VDD |
| Y | MC1_DDR_DQ01 | MC1_DDR_DQ00 | MC1_DDR_DQM0 | GND | MC1_DDR_DQ05 | MC1_DDR_DQ04 | GND |
| AA | MC1_DDR_DQSp0 | MC1_DDR_DQSn0 | MC1_DDR_DQ06 | MC1_DDR_DQ03 | VDDE_DDR | MC1_DDR_DQ07 | MC1_DDR_DQ02 |
| AB | MC1_DDR_DQM1 | MC1_DDR_DQ13 | MC1_DDR_DQ09 | GND | MC1_DDR_DQ08 | MC1_DDR_DQ12 | VDD_MEM |
| AC | MC1_DDR_DQSn1 | MC1_DDR_DQSp1 | VDDE_DDR | MC1_DDR_CLKp1 | MC1_DDR_CLKn1 | MC1_DDR_DQ14 | MC1_DDR_DQ10 |
| AD | MC1_DDR_CLKp0 | MC1_DDR_CLKn0 | GND | MC1_DDR_DQ15 | MC1_DDR_DQ11 | MC1_DDR_DQ20 | GND |
| AE | MC1_DDR_DQSn2 | MC1_DDR_DQSp2 | MC1_DDR_DQM2 | VDDE_DDR | MC1_DDR_DQ17 | MC1_DDR_DQ21 | MC1_DDR_DQ16 |
| AF | MC1_DDR_DQ23 | MC1_DDR_DQ19 | MC1_DDR_DQ28 | MC1_DDR_DQ18 | GND | MC1_DDR_DQ22 | VDD_MEM |
| AG | MC1_DDR_DQSn3 | MC1_DDR_DQSp3 | MC1_DDR_DQ25 | VDDE_DDR | MC1_DDR_DQ29 | MC1_DDR_DQ24 | GND |
| AH | MC1_DDR_DQ27 | MC1_DDR_DQ31 | GND | MC1_DDR_DQM3 | MC1_DDR_DQ26 | MC1_DDR_DQ30 | VDD_MEM |
| AJ | MC1_DDR_DQM8 | MC1_DDR_CB1 | MC1_DDR_CB0 | MC1_DDR_CB5 | VDDE_DDR | MC1_DDR_CB4 | GND |
| AK | MC1_DDR_DQSn8 | MC1_DDR_DQSp8 | MC1_DDR_CB3 | MC1_DDR_CB2 | MC1_DDR_CB7 | GND | MC1_DDR_CB6 |
| AL | MC1_DDR_CKE2 | MC1_DDR_BA2 | MC1_DDR_CKE0 | VDDE_DDR | MC1_DDR_CKE1 | MC1_DDR_CKE3 | VDD_MEM |
| AM | MC1_DDR_A09 | MC1_DDR_A11 | GND | MC1_DDR_A12 | MC1_DDR_A14 | MC1_DDR_RESETn | MC1_DDR_A15 |
| AN | MC1_DDR_A04 | MC1_DDR_A06 | MC1_DDR_A05 | VDDE_DDR | MC1_DDR_A07 | MC1_DDR_A08 | NC3_MC1_REXT |
| AP | MC1_DDR_A00 | MC1_DDR_CLKn3 | MC1_DDR_CLKp3 | MC1_DDR_A01 | MC1_DDR_A02 | MC1_DDR_A03 | GND |
| AR | MC1_DDR_CLKn2 | MC1_DDR_CLKp2 | MC1_DDR_RASn | MC1_DDR_BA0 | MC1_DDR_BA1 | MC1_DDR_A10 | MC1_DDR_DQ44 |
| AT | MC1_DDR_SCSn0 | MC1_DDR_WEn | MC1_DDR_SCSn2 | MC1_DDR_CASn | MC1_DDR_ODT0 | MC1_DDR_ODT2 | MC1_DDR_DQ40 |
| AU | MC1_DDR_SCSn3 | MC1_DDR_SCSn1 | GND | MC1_DDR_A13 | MC1_DDR_ODT1 | MC1_DDR_ODT3 | MC1_DDR_DQ45 |
| AV | MC1_DDR_DQ33 | MC1_DDR_DQM4 | MC1_DDR_DQ37 | VDDE_DDR | MC1_DDR_DQ32 | MC1_DDR_DQ36 | MC1_DDR_DQ41 |
| AW | MC1_DDR_DQSn4 | MC1_DDR_DQSp4 | MC1_DDR_DQ38 | MC1_DDR_DQ39 | MC1_DDR_DQ34 | MC1_DDR_DQ35 | MC1_DDR_DQM5 |
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| | 8 | 9 | 10 | 11 | 12 | 13 | 14 |
| | | | | | | | 15 |

| | | | | | | | |
|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
| HT1_RX_CTLn0 | HT1_RX_CTLp0 | HT1_RX_CADn06 | HT1_RX_CADp06 | HT1_RX_CADn04 | HT1_RX_CADp04 | HT1_RX_CADn03 | HT1_RX_CADp03 |
| VDDE_1V8 | HT1_RX_CADn07 | VDDE_1V8 | HT1_RX_CADn05 | VDDE_1V8 | HT1_RX_CLKn0 | VDDE_1V8 | HT1_RX_CADn02 |
| VDDE_1V8 | HT1_RX_CADp07 | VDDE_1V8 | HT1_RX_CADp05 | VDDE_1V8 | HT1_RX_CLKp0 | VDDE_1V8 | HT1_RX_CADp02 |
| HT1_RX_CTLp1 | GND | HT1_RX_CADp14 | GND | HT1_RX_CADp12 | GND | HT1_RX_CADp11 | GND |
| HT1_RX_CTLn1 | GND | HT1_RX_CADn14 | GND | HT1_RX_CADn12 | GND | HT1_RX_CADn11 | GND |
| HT1_RX_CADn15 | HT1_RX_CADp15 | HT1_RX_CADn13 | HT1_RX_CADp13 | HT1_RX_CLKp1 | HT1_RX_CLKn1 | HT1_RX_CADn10 | HT1_RX_CADp10 |
| VDDE_1V2 | VDDE_1V2 | GND | GND | VDDE_1V2 | VDDE_1V2 | GND | GND |

| | | | |
|----|-----|-----|-----|
| | 13 | 14 | 15 |
| N | GND | VDD | GND |
| P | VDD | GND | VDD |
| R | GND | VDD | GND |
| T | VDD | GND | VDD |
| U | GND | VDD | GND |
| V | VDD | GND | VDD |
| W | GND | VDD | GND |
| Y | VDD | GND | VDD |
| AA | GND | VDD | GND |
| AB | VDD | GND | VDD |
| AC | GND | VDD | GND |
| AD | VDD | GND | VDD |
| AE | GND | VDD | GND |
| AF | VDD | GND | VDD |
| AG | GND | VDD | GND |
| | 13 | 14 | 15 |

| | | | | | | | |
|---------------|---------------|---------------|--------------|--------------|---------------|------------|-----------|
| MC1_DDR_DQ46 | MC1_DDR_DQ52 | VDD_MEM | GND | VDDE_VREF | VDDE_VREF | PCI_IRQnD | GND |
| MC1_DDR_DQ42 | MC1_DDR_DQ48 | MC1_DDR_DQM6 | MC1_DDR_DQ54 | MC1_DDR_DQ58 | MC1_DDR_DQ63 | PCI_IRQnB | PCI_GNTn2 |
| MC1_DDR_DQ47 | MC1_DDR_DQ53 | VDDE_DDR | MC1_DDR_DQ50 | MC1_DDR_DQ56 | MC1_DDR_DQ59 | PCI_RESETn | PCI_REQn2 |
| VDDE_DDR | MC1_DDR_DQ49 | MC1_DDR_DQSn6 | MC1_DDR_DQ55 | VDDE_DDR | GND | VDDE_3V3 | PCI_GNTn1 |
| MC1_DDR_DQSn5 | GND | MC1_DDR_DQSp6 | GND | MC1_DDR_DQ61 | MC1_DDR_DQSn7 | PCI_IRQnA | PCI_REQn1 |
| MC1_DDR_DQSp5 | MC1_DDR_CLKn4 | MC1_DDR_CLKp5 | MC1_DDR_DQ51 | MC1_DDR_DQ57 | MC1_DDR_DQSp7 | PCI_IRQnC | PCI_GNTn0 |
| MC1_DDR_DQ43 | MC1_DDR_CLKp4 | MC1_DDR_CLKn5 | MC1_DDR_DQ60 | MC1_DDR_DQM7 | MC1_DDR_DQ62 | PCI_CLK | PCI_REQn0 |
| 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |

| | | | | | | |
|---------------|------------------|------------------|---------------|-----------------|------------------|---------------|
| 17 | 18 | 19 | 20 | 21 | 22 | 23 |
| HT1_RX_CADp01 | HT1_LO_RSTn | HT1_LO_POWEROK | SYSCLK | HTO_LO_POWEROK | HTO_LO_RSTn | HTO_RX_CADp01 |
| HT1_RX_CADn00 | HT1_LO_LDT_STOPn | HT1_LO_LDT_REQn | SYSRESETn | HTO_LO_LDT_REQn | HTO_LO_LDT_STOPn | HTO_RX_CADn00 |
| HT1_RX_CADp00 | HT1_8x2 | NC_CORE_PLL_AVDD | CORE_PLL_GND | CORE_PLL_DVDD | HTO_8x2 | HTO_RX_CADp00 |
| GND | HT1_HI_RSTn | HT1_HI_POWEROK | CORE_PLL_GNDE | HTO_HI_POWEROK | HTO_HI_RSTn | GND |

| | | | | | | |
|--|-----------------|------------------|-------------|------------------|-----------------|---------------|
| GND | HT1_HI_LDT_REQn | HT1_HI_LDT_STOPn | VDDESB | HTO_HI_LDT_STOPn | HTO_HI_LDT_REQn | GND |
| HT1_RX_CADp08 | HT1_HI_HOSTMODE | HT1_LO_HOSTMODE | GND | HTO_LO_HOSTMODE | HTO_HI_HOSTMODE | HTO_RX_CADp08 |
| GND | VDDESB | GND | VDDESB | GND | VDDESB | GND |
| 17 18 19 20 21 22 23 | | | | | | |
| GND | VDD | GND | VDD | GND | VDD | GND |
| VDD | GND | VDD | GND | VDD | GND | VDD |
| GND | VDD | GND | VDD | GND | VDD | GND |
| VDD | GND | VDD | GND | VDD | GND | VDD |
| GND | VDD | GND | VDD | GND | VDD | GND |
| VDD | GND | VDD | GND | VDD | GND | VDD |
| GND | VDD | GND | VDD | GND | VDD | GND |
| VDD | GND | VDD | GND | VDD | GND | VDD |
| GND | VDD | GND | VDD | GND | VDD | GND |
| VDD | GND | VDD | GND | VDD | GND | VDD |
| GND | VDD | GND | VDD | GND | VDD | GND |
| VDD | GND | VDD | GND | VDD | GND | VDD |
| GND | VDD | GND | VDD | GND | VDD | GND |
| VDD | GND | VDD | GND | VDD | GND | VDD |
| GND | VDD | GND | VDD | GND | VDD | GND |
| VDD | GND | VDD | GND | VDD | GND | VDD |
| GND | VDD | GND | VDD | GND | VDD | GND |
| VDD | GND | VDD | GND | VDD | GND | VDD |
| 17 18 19 20 21 22 23 | | | | | | |
| GND | GND | GND | GND | GND | GND | GND |
| PCI_GNTn5 | PCI_CBEEn3 | VDDE_3V3 | PCI_FRAMEEn | VDDE_3V3 | PCI_AD14 | VDDE_3V3 |
| PCI_AD28 | PCI_AD23 | PCI_AD19 | PCI_IRDYn | PCI_PERR | PCI_AD13 | PCI_AD09 |
| PCI_AD27 | VDDE_3V3 | PCI_AD18 | VDDE_3V3 | PCI_SERR | VDDE_3V3 | PCI_AD08 |
| PCI_AD30 | PCI_AD26 | PCI_AD22 | PCI_AD17 | PCI_TRDYn | PCI_PAR | PCI_AD11 |
| PCI_AD31 | PCI_AD25 | PCI_AD21 | PCI_AD16 | PCI_DEVSELn | PCI_AD15 | PCI_AD12 |
| PCI_AD29 | PCI_AD24 | PCI_AD20 | PCI_CBEEn2 | PCI_STOPn | PCI_CBEEn1 | PCI_AD10 |
| 17 18 19 20 21 22 23 | | | | | | |

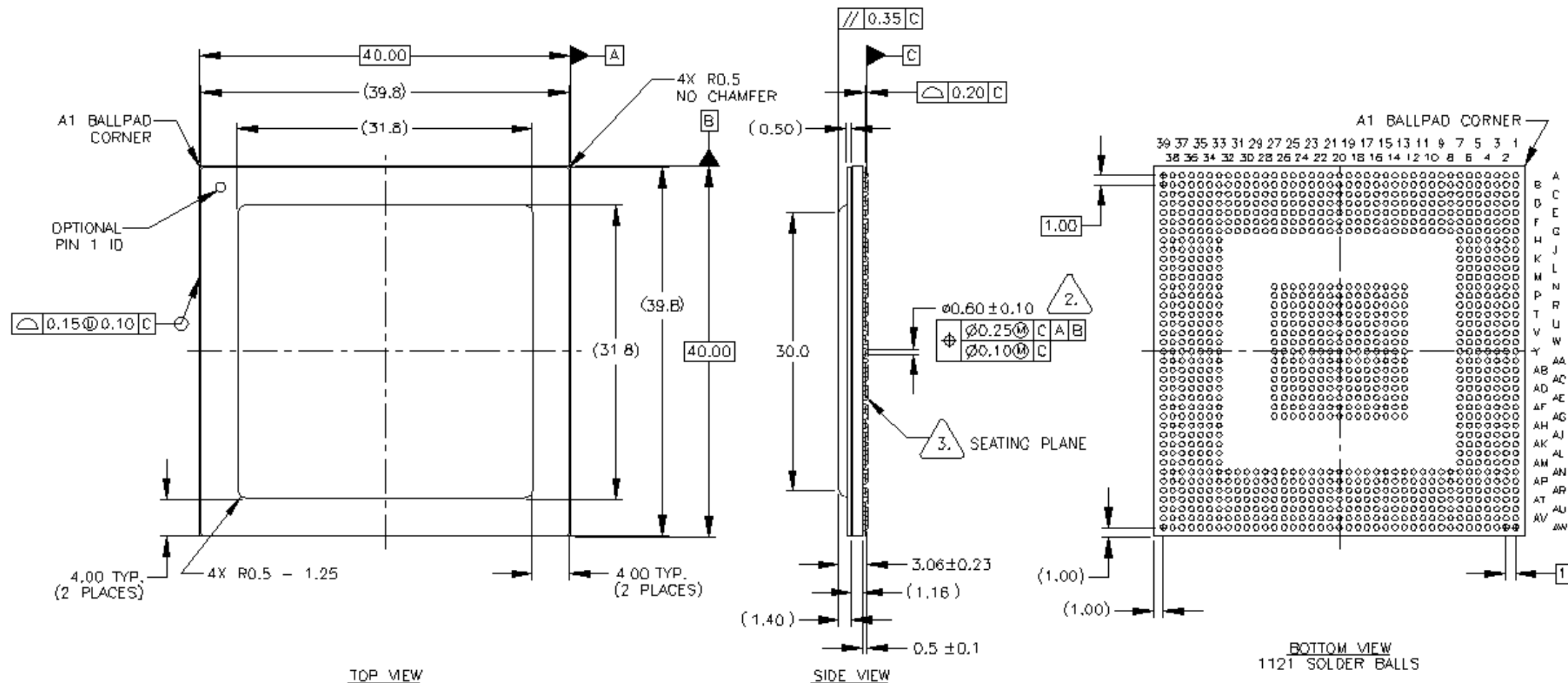
| | | | | | | | |
|--|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
| 24 25 26 27 28 29 30 31 | | | | | | | |
| HTO_RX_CADn01 | HTO_RX_CADp03 | HTO_RX_CADn03 | HTO_RX_CADp04 | HTO_RX_CADn04 | HTO_RX_CADp06 | HTO_RX_CADn06 | HTO_RX_CTLp0 |
| VDDE_1V8 | HTO_RX_CADn02 | VDDE_1V8 | HTO_RX_CLKn0 | VDDE_1V8 | HTO_RX_CADn05 | VDDE_1V8 | HTO_RX_CADn07 |
| VDDE_1V8 | HTO_RX_CADp02 | VDDE_1V8 | HTO_RX_CLKp0 | VDDE_1V8 | HTO_RX_CADp05 | VDDE_1V8 | HTO_RX_CADp07 |
| HTO_RX_CADp09 | GND | HTO_RX_CADp11 | GND | HTO_RX_CADp12 | GND | HTO_RX_CADp14 | GND |
| HTO_RX_CADn09 | GND | HTO_RX_CADn11 | GND | HTO_RX_CADn12 | GND | HTO_RX_CADn14 | GND |
| HTO_RX_CADn08 | HTO_RX_CADp10 | HTO_RX_CADn10 | HTO_RX_CLKn1 | HTO_RX_CLKp1 | HTO_RX_CADp13 | HTO_RX_CADn13 | HTO_RX_CADp15 |
| VDDE_1V2 | GND | GND | VDDE_1V2 | VDDE_1V2 | GND | GND | VDDE_1V2 |

| | | | | | | | | | | | | | | | |
|------------------------|------------------------|-----------|---------------|--------------|--------------|---------------|---------------|----|--|----|--|----|--|----|--|
| 24 | | 25 | | 26 | | 27 | | | | | | | | | |
| VDD | GND | VDD | GND | VDD | GND | VDD | GND | N | | | | | | | |
| GND | VDD | GND | VDD | GND | VDD | GND | VDD | P | | | | | | | |
| VDD | GND | VDD | GND | VDD | GND | VDD | GND | R | | | | | | | |
| GND | VDD | GND | VDD | GND | VDD | GND | VDD | T | | | | | | | |
| VDD | GND | VDD | GND | VDD | GND | VDD | GND | U | | | | | | | |
| GND | VDD | GND | VDD | GND | VDD | GND | VDD | V | | | | | | | |
| VDD | GND | VDD | GND | VDD | GND | VDD | GND | W | | | | | | | |
| GND | VDD | GND | VDD | GND | VDD | GND | VDD | Y | | | | | | | |
| VDD | GND | VDD | GND | VDD | GND | VDD | GND | AA | | | | | | | |
| GND | VDD | GND | VDD | GND | VDD | GND | VDD | AB | | | | | | | |
| VDD | GND | VDD | GND | VDD | GND | VDD | GND | AC | | | | | | | |
| GND | VDD | GND | VDD | GND | VDD | GND | VDD | AD | | | | | | | |
| VDD | GND | VDD | GND | VDD | GND | VDD | GND | AE | | | | | | | |
| GND | VDD | GND | VDD | GND | VDD | GND | VDD | AF | | | | | | | |
| VDD | GND | VDD | GND | VDD | GND | VDD | GND | AG | | | | | | | |
| 24 | | 25 | | 26 | | 27 | | | | | | | | | |
| PCI_GNTn6 | GND | GND | VDDE_VREF | VDDE_VREF | GND | VDD_MEM | MC0_DDR_DQ52 | | | | | | | | |
| PCI_CBE _n 0 | PCI_REQ _n 6 | PCI_IDSEL | MC0_DDR_DQ63 | MC0_DDR_DQ58 | MC0_DDR_DQ54 | MC0_DDR_DQM6 | MC0_DDR_DQ48 | | | | | | | | |
| PCI_AD07 | PCI_AD05 | PCI_AD03 | MC0_DDR_DQ59 | MC0_DDR_DQ56 | MC0_DDR_DQ50 | VDDE_DDR | MC0_DDR_DQ53 | | | | | | | | |
| VDDE_3V3 | PCI_AD04 | VDDE_3V3 | GND | VDDE_DDR | MC0_DDR_DQ55 | MC0_DDR_DQSn6 | MC0_DDR_DQ49 | | | | | | | | |
| DDR_PLL_GND | PCI_AD06 | PCI_AD00 | MC0_DDR_DQSn7 | MC0_DDR_DQ61 | GND | MC0_DDR_DQSp6 | GND | | | | | | | | |
| DDR_PLL_DVDD | DDR_PLL_GNDE | PCI_AD02 | MC0_DDR_DQSp7 | MC0_DDR_DQ57 | MC0_DDR_DQ51 | MC0_DDR_CLKp5 | MC0_DDR_CLKn4 | | | | | | | | |
| MEMCLK | NC_DDR_PLL_AVDD | PCI_AD01 | MC0_DDR_DQ62 | MC0_DDR_DQM7 | MC0_DDR_DQ60 | MC0_DDR_CLKn5 | MC0_DDR_CLKp4 | | | | | | | | |
| 24 | | 25 | | 26 | | 27 | | 28 | | 29 | | 30 | | 31 | |

| | | | | | | | | | | | | | | | | |
|---------------|-----------------|---------------|---------------|------------------|---------------|---------------|---------------|----|--|----|--|----|--|----|--|---|
| 32 | | 33 | | 34 | | 35 | | 36 | | 37 | | 38 | | 39 | | |
| HTO_RX_CTLn0 | HTOCLKp | HTO_TX_CTLp1 | NC2_HTO_REXT | VDDE_1V8 | HTO_TX_CTLn0 | HTO_TX_CTLp0 | HTO_TX_CADn07 | | | | | | | | | A |
| VDDE_1V8 | HTOCLKn | HTO_TX_CTLn1 | HTO_TX_CADp15 | HTO_TX_CADn15 | VDDE_1V8 | VDDE_1V8 | HTO_TX_CADp07 | | | | | | | | | B |
| VDDE_1V8 | NC_HTO_PLL_AVDD | HTO_TX_CADn14 | GND | GND | HTO_TX_CADn06 | HTO_TX_CADp06 | HTO_TX_CADn05 | | | | | | | | | C |
| HTO_RX_CTLp1 | HTO_PLL_AGND | HTO_TX_CADp14 | HTO_TX_CADp13 | HTO_TX_CADn13 | GND | GND | HTO_TX_CADp05 | | | | | | | | | D |
| HTO_RX_CTLn1 | HTO_PLL_DVDD | HTO_TX_CADn12 | VDDE_1V8 | VDDE_1V8 | HTO_TX_CADn04 | HTO_TX_CADp04 | HTO_TX_CLKn0 | | | | | | | | | E |
| HTO_RX_CADn15 | HTO_PLL_DGND | HTO_TX_CADp12 | HTO_TX_CLKp1 | HTO_TX_CLKn1 | VDDE_1V8 | VDDE_1V8 | HTO_TX_CLKp0 | | | | | | | | | F |
| VDDE_1V2 | GND | HTO_TX_CADn11 | GND | GND | HTO_TX_CADn03 | HTO_TX_CADp03 | HTO_TX_CADn02 | | | | | | | | | G |
| | GND | HTO_TX_CADp11 | HTO_TX_CADp10 | HTO_TX_CADn10 | GND | GND | HTO_TX_CADp02 | | | | | | | | | H |
| | VDDE_1V2 | HTO_TX_CADn09 | VDDE_1V8 | VDDE_1V8 | HTO_TX_CADn01 | HTO_TX_CADp01 | HTO_TX_CADn00 | | | | | | | | | J |
| | VDDE_1V2 | HTO_TX_CADp09 | HTO_TX_CADp08 | HTO_TX_CADn08 | VDDE_1V8 | VDDE_1V8 | HTO_TX_CADp00 | | | | | | | | | K |
| | GND | VDDE_3V3 | INTn1 | NMI _n | INTn0 | SPI_SDO | HTCLK | | | | | | | | | L |

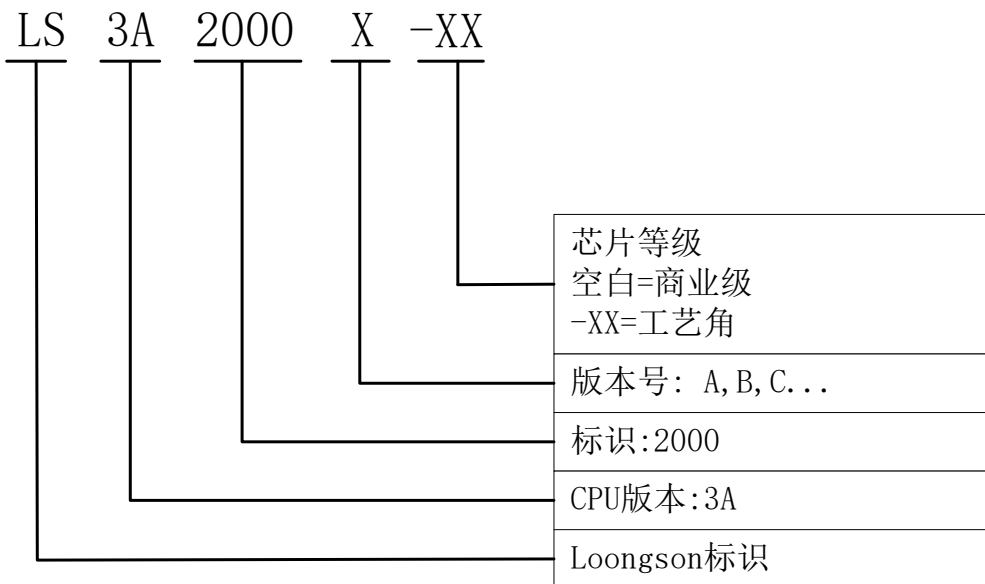
| | | | | | | | | |
|---------------|----------------|---------------|---------------|---------------|---------------|---------------|---------------|----|
| VDDE_3V3 | GND | INTn3 | INTn2 | SPI_SDI | DOTEST | TMS | M | |
| GND | VDDE_3V3 | SPI_SCK | TDO | TESTCLK | TDI | TRST | N | |
| VDDE_3V3 | EJTAG_TDO | TCK | EJTAG_TCK | EJTAG_TMS | EJTAG_TDI | EJTAG_TRST | P | |
| GND | GPI015 | GPI012 | GPI014 | GPI013 | GPI010 | GPI011 | R | |
| VDDE_3V3 | GND | GPI007 | GPI009 | GPI008 | GPI005 | GPI006 | T | |
| GND | VDDE_3V3 | GPI002 | GPI003 | GPI004 | GPI000 | GPI001 | U | |
| VDDE_3V3 | GND | LPC_LAD1 | LPC_LAD3 | LPC_LAD2 | LPC_LAD0 | LPC_SERIRQ | V | |
| GND | VDDE_3V3 | GND | GND | LPC_ROM8MBITS | LPC_ROMINTEL | LPC_LFRAMEn | W | |
| GND | MCO_DDR_DQ04 | MCO_DDR_DQ05 | GND | MCO_DDR_DQM0 | MCO_DDR_DQ00 | MCO_DDR_DQ01 | Y | |
| MCO_DDR_DQ02 | MCO_DDR_DQ07 | VDDE_DDR | MCO_DDR_DQ03 | MCO_DDR_DQ06 | MCO_DDR_DQSn0 | MCO_DDR_DQSp0 | AA | |
| VDD_MEM | MCO_DDR_DQ12 | MCO_DDR_DQ08 | GND | MCO_DDR_DQ09 | MCO_DDR_DQ13 | MCO_DDR_DQM1 | AB | |
| MCO_DDR_DQ10 | MCO_DDR_DQ14 | MCO_DDR_CLKn1 | MCO_DDR_CLKp1 | VDDE_DDR | MCO_DDR_DQSp1 | MCO_DDR_DQSn1 | AC | |
| GND | MCO_DDR_DQ20 | MCO_DDR_DQ11 | MCO_DDR_DQ15 | GND | MCO_DDR_CLKn0 | MCO_DDR_CLKp0 | AD | |
| MCO_DDR_DQ16 | MCO_DDR_DQ21 | MCO_DDR_DQ17 | VDDE_DDR | MCO_DDR_DQM2 | MCO_DDR_DQSp2 | MCO_DDR_DQSn2 | AE | |
| VDD_MEM | MCO_DDR_DQ22 | GND | MCO_DDR_DQ18 | MCO_DDR_DQ28 | MCO_DDR_DQ19 | MCO_DDR_DQ23 | AF | |
| GND | MCO_DDR_DQ24 | MCO_DDR_DQ29 | VDDE_DDR | MCO_DDR_DQ25 | MCO_DDR_DQSp3 | MCO_DDR_DQSn3 | AG | |
| VDD_MEM | MCO_DDR_DQ30 | MCO_DDR_DQ26 | MCO_DDR_DQM3 | GND | MCO_DDR_DQ31 | MCO_DDR_DQ27 | AH | |
| GND | MCO_DDR_CB4 | VDDE_DDR | MCO_DDR_CB5 | MCO_DDR_CB0 | MCO_DDR_CB1 | MCO_DDR_DQM8 | AJ | |
| MCO_DDR_CB6 | GND | MCO_DDR_CB7 | MCO_DDR_CB2 | MCO_DDR_CB3 | MCO_DDR_DQSp8 | MCO_DDR_DQSn8 | AK | |
| VDD_MEM | MCO_DDR_CKE3 | MCO_DDR_CKE1 | VDDE_DDR | MCO_DDR_CKE0 | MCO_DDR_BA2 | MCO_DDR_CKE2 | AL | |
| MCO_DDR_A15 | MCO_DDR_RESETh | MCO_DDR_A14 | MCO_DDR_A12 | GND | MCO_DDR_A11 | MCO_DDR_A09 | AM | |
| MCO_DDR_DQ46 | NC4_MCO_REXT | MCO_DDR_A08 | MCO_DDR_A07 | VDDE_DDR | MCO_DDR_A05 | MCO_DDR_A06 | MCO_DDR_A04 | AN |
| MCO_DDR_DQ42 | GND | MCO_DDR_A03 | MCO_DDR_A02 | MCO_DDR_A01 | MCO_DDR_CLKp3 | MCO_DDR_CLKn3 | MCO_DDR_A00 | AP |
| MCO_DDR_DQ47 | MCO_DDR_DQ44 | MCO_DDR_A10 | MCO_DDR_BA1 | MCO_DDR_BA0 | MCO_DDR_RASn | MCO_DDR_CLKp2 | MCO_DDR_CLKn2 | AR |
| VDDE_DDR | MCO_DDR_DQ40 | MCO_DDR_ODT2 | MCO_DDR_ODT0 | MCO_DDR_CASn | MCO_DDR_SCSn2 | MCO_DDR_WEn | MCO_DDR_SCSn0 | AT |
| MCO_DDR_DQSn5 | MCO_DDR_DQ45 | MCO_DDR_ODT3 | MCO_DDR_ODT1 | MCO_DDR_A13 | GND | MCO_DDR_SCSn1 | MCO_DDR_SCSn3 | AU |
| MCO_DDR_DQSp5 | MCO_DDR_DQ41 | MCO_DDR_DQ36 | MCO_DDR_DQ32 | VDDE_DDR | MCO_DDR_DQ37 | MCO_DDR_DQM4 | MCO_DDR_DQ33 | AV |
| MCO_DDR_DQ43 | MCO_DDR_DQM5 | MCO_DDR_DQ35 | MCO_DDR_DQ34 | MCO_DDR_DQ39 | MCO_DDR_DQ38 | MCO_DDR_DQSp4 | MCO_DDR_DQSn4 | AW |
| 32 | 33 | 34 | 35 | 36 | 37 | 38 | 39 | |

10 封装机械尺寸



注：单位为 mm

11 订货信息



AA="SM", Foundry name, English alphabet.

BBBCCC= Wafer Lot number.

DD = "AK", Package manufacturer name, English alphabet.

EEE = XXX, Package manufacturing line number for tracing, Arabic number.

FFF = "CHN", Country of Origin, English alphabet.

GG = XX, Test manufacturer or test line number, English alphabet or Arabic number.

HHH = YWW, Assy year and week, e.g. Mark "503" for 2015, 3'rd week.

12 不使用引脚处理

无论相关总线使用与否，相关的电源地信号必须正确连接。

12.1 系统配置引脚

系统配置引脚包括 DOTEST、CLKSEL、ICCC_EN、NODEID、PCI_CONFIG，不可悬空，必须连接正确输入。

12.2 LPC 总线

LPC 总线不使用时可以悬空。

12.3 PCI 总线

PCI 总线不使用时可以悬空。

但是 LPC/SPI 等启动总线依赖于 PCI_CLK，必须给时钟。

12.4 SPI/UART/GPIO 总线

SPI、UART 或 GPIO 总线不使用时可以悬空。

12.5 DDR 总线

DDR 总线不使用时可以悬空。

12.6 HyperTransport 总线

HyperTransport 总线不使用时可以悬空。

12.7 JTAG/EJTAG 总线、TESTCLK

JTAG/EJTAG 总线、TESTCLK 不使用时可以悬空。

12.8 系统中断管脚

系统中断管理包括 INTn 与 NMI_n，不使用时可以悬空。

13 硬件改动说明

龙芯 3A2000 引脚向下兼容龙芯 3A1000，但为了获得更好的性能，请参考《龙芯 3A2000/3B2000 用户手册 上册》中的“硬件改动说明”一章。