

LOONGSON

龙芯 3B1500 处理器数据手册

2013 年 05 月

龙芯中科技术有限公司

自主决定命运, 创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095
Loongson Industrial Park, building 2, Zhongguancun environmental protection park
Haidian District, Beijing



www.loongson.cn

版权声明

本档版权归北京龙芯中科技术有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

阅读指南

《龙芯 3B1500 处理器数据手册》主要介绍龙芯 3B1500 处理器接口结构，特性，电气规范，以及硬件设计指导。

修订历史

文档更新记录	文档编号:			
	文档名:		龙芯 3B1500 处理器数据手册	
	版本号		V1.4	
	创建人:		研发中心	
	创建日期 :		2013-05-10	
更新历史				
序号	更新日期	更新人	版本号	更新内容
1	2012-07-10	研发中心	V1.0	初稿完成
2	2012-10-02	研发中心	V1.1	修改部分引脚描述
3	2012-11-11	研发中心	V1.2	修改部分参数
4	2012-12-12	研发中心	V1.3	增加芯片封装标识
5	2013-05-10	研发中心	V1.4	增加 DDR_REXT、HT_REXT 说明 调整 PLL 电压值

手册信息反馈: service@loongson.cn

目 录

1. 概述	1
2. 接口描述	2
2.1 接口信号模块	2
2.2 PCI 总线接口信号	3
2.3 HyperTransport 总线接口信号	3
2.4 DDR2/3 SDRAM 总线接口信号	7
2.5 初始化信号	8
2.6 低速 I/O 接口	9
2.7 芯片引脚中断信号	11
2.8 JTAG 及 EJTAG 信号	12
2.9 测试和控制信号	12
2.10 时钟信号	13
2.11 GPIO 信号	14
2.12 电源引脚	15
3. PCI 总线接口特性	16
3.1 PCI/PCI-X 接口特性	16
3.2 仲裁器和设备模式	16
3.3 PCI 总线仲裁器	16
4. HyperTransport 总线接口描述	17
4.1 HyperTransport 接口特性	17
4.2 设备模式	17
4.3 系统 HT 接口连接	17
5. DDR2/3 SDRAM 控制器接口描述	19
5.1 DDR2/3 SDRAM 控制器特性	19
5.2 DDR2/3 SDRAM 读协议	19
5.3 DDR2/3 SDRAM 写协议	20
5.4 DDR2/3 SDRAM 参数设置顺序	21
5.5 细粒度多通道模式	21
6. 复位时序要求	22
7. 电气特性	24
7.1 通用电器特性	24
7.1.1 绝对最大额定值	24

7.1.2 推荐的直流工作条件	24
7.2 HyperTransport 总线接口特性	25
7.2.1 HyperTransport 推荐直流工作条件	25
7.2.2 HyperTransport 推荐交流工作条件	25
7.2.3 传输时序特性	26
7.3 DDR2 总线内存接口特性	28
7.3.1 推荐直流特性	28
7.3.2 推荐的交流特性	29
7.3.3 电气交流时序特性	29
7.4 DDR3 内存接口特性	33
7.4.1 推荐的直流工作条件	33
7.4.2 交流和直流逻辑输入电平	33
7.4.3 交流和直流逻辑输出电平	35
7.4.4 IDD 和 IDDQ 规范的参数和测试条件	41
7.4.5 输入/输出电容	42
7.4.6 不同器件密度下的刷新参数	42
7.4.7 标准的速度分级	42
7.4.8 DDR3-800 和 DDR3-1066 的时序参数	46
7.5 PCI 总线特性	54
7.5.1 电气条件	54
7.5.2 时序参数	54
7.5.3 复位时序	55
7.5.4 PCI-X 的系统时序裕量	55
7.6 LPC 总线和其它引脚	56
7.6.1 LPC 总线	56
7.6.1.1 电气条件	56
7.6.1.2 时序参数	56
7.6.1.2 LPC 信号上拉的需求	56
7.6.2 EJTAG	57
7.7 参考时钟	57
7.7.1 HyperTransport 的时钟	57
7.7.2 DDR2 内存的时钟	58
7.7.3 PCI-X 时钟	58

7.8 电源.....	59
7.8.1 电源工作条件.....	59
8. 热特性.....	60
8.1 热参数.....	60
8.2 焊接温度.....	60
9. 引脚排列和封装.....	62
9.1 按引脚排列的封装引脚.....	62
9.2 FCBGA 引脚顶层排列.....	70
10. 封装机械尺寸.....	75
11. 订货信息.....	76
12. 不使用引脚处理.....	77
11.1 系统配置引脚.....	77
11.2 LPC 总线.....	77
11.3 PCI 总线.....	77
11.4 SPI 总线.....	77
11.5 UART/GPIO 总线.....	77
11.6 DDR 总线.....	77
11.7 HyperTransport 总线.....	77
11.8 JTAG/EJTAG 总线、TESTCLK.....	77
11.9 系统中断管脚.....	78

图目录

图 2-1 龙芯 3B1500 处理器接口信号框图.....	2
图 4-1 龙芯 3B1500 单处理器系统 HT 接口连接.....	18
图 4-2 龙芯 3B1500 多处理器系统 HT 接口连接（二片）.....	18
图 5-1 DDR2 SDRAM 读协议.....	20
图 5-2 DDR2 SDRAM 写协议.....	20
图 7-1 HyperTransport 总线 T_{ODIFF} 时序.....	26
图 7-2 HyperTransport 总线 TDIFF 时序.....	26
图 7-3 HyperTransport 总线 TCADV 时序.....	26
图 7-4 HyperTransport 总线 TSU 和 THD 时序.....	27
图 7-5 HyperTransport 总线 TCADVRS / TCADVRS 时序.....	27
图 7-6 差分的信号电平.....	29
图 7-7 ac-swing 和 ac-level 时间点（tDVA）的差分定义.....	34
图 7-8 Vix 定义.....	35
图 7-9 单端输出斜率的定义.....	36
图 7-10 差分输出斜率的定义.....	37
图 7-11 地址和控制的上升和下降定义.....	38
图 7-12 时钟，数据，选通和屏蔽信号的交流上升和下降定义.....	38
图 7-13 tAON 的定义.....	39
图 7-14 tAONPD 的定义.....	40
图 7-15 tAOF 的定义.....	40
图 7-16 tAOFPD 的定义.....	41
图 7-17 tADC 的定义.....	41
图 7-18 转换到带上拉的 PCI-X 模式的 RST# 时序.....	55
图 7-20 3.3V PCI-X 时钟波形.....	58
图 8-1 焊接回流曲线.....	61
图 9-1 顶层引脚排列（左侧）.....	70
图 9-2 顶层引脚排列（中间 1）.....	71
图 9-3 顶层引脚排列（中间 2）.....	72
图 9-4 顶层引脚排列（中间 3）.....	73
图 9-5 顶层引脚排列（右侧）.....	74

表目录

表 2-1 PCI 总线信号.....	3
表 2-2 HT 总线信号.....	4
表 2-3 DDR2 SDRAM 控制器接口信号.....	8
表 2-4 初始化接口信号.....	8
表 2-5 LPC 接口信号.....	10
表 2-6 SPI 接口信号.....	11
表 2-7 UART 接口信号.....	11
表 2-8 引脚中断信号描述.....	11
表 2-9 JTAG 接口信号.....	12
表 2-10 JTAG 模式的配置.....	12
表 2-11 EJTAG 接口信号.....	12
表 2-12 EJTAG 接口信号.....	12
表 2-13 时钟信号.....	13
表 2-14 处理器核时钟域及节点时钟域倍频系统.....	13
表 2-15 DDR2/3 时钟域倍频.....	14
表 2-16 HT 时钟控制.....	14
表 2-17 GPIO 信号.....	14
表 2-18 电源引脚.....	15
表 5-1 时钟信号 DDR2 SDRAM 行/列地址转换.....	19
表 7-1 绝对最大额定值.....	24
表 7-2 HyperTransport 直流工作条件.....	25
表 7-3 HyperTransport 交流工作条件.....	25
表 7-4 HyperTransport 连接传输时序规范.....	27
表 7-5 推荐的直流工作条件 (SSTL_1.8).....	28
表 7-6 输入的直流逻辑电平.....	28
表 7-7 输出直流电流驱动.....	29
表 7-8 输入交流逻辑电平.....	29
表 7-9 差分的输入交流逻辑电平.....	29
表 7-10 差分的交流输出参数.....	29
表 7-11 不同密度的器件刷新参数.....	29
表 7-12 DDR2 内存标准速率分级.....	30
表 7-13 DDR2-667 和 DDR2-800 时序参数.....	30
表 7-14 推荐的直流工作条件.....	33

表 7-15 控制信号和地址单端信号的交流和直流输入电平	33
表 7-16 DQ 和 DM 单端信号的交流和直流输入电平.....	33
表 7-17 交流和直流的差分输入电平	34
表 7-18 差分输入信号(CK, DQS)交叉点电压	35
表 7-19 单端信号的交流直流输出电平	35
表 7-20 差分信号的交流和直流输出电平	35
表 7-21 单端信号输出斜率的定义	36
表 7-22 单端的输出斜率	36
表 7-23 差分输出斜率的定义	36
表 7-24 差分输出斜率	37
表 7-25 地址和控制引脚的交流上冲/下冲规范(A0-A15, BA0-BA3, CS#, RAS#, CAS#, WE#, CKE, ODT).....	37
表 7-26 时钟, 数据, 选通和屏蔽信号的交流上冲/下冲规范(CK, CK#, DQ, DQS, DQS#, DM).....	38
表 7-27 ODT 时序定义.....	38
表 7-28 ODT 时序测量的参考设置.....	39
表 7-29 IDD 和 IDDQ 测量循环模式的时序.....	41
表 7-30 输入/输出电容	42
表 7-31 不同器件密度下的刷新参数	42
表 7-32 DDR3-800 Speed Bins and Operating Conditions.....	42
表 7-33 DDR3-1066 Speed Bins and Operating Conditions.....	43
表 7-34 DDR3-1333 Speed Bins and Operating Conditions.....	43
表 7-35 DDR3-1600 Speed Bins and Operating Conditions.....	44
表 7-36 Timing Parameters by Speed Bin.....	46
表 7-37 通用时序参数	54
表 7-38 建立时间预算	55
表 7-39 保持时间预算	56
表 7-40 LPC 时序参数.....	56
表 7-41 推荐的上拉电阻值	56
表 7-42 EJTAG 的交流时序特性.....	57
表 7-43 发送端时钟的不确定性	57
表 7-44 输入时钟抖动参数	58
表 7-45 PCI-X 时钟参数.....	58
表 7-46 推荐的工作电源电压	59
表 8-1 龙芯 3B1500 的热特性参数和推荐的最大值	60

表 8-2 龙芯 3B1500 的热阻参数	60
表 8-3 无铅工艺的封装回流最大温度表	60
表 8-4 回流焊接温度分类表	60
表 9-1 按引脚排列的封装引脚表	62
表 9-2 按引脚排列的封装引脚表 (续表)	63
表 9-3 按引脚排列的封装引脚表 (续表)	64
表 9-4 按引脚排列的封装引脚表 (续表)	65
表 9-5 按引脚排列的封装引脚表 (续表)	66
表 9-6 按引脚排列的封装引脚表 (续表)	67
表 9-7 按引脚排列的封装引脚表 (续表)	68
表 9-8 按引脚排列的封装引脚表 (续表)	69

1. 概述

龙芯 3B1500 八核处理器采用 32nm 工艺制造，在单个芯片内集成了 8 个 64 位超标量通用向量处理器核，最高工作主频为 1.2GHz，主要特征如下：

- 片内集成 8 个 64 位的四发射超标量 GS464v 高性能向量处理器核；
- 片内集成 8 核共享的 8MB 三级 Cache；
- 片内集成 2 个 72 位 667MHz 的 DDR2/3 控制器（64 位总线+8 位 ECC）；
- 片内集成 2 个 16 位 1600MHz 的 HyperTransport 控制器；每个 16 位的 HT 端口可以拆分成两个 8 路的 HT 端口使用；
- 片内集成 2 个 UART、1 个 SPI、16 路 GPIO 接口；
- 片内集成 1 个非标准电压（1.8v）LPC 接口；
- 片内集成 1 个非标准电压（1.8v）PCI 接口；
- 支持多核芯片通过 HyperTransport 接口互连和跨芯片的全局 Cache 一致性；
- 采用 FC-BGA-1121 封装。

龙芯 3B1500 的芯片整体架构基于两级互连实现，芯片结构和介绍详见《龙芯 3B1500 用户手册 P1》1.2 节 龙芯 3B1500 简介。

2. 接口描述

2.1 接口信号模块

龙芯 3B1500 的接口信号与龙芯 3A/3B 接口信号引脚定义兼容（注：电源部分不兼容），如图 2-1 所示。

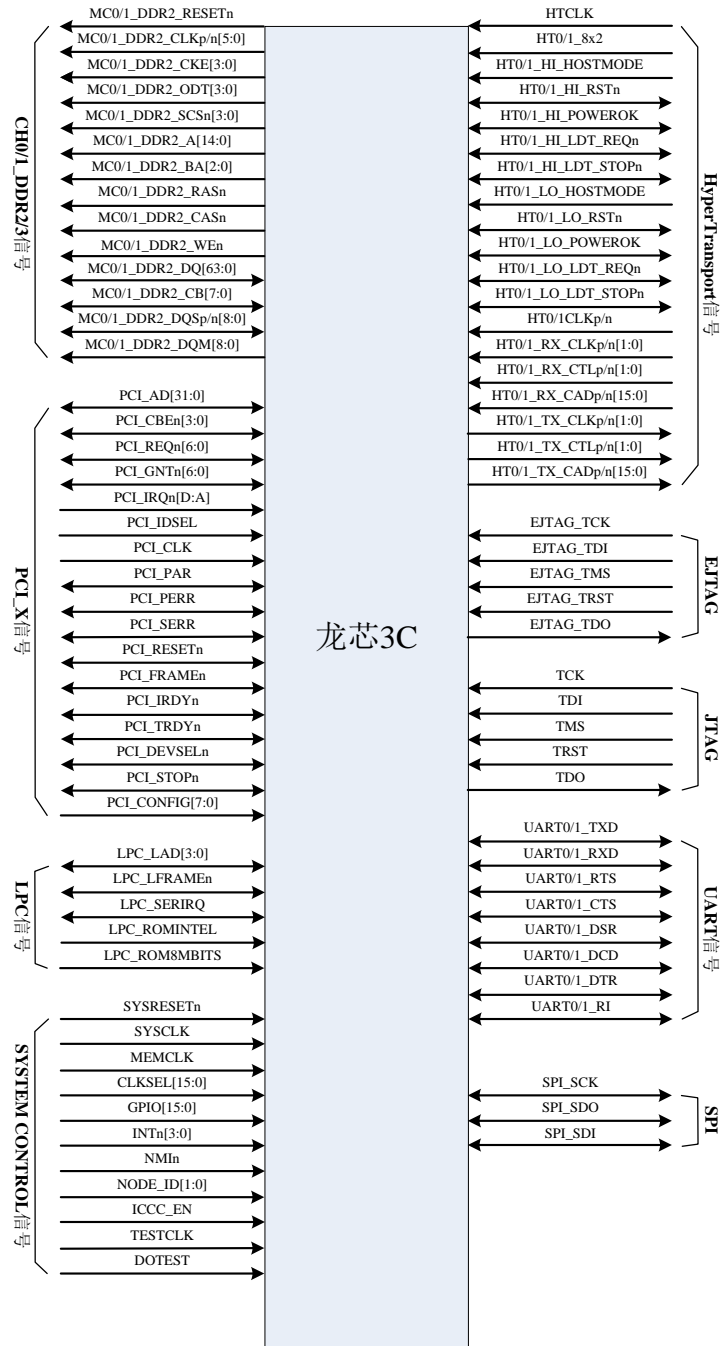


图 2-1 龙芯 3B1500 处理器接口信号框图

注：箭头指示信号方向，有输入、输出和双向。

2.2 PCI 总线接口信号

龙芯 3B1500 的 PCI 总线信号包括：

- 32 位地址数据总线信号；
- 4 位命令数据 ID 总线信号；
- 14 位总线仲裁信号；
- 7 位接口控制信号；
- 2 位错误报告信号；

龙芯 3B1500 处理器 PCI 控制器工作频率为 33MHz，处理器引脚电压为 1.8v。

表 2-1 PCI 总线信号是龙芯 3B1500 处理器的 PCI 总线接口信号定义。

表 2-1 PCI 总线信号

信号名称	类型	描述	是否三态	电压域
PCI_AD[31:0]	t/s	PCI 地址/数据信号	是	VDDE1V8
PCI_CBEn[3:0]	t/s	PCI 命令/字节使能信号，使用时外部上拉	是	VDDE1V8
PCI_PAR	t/s	地址/数据奇偶检测信号，使用时外部上拉	是	VDDE1V8
PCI_REQn[6:1]	t/s	外部设备总线占用请求输入信号，使用时外部上拉	否	VDDE1V8
PCI_REQn[0]	t/s	根据仲裁模式，可为外部设备总线请求输入，或为到外部仲裁器的总线请求输出信号。使用时外部上拉。当使用外部仲裁器时，该信号作为输出信号。	是	VDDE1V8
PCI_GNTn[6:1]	t/s	到外部设备的 PCI 总线允许输出信号，使用时外部上拉	否	VDDE1V8
PCI_GNTn[0]	t/s	根据仲裁模式，可为外部仲裁器返回的总线允许输入，或为到外部设备的 PCI 总线允许输出。使用时外部上拉。当使用外部仲裁器时，该信号作为输入信号。	是	VDDE1V8
PCI_FRAMEn	s/t/s	PCI 帧周期信号，使用时外部上拉	是	VDDE1V8
PCI_IRDYn	s/t/s	PCI 主设备准备好信号，使用时外部上拉	是	VDDE1V8
PCI_TRDYn	s/t/s	PCI 目标设备准备好信号，使用时外部上拉	是	VDDE1V8
PCI_STOPn	s/t/s	PCI 停止数据传送信号，使用时外部上拉	是	VDDE1V8
PCI_DEVSELn	s/t/s	PCI 设备选择，使用时外部上拉	是	VDDE1V8
PCI_IDSEL	in	PCI 配置片选，作为主桥时应拉低	否	VDDE1V8
PCI_PERRn	s/t/s	PCI 数据奇偶错误报告信号，使用时外部上拉	是	VDDE1V8
PCI_SERRn	o/d	PCI 系统错误报告，使用时外部上拉	否	VDDE1V8

2.3 HyperTransport 总线接口信号

龙芯 3B1500 中拥有两组独立的 HyperTransport 总线（分别称为 HT0 与 HT1），其中每组 16 位的 HyperTransport 总线可独立配置为两组 8 位总线分别使用（分别称为 HTx_Lo 与 HTx_Hi）。

其中每组 HyperTransport 总线信号包括：

- 16 对差分发送数据命令总线；
- 16 对差分接收数据命令总线；

- 2 对差分发送控制信号；
- 2 对差分接收控制信号；
- 2 对差分发送时钟信号；
- 2 对差分接收时钟信号；
- 4 个 16 位/低 8 位总线控制信号；
- 4 个高 8 位总线控制信号；

表 2-2 HT 总线信号是龙芯 3B1500 处理器的 HyperTransport 总线接口信号定义。

表 2-2 HT 总线信号

HTO 总线信号				
信号名称	输入/输出	描述	电源域	默认上下拉
HTO_REXT	I/O	需要通过 400 欧姆（400 ohm+/-1%）电阻连接到地	VDDESB	-
HTO_8x2	I	为 1 时有效，表示将 HTO 分为 HTO_Lo 与 HTO_Hi 分别使用 为 0 时无效，表示将 HTO 作为 16 位总线使用	VDDESB	下拉
HTO_Lo_Hostmode	I	为 1 时有效，表示将 HTO_Lo 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HTO_Lo 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HTO_Hi_Hostmode	I	为 1 时有效，表示将 HTO_Hi 控制器作为主模式，控制复位等信号 为 0 时无效，表示将 HTO_Hi 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HTO_Lo_PowerOK	I/O	当 HTO_8x2 无效时为 HTO 总线 PowerOK 信号， 当 HTO_8x2 有效时为 HTO_Lo 总线 PowerOK 信号。 当 HTO_Lo_Hostmode 有效时为双向信号， 当 HTO_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HTO_Lo_Resetn	I/O	当 HTO_8x2 无效时为 HTO 总线 Resetn 信号， 当 HTO_8x2 有效时为 HTO_Lo 总线 Resetn 信号。 当 HTO_Lo_Hostmode 有效时为双向信号， 当 HTO_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HTO_Lo_Ldt_Stopn	I/O	当 HTO_8x2 无效时为 HTO 总线 Ldt_Stopn 信号， 当 HTO_8x2 有效时为 HTO_Lo 总线 Ldt_Stopn 信号。 当 HTO_Lo_Hostmode 有效时为双向信号， 当 HTO_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HTO_Lo_Ldt_reqn	I/O	当 HTO_8x2 无效时为 HTO 总线 Ldt_Reqn 信号， 当 HTO_8x2 有效时为 HTO_Lo 总线 Ldt_Reqn 信号。	VDDESB	上拉
HTO_Hi_PowerOK	I/O	当 HTO_8x2 无效时该信号无效， 当 HTO_8x2 有效时为 HTO_Hi 总线 PowerOK 信号。 当 HTO_Hi_Hostmode 有效时为双向信号， 当 HTO_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HTO_Hi_Resetn	I/O	当 HTO_8x2 无效时该信号无效， 当 HTO_8x2 有效时为 HTO_Hi 总线 Resetn 信号。 当 HTO_Hi_Hostmode 有效时为双向信号， 当 HTO_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HTO_Hi_LDT_Stopn	I/O	当 HTO_8x2 无效时该信号无效， 当 HTO_8x2 有效时为 HTO_Hi 总线 Ldt_Stopn 信号。 当 HTO_Hi_Hostmode 有效时为双向信号， 当 HTO_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HTO_Hi_LDT_reqn	I/O	当 HTO_8x2 无效时该信号无效， 当 HTO_8x2 有效时为 HTO_Hi 总线 Ldt_Reqn 信号。	VDDESB	上拉
HTO_Tx_CADp[15:0]	0	当 HTO_8x2 无效时，该总线为 HTO 总线发送数据命令总线， 当 HTO_8x2 有效时， [7:0]位为 HTO_Lo 总线发送数据命令总线，	HT_VDDE	无

		[15:0]位为 HTO_Hi 总线发送数据命令总线。		
HTO_Tx_CADn[15:0]	0	当 HTO_8x2 无效时, 该总线为 HTO 总线发送数据命令总线, 当 HTO_8x2 有效时, [7:0]位为 HTO_Lo 总线发送数据命令总线, [15:0]位为 HTO_Hi 总线发送数据命令总线。	HT_VDDE	无
HTO_Tx_CTLp[1:0]	0	当 HTO_8x2 无效时, [0]位为 HTO 总线发送控制信号, [1]位无效。 当 HTO_8x2 有效时, [0]位为 HTO_Lo 总线发送控制信号, [1]位为 HTO_Hi 总线发送控制信号。	HT_VDDE	无
HTO_Tx_CTLn[1:0]	0	当 HTO_8x2 无效时, [0]位为 HTO 总线发送控制信号, [1]位无效。 当 HTO_8x2 有效时, [0]位为 HTO_Lo 总线发送控制信号, [1]位为 HTO_Hi 总线发送控制信号。	HT_VDDE	无
HTO_Tx_CLKp[1:0]	0	当 HTO_8x2 无效时, 该总线为 HTO 总线发送时钟总线, 当 HTO_8x2 有效时, [0]位为 HTO_Lo 总线发送时钟信号, [1]位为 HTO_Hi 总线发送时钟信号。	HT_VDDE	无
HTO_Tx_CLKn[1:0]	0	当 HTO_8x2 无效时, 该总线为 HTO 总线发送时钟总线, 当 HTO_8x2 有效时, [0]位为 HTO_Lo 总线发送时钟信号, [1]位为 HTO_Hi 总线发送时钟信号。	HT_VDDE	无
HTO_Rx_CADp[15:0]	I	当 HTO_8x2 无效时, 该总线为 HTO 总线接收数据命令总线, 当 HTO_8x2 有效时, [7:0]位为 HTO_Lo 总线接收数据命令总线, [15:0]位为 HTO_Hi 总线接收数据命令总线。	HT_VDDE	无
HTO_Rx_CADn[15:0]	I	当 HTO_8x2 无效时, 该总线为 HTO 总线接收数据命令总线, 当 HTO_8x2 有效时, [7:0]位为 HTO_Lo 总线接收数据命令总线, [15:0]位为 HTO_Hi 总线接收数据命令总线。	HT_VDDE	无
HTO_Rx_CTLp[1:0]	I	当 HTO_8x2 无效时, [0]位为 HTO 总线接收控制信号, [1]位无效。 当 HTO_8x2 有效时, [0]位为 HTO_Lo 总线接收控制信号, [1]位为 HTO_Hi 总线接收控制信号。	HT_VDDE	无
HTO_Rx_CTLn[1:0]	I	当 HTO_8x2 无效时, [0]位为 HTO 总线接收控制信号, [1]位无效。 当 HTO_8x2 有效时, [0]位为 HTO_Lo 总线接收控制信号, [1]位为 HTO_Hi 总线接收控制信号。	HT_VDDE	无
HTO_Rx_CLKp[1:0]	I	当 HTO_8x2 无效时, 该总线为 HTO 总线接收时钟总线, 当 HTO_8x2 有效时, [0]位为 HTO_Lo 总线接收时钟信号, [1]位为 HTO_Hi 总线接收时钟信号。	HT_VDDE	无
HTO_Rx_CLKn[1:0]	I	当 HTO_8x2 无效时, 该总线为 HTO 总线接收时钟总线, 当 HTO_8x2 有效时, [0]位为 HTO_Lo 总线接收时钟信号, [1]位为 HTO_Hi 总线接收时钟信号。	HT_VDDE	无
HT1 总线信号				
信号名称	输入/输出	描述	电源域	默认上下拉
HT1_REXT	IO	需要通过 400 欧姆 (400 ohm+/-1%) 电阻连接到地	VDDESB	-
HT1_8x2	I	为 1 时有效, 表示将 HT1 分为 HTO_Lo 与 HTO_Hi 分别使用 为 0 时无效, 表示将 HT1 作为 16 位总线使用	VDDESB	下拉

HT1_Lo_Hostmode	I	为 1 时有效，表示将 HT1_Lo 控制器作为主模式，控制复位等信号为 0 时无效，表示将 HT1_Lo 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HT1_Hi_Hostmode	I	为 1 时有效，表示将 HT1_Hi 控制器作为主模式，控制复位等信号为 0 时无效，表示将 HT1_Hi 控制器作为从模式，复位等信号仅为输入模式	VDDESB	上拉
HT1_Lo_PowerOK	I/O	当 HT1_8x2 无效时为 HT1 总线 PowerOK 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 PowerOK 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Lo_Resetn	I/O	当 HT1_8x2 无效时为 HT1 总线 Resetn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Resetn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Lo_Ldt_Stopn	I/O	当 HT1_8x2 无效时为 HT1 总线 Ldt_Stopn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Stopn 信号。 当 HT1_Lo_Hostmode 有效时为双向信号， 当 HT1_Lo_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Lo_Ldt_reqn	I/O	当 HT1_8x2 无效时为 HT1 总线 Ldt_Reqn 信号， 当 HT1_8x2 有效时为 HT1_Lo 总线 Ldt_Reqn 信号。	VDDESB	上拉
HT1_Hi_PowerOK	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 PowerOK 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Hi_Resetn	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Resetn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Hi_LDT_Stopn	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Stopn 信号。 当 HT1_Hi_Hostmode 有效时为双向信号， 当 HT1_Hi_Hostmode 无效时为输入信号。	VDDESB	上拉
HT1_Hi_LDT_reqn	I/O	当 HT1_8x2 无效时该信号无效， 当 HT1_8x2 有效时为 HT1_Hi 总线 Ldt_Reqn 信号。	VDDESB	上拉
HT1_Tx_CADp[15:0]	0	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:0]位为 HT1_Hi 总线发送数据命令总线。	HT_VDDE	无
HT1_Tx_CADn[15:0]	0	当 HT1_8x2 无效时，该总线为 HT1 总线发送数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线发送数据命令总线， [15:0]位为 HT1_Hi 总线发送数据命令总线。	HT_VDDE	无
HT1_Tx_CTLp[1:0]	0	当 HT1_8x2 无效时， [0]位为 HT1 总线发送控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送控制信号， [1]位为 HT1_Hi 总线发送控制信号。	HT_VDDE	无
HT1_Tx_CTLn[1:0]	0	当 HT1_8x2 无效时， [0]位为 HT1 总线发送控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送控制信号， [1]位为 HT1_Hi 总线发送控制信号。	HT_VDDE	无
HT1_Tx_CLKp[1:0]	0	当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。	HT_VDDE	无
HT1_Tx_CLKn[1:0]	0	当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线，	HT_VDDE	无

		当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。		
HT1_Rx_CADp[15:0]	I	当 HT1_8x2 无效时，该总线为 HT1 总线接收数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线接收数据命令总线， [15:0]位为 HT1_Hi 总线接收数据命令总线。	HT_VDDE	无
HT1_Rx_CADn[15:0]	I	当 HT1_8x2 无效时，该总线为 HT1 总线接收数据命令总线， 当 HT1_8x2 有效时， [7:0]位为 HT1_Lo 总线接收数据命令总线， [15:0]位为 HT1_Hi 总线接收数据命令总线。	HT_VDDE	无
HT1_Rx_CTLp[1:0]	I	当 HT1_8x2 无效时， [0]位为 HT1 总线接收控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。	HT_VDDE	无
HT1_Rx_CTLn[1:0]	I	当 HT1_8x2 无效时， [0]位为 HT1 总线接收控制信号， [1]位无效。 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收控制信号， [1]位为 HT1_Hi 总线接收控制信号。	HT_VDDE	无
HT1_Rx_CLKp[1:0]	I	当 HT1_8x2 无效时，该总线为 HT0 总线发送时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线发送时钟信号， [1]位为 HT1_Hi 总线发送时钟信号。	HT_VDDE	无
HT1_Rx_CLKn[1:0]	I	当 HT1_8x2 无效时，该总线为 HT0 总线接收时钟总线， 当 HT1_8x2 有效时， [0]位为 HT1_Lo 总线接收时钟信号， [1]位为 HT1_Hi 总线接收时钟信号。	HT_VDDE	无

2.4 DDR2/3 SDRAM 总线接口信号

龙芯 3B1500 集成了标准的 DDR2/3 SDRAM 内存控制器。该内存控制器接口包括有下列信号：

- 72 位双向数据总线信号（包括 ECC）；
- 9 路双向数据选通差分信号（包括 ECC）；
- 9 位数据掩码信号（包括 ECC）；
- 16 位地址总线信号（注意：地址信号数量比龙芯 3A/3B 多出一位）；
- 7 位逻辑 Bank 和物理片选信号；
- 6 路差分时钟信号；
- 4 位时钟使能信号；
- 3 位命令总线信号；
- 4 位 ODT(On Die Termination)信号；
- 1 位复位控制信号。

表 2-3 DDR2 SDRAM 控制器接口信号是龙芯 3B1500 每一组 DDR2 SDRAM 控制器接口信号。共有两组，分别在电源域上分为 0/1。

表 2-3 DDR2 SDRAM 控制器接口信号

信号名称	输入/输出	描述	电源域
MC*_DDR_REXT	IO	需要通过 240 欧姆 (240 ohm+/-1%) 电阻连接到地	MEM_VDDE_0/1
MC*_DDR_DQ[63:0]	IO	DDR2/3 SDRAM 数据总线信号	MEM_VDDE_0/1
MC*_DDR_CB[7:0]	IO	DDR2/3 SDRAM 数据总线 ECC 信号	MEM_VDDE_0/1
MC*_DDR_DQSp[8:0]	IO	DDR2/3 SDRAM 数据选通 (包括 ECC)	MEM_VDDE_0/1
MC*_DDR_DQSn[8:0]	IO	DDR2/3 SDRAM 数据选通 (包括 ECC)	MEM_VDDE_0/1
MC*_DDR_DQM[8:0]	O	DDR2/3 SDRAM 数据屏蔽 (包括 ECC)	MEM_VDDE_0/1
MC*_DDR_A[15:0]	O	DDR2/3 SDRAM 地址总线信号	MEM_VDDE_0/1
MC*_DDR_BA[2:0]	O	DDR2/3 SDRAM 逻辑 Bank 地址信号	MEM_VDDE_0/1
MC*_DDR_WEn	O	DDR2/3 SDRAM 写使能信号	MEM_VDDE_0/1
MC*_DDR_CASn	O	DDR2/3 SDRAM 列地址选择信号	MEM_VDDE_0/1
MC*_DDR_RASn	O	DDR2/3 SDRAM 行地址选择信号	MEM_VDDE_0/1
MC*_DDR_CSn[3:0]	O	DDR2/3 SDRAM 片选信号	MEM_VDDE_0/1
MC*_DDR_CKE[3:0]	O	DDR2/3 SDRAM 时钟使能信号	MEM_VDDE_0/1
MC*_DDR_CKp[5:0]	O	DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟, {0,2,4}为另一组 DIMM 时钟	MEM_VDDE_0/1
MC*_DDR_CKn[5:0]	O	DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟, {0,2,4}为另一组 DIMM 时钟	MEM_VDDE_0/1
MC*_DDR_ODT[3:0]	O	DDR2/3 SDRAM ODT 信号	MEM_VDDE_0/1
MC*_DDR_Resetn	O	DDR2/3 SDRAM 复位控制信号	MEM_VDDE_0/1

2.5 初始化信号

表 2-4 初始化接口信号 提供了初始化信号的名称，方向和描述。

PCI 控制器只支持 1.8V 信号环境。

表 2-4 初始化接口信号

信号名称	输入/输出	描述	电压域																				
SYSRESETn	I	系统复位信号，该信号的低电平状态需要维持多于一个 SYSCLK 周期，它可异步于 SYSCLK 信号。	VDDE1V8																				
PCI_RESETn	I/O	PCI 接口复位信号	VDDE1V8																				
PCI_CONFIG[7:0]	I	PCI 配置 7 HT 参考时钟选择 6:5 PCIX 总线速度选择 4 PCIX 总线模式选择 3 PCI 主桥模式选择 2 PCI 启动模式选择 1 外部仲裁选择 0 保留 注: <table border="1" style="display: inline-table; vertical-align: top;"> <tr> <td>6</td> <td>5</td> <td>4</td> <td>PCIX 总线模式</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>PCI 33</td> </tr> </table> <table border="1" style="display: inline-table; vertical-align: top;"> <tr> <td>3</td> <td>PCI 主桥模式</td> </tr> <tr> <td>0</td> <td>作为从设备</td> </tr> <tr> <td>1</td> <td>作为主桥</td> </tr> </table> <table border="1" style="display: inline-table; vertical-align: top;"> <tr> <td>2</td> <td>PCI 启动模式</td> </tr> <tr> <td>0</td> <td>从 LPC/SPI 启动 (GPIO0 决定)</td> </tr> <tr> <td>1</td> <td>从 PCI 总线的 0x1fc00000 处启动</td> </tr> </table>	6	5	4	PCIX 总线模式	0	0	0	PCI 33	3	PCI 主桥模式	0	作为从设备	1	作为主桥	2	PCI 启动模式	0	从 LPC/SPI 启动 (GPIO0 决定)	1	从 PCI 总线的 0x1fc00000 处启动	VDDE1V8
6	5	4	PCIX 总线模式																				
0	0	0	PCI 33																				
3	PCI 主桥模式																						
0	作为从设备																						
1	作为主桥																						
2	PCI 启动模式																						
0	从 LPC/SPI 启动 (GPIO0 决定)																						
1	从 PCI 总线的 0x1fc00000 处启动																						

		<table border="1"> <tr> <td>1</td> <td>外部仲裁选择</td> </tr> <tr> <td>0</td> <td>使用内部 PCI 仲裁器</td> </tr> <tr> <td>1</td> <td>使用外部 PCI 仲裁器</td> </tr> </table>	1	外部仲裁选择	0	使用内部 PCI 仲裁器	1	使用外部 PCI 仲裁器
1	外部仲裁选择							
0	使用内部 PCI 仲裁器							
1	使用外部 PCI 仲裁器							
		<table border="1"> <tr> <td>7</td> <td>HT 参考时钟选择</td> </tr> <tr> <td>1</td> <td>使用单端 100MHz 参考时钟</td> </tr> <tr> <td>0</td> <td>使用差分 200MHz 参考时钟</td> </tr> </table>	7	HT 参考时钟选择	1	使用单端 100MHz 参考时钟	0	使用差分 200MHz 参考时钟
7	HT 参考时钟选择							
1	使用单端 100MHz 参考时钟							
0	使用差分 200MHz 参考时钟							
GPIO[1:0]	I/O	<table border="1"> <tr> <td>1</td> <td>芯片内时钟延迟控制使能，默认情况需要下拉</td> </tr> <tr> <td>0</td> <td>芯片启动设置，上拉表示从 SPI Flash 取指，下拉表示从 LPC Flash 取指</td> </tr> </table>	1	芯片内时钟延迟控制使能，默认情况需要下拉	0	芯片启动设置，上拉表示从 SPI Flash 取指，下拉表示从 LPC Flash 取指		
1	芯片内时钟延迟控制使能，默认情况需要下拉							
0	芯片启动设置，上拉表示从 SPI Flash 取指，下拉表示从 LPC Flash 取指							

- **SYSRESETn**: 这个复位信号是唯一能复位整个龙芯 3B1500 处理器的信号。
SYSCLK 和 MEMCLK 必须在 SYSRESETn 释放到无效前就保持稳定。SYSRESETn 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESETn 无效时才开始复位处理器。处理器内部复位将在 64K 个 SYSCLK 周期后完成，之后复位异常处理才可以被执行
- **PCI_RESETEn**: 当龙芯 3B1500 作为 PCI 总线主桥时，这个信号工作为输出，系统中的 PCI/PCI-X 设备的复位必须由该信号控制。当龙芯 3B1500 作为 PCI/PCI-X 设备工作时，该信号作为输入用来复位龙芯 3B1500 的 PCI 接口。
注：当龙芯 3B1500 作为 PCI 总线主桥时，处理器仅在系统上电复位时会产生 PCI_RESETEn 复位信号，龙芯 3B1500 软复位时，需使用 GPIO 和外部复位电路配合，使处理器产生 PCI_RESETEn 复位信号。
- **PCI_CONFIG[7:0]**: 定义了龙芯 3B1500 PCI/PCI-X 接口的工作模式以及其它需要静态配置的信号，它在系统复位时必须保持稳定。系统开始运行时软件从内部寄存器中读取该值。如果系统设置成从 PCI 地址空间启动，则第一条指令的 PCI 地址是 0x1fc00000，否则系统将从 LPC 或 SPI 总线的 ROM 空间 0 地址处开始取指（由 GPIO00 决定）。
- **GPIO[1:0]**: 这两个信号只有在 SYSRESETn 有效时在处理器内部进行采样。第 0 位用于指定处理器的启动时使用的 Flash，上拉时表示使用 SPI Flash，下拉表示使用 LPC Flash。第 1 位用于控制是否采用 EJTAG 控制处理器内部各个不同部分的延迟，下拉时为正常延迟模式，上拉时使用 EJTAG 控制。

2.6 低速 I/O 接口

龙芯 3B1500 处理器的低速 I/O 接口包括 LPC 总线、SPI 总线和 UART。LPC 总线连接启动 Flash 和 SuperIO 芯片。SPI 总线可连接 SPI flash（不支持启动）。

LPC 控制器具有以下特性：

- 符合 LPC1.1 规范（引脚电压非标准，为 1.8v）
- 支持 LPC 访问超时计数器

- 支持 Memory Read 和 Memory write 访问类型
- 支持 Firmware Memory Read 和 Firmware Memory Write 访问类型（单字节）
- 支持 I/O read 和 I/O write 访问类型
- 支持 Memory 访问类型地址转换
- 支持 Serialized IRQ 规范，提供 17 个中断源

SPI 控制器具有以下特性：

- 全双工同步串口数据传输
- 支持到 4 个的变长字节传输
- 主模式支持
- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 可在等待模式下对 SPI 进行控制
- 支持处理器通过 SPI 启动
- 引脚电压为 1.8v

UART 控制器具有以下特性

- 全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 仅工作在 FIFO 方式
- 在寄存器与功能上兼容 NS16550A
- 引脚电压为 1.8v

这些低速 I/O 接口包含的信号如下：

表 2-5 LPC 接口信号

信号名称	输入/输出	描述	电压域
L_AD[3:0]	I/O	LPC 总线地址数据信号	VDDE1V8
L_FRAME	O	LPC 总线数据开始/结束信号	VDDE1V8
L_SIRQ	I/O	LPC 总线 serial IRQ 信号，用于传输串行中断信号	VDDE1V8
L_8Mbits	I	LPC 启动 flash 8Mbits 和 4Mbits 设置。该信号为高表示 LPC 所接的启动 flash 为 8Mbits，该信号为低表示 LPC 所接的启动 flash 为 4Mbits	VDDE1V8
L_INTEL	I	LPC 启动 flash 类型设置。该信号为高表示所接启动 flash 为 INTEL 类型，否则为 AMD 类型	VDDE1V8

表 2-6 SPI 接口信号

信号名称	输入/输出	描述	电压域
SPI_SCK	O	SPI 总线时钟	VDDE1V8
SPI_SDO	O	SPI 总线数据输出	VDDE1V8
SPI_SDI	I	SPI 总线数据输入	VDDE1V8

表 2-7 UART 接口信号

信号名称	输入/输出	描述	电压域
TXD	O	串口数据输出	VDDE1V8
RXD	I	串口数据输入	VDDE1V8
RTS	O	串口数据传输请求	VDDE1V8
CTS	I	设备接受数据就绪	VDDE1V8
DTR	O	串口初始化完成	VDDE1V8
DSR	I	设备初始化完成	VDDE1V8
DCD	I	外部 MODEM 探测到载波信号	VDDE1V8
RI	I	外部 MODEM 探测到振铃信号	VDDE1V8

2.7 芯片引脚中断信号

龙芯 3B1500 处理器的引脚中断包括 4 个系统中断 (INTn), 4 个 PCI 中断 (PCI_IRQ), 2 个 PCI 总线错误报告信号 (PCI_SERRn 与 PCI_PERRn) 和 1 个不可屏蔽中断 (NMI_n)。表 2-8 引脚中断信号描述 显示了引脚中断信号的名称、方向和描述。

除了芯片引脚接入的中断外, 龙芯 3B1500 还包括 16 个 HT 中断, 3 个内部事件中断, 1 个 LPC 中断, 以及 2 个内存控制器中断。这些中断通过内部的功能模块自己产生, 没有专门的中断引脚。

任意一个中断源可以选择路由到处理器核中断引脚的 INT0-3(对应 CP0 寄存器 CR_STATUS 的 IP2-5 位)四根中断中的任意一个。有关中断的详细说明请参考《龙芯 3B1500 处理器用户手册》第 7 章, 第 11 章。

表 2-8 引脚中断信号描述

信号名称	输入/输出	描述	电压域
NMI _n	I	不可屏蔽中断信号, (复位为低有效), 需视实际情况上下拉。	VDDE1V8
INTn[3:0]	I	4 个外部中断信号, 这些信号分别连接到处理器中断寄存器(CR_CAUSE IP 域)的位 3 到 0, 需视实际情况上下拉。	VDDE1V8
PCI_IRQ[3:0]	I	这些中断信号应在中断控制器中使能, 低电平有效。这些中断能够被路由到中断寄存器的第 7 到 4 位, 需外部上拉。	VDDE1V8
PCI_PERRn	I/O	PCI 总线奇偶错信号, 低电平有效。这些中断能够被路由到中断寄存器的第 15 位, 需外部上拉。	VDDE1V8
PCI_SERRn	I/O	PCI 总线系统错, 低电平有效。这些中断能够被路由到中断寄存器的第 15 位 (与 PCI_SERRn 共享), 需外部上拉。	VDDE1V8

2.8 JTAG 及 EJTAG 信号

龙芯 3B1500 提供了一个兼容 JTAG 的边界扫描接口。JTAG 接口用于测试处理器引脚是否被正确连接。表 2-9 提供了 JTAG 信号的名称、方向和描述。

表 2-9 JTAG 接口信号

信号名称	输入/输出	描述	电压域
TDI	I	JTAG 串行扫描数据输入。	VDDE1V8
TDO	O	JTAG 串行扫描数据输出。	VDDE1V8
TMS	I	JTAG 命令，指示输入的串行数据是一个命令。	VDDE1V8
TRST	I	JTAG 重启信号。	VDDE1V8
TCK	I	JTAG 串行扫描时钟。	VDDE1V8

JTAG 模式只有在配置了表 2-10 JTAG 模式的配置的管脚时有效。

表 2-10 JTAG 模式的配置

DOTEST	GPIO15	GPIO10	GPIO09	GPIO08	GPIO07	GPIO06
0	1	0	1	1	1	0

此外，龙芯 3B1500 还提供了 EJTAG 调试接口，用于调试底层应用软件。

表 2-11 提供了 EJTAG 信号的名称，方向和描述。

表 2-11 EJTAG 接口信号

信号名称	输入/输出	描述	电压域
EJTAG_TDI	I	EJTAG 串行扫描数据输入。	VDDE1V8
EJTAG_TDO	O	EJTAG 串行扫描数据输出。	VDDE1V8
EJTAG_TMS	I	EJTAG 命令，指示输入的串行数据是一个命令。	VDDE1V8
EJTAG_TRST	I	EJTAG 重启信号。	VDDE1V8
EJTAG_TCK	I	EJTAG 串行扫描时钟。	VDDE1V8

2.9 测试和控制信号

龙芯 3B1500 芯片的测试信号仅仅用于芯片物理测试，如扫描链测试。当芯片正常工作，这些信号应设置为无效。通常这些信号进行上拉处理。用于测试的控制信号为 DOTEST 信号，管脚定义在表 2-12 中。

表 2-12 测试接口信号

信号名称	输入/输出	描述	默认上下拉
DOTEST	I	DOTEST=0,芯片处于测试模式；DOTEST=1 芯片处于正常功能模式。芯片正常工作时，需通过 4.7K 电阻上拉至 1.8V。	上拉

2.10 时钟信号

龙芯 3B1500 关于时钟的信号参见表 2-13。处理器有五个系统输入时钟信号（包括 SYSCLK，MEMCLK，PCI_CLK，HTCLK，差分时钟 HT0_CLKp/HT0_CLKn 及差分时钟 HT1_CLKp/HT1_CLKn）。龙芯 3B1500 的 Core 时钟通过 SYSCLK 产生，DDR2/3 时钟通过 MEMCLK 产生。HT 的时钟产生较为复杂。首先，差分时钟对 HT0_CLKp/HT0_CLKn 与 HT1_CLKp/HT1_CLKn 分别给 HT0 和 HT1 使用。此外，也可以使用单端时钟 HTCLK 替代 ht0_clkp/ht0_clkn，采用 CLKSEL[15:10] 进行相关控制。CLKSEL 控制分频的方法参见表 2-14、MEMCLK 必须在 25MHz ~ 200MHz 之间。

内存控制器时钟是由 MEMCLK 的倍频决定，当 CLKSEL[9] 为 1 时，倍频关系由 CLKSEL[8:6] 决定；当 CLKSEL[9] 为 0 时，倍频关系由软件进行设置，此时的初始默认倍频为 1 倍频。具体的倍频系数参见下表。

表 2-15 和表 2-16。

表 2-13 时钟信号

信号名称	输入/输出	频率范围 (MHz)	描述	电压域
SYSCLK	I	25-200	系统输入时钟，驱动内置的 PLL 产生处理器的 Core 时钟及 Node 时钟。它同时作为系统复位电路的时钟。	VDDE1V8
MEMCLK	I	25-200	DDR2 控制器的输入时钟，驱动内置的 PLL 用来产生 DDR2 时钟。	VDDE1V8
PCI_CLK	I	25-33	PCI、LPC、SPI、UART 总线的参考时钟。	VDDE1V8
HT0_CLKp/ HT0_CLKn	I	200	HT0 总线及控制器使用参考时钟。	VDDE1V8
HT1_CLKp/ HT1_CLKn	I	200	HT1 总线及控制器使用参考时钟。	VDDE1V8
HTCLK	I	100	HT0 及 HT1 总线控制器使用的可选备份时钟	VDDE1V8
CLKSEL[15:0]	I	-	Core、Node、DDR 和 HT 的频率选择，参见表 2-14 处理器核时钟域及节点时钟域倍频-2.16.	VDDE1V8

SYSCLK 必须在 25MHz ~ 200MHz 之间。

处理器核时钟及节点时钟由 SYSCLK 的倍频决定，当 CLKSEL[5] 为 1 时，倍频关系由 CLKSEL[4:0] 决定；当 CLKSEL[5] 为 0 时，倍频关系由软件进行设置，此时的初始默认倍频为 1 倍频。具体的倍频系数参见下表。

表 2-14 处理器核时钟域及节点时钟域倍频系统

CLKSEL[5:0]	处理器核时钟倍频系数	CLKSEL[5:0]	节点时钟倍频系数
6'b110xx0	36	6'b1xx100	36
6'b101xx0	32	6'b1xx010	32
6'b100xx0	24	6'b1xx000	24
6'b110xx1	18	6'b1xx101	18
6'b101xx1	16	6'b1xx011	16
6'b100xx1	12	6'b1xx001	12

6'b111xx0	2	6'b1xx110	2
6'b111xx1	1	6'b1xx111	1
6'b0xxxxx	初始倍频为 1 倍频，可由软件进行重新配置		

MEMCLK 必须在 25MHz ~ 200MHz 之间。

内存控制器时钟是由 MEMCLK 的倍频决定，当 CLKSEL[9]为 1 时，倍频关系由 CLKSEL[8:6] 决定；当 CLKSEL[9]为 0 时，倍频关系由软件进行设置，此时的初始默认倍频为 1 倍频。具体的倍频系数参见下表。

表 2-15 DDR2/3 时钟域倍频

CLKSEL[9:6]	倍频系数	CLKSEL[9:6]	倍频系数
4'b1111	1	4'b1110	26
4'b1101	12	4'b1100	24
4'b1011	11	4'b1010	22
4'b1001	10	4'b1000	20
4'b0xxx	初始倍频为 1 倍频，可由软件进行重新配置		

表 2-16 HT 时钟控制

信号	作用
CLKSEL[15]	1'b1: 表示 HT 控制器时钟采用 CLKSEL[14:10]控制 1'b0: 初始倍频为 1 倍频，可由软件进行重新配置
CLKSEL[14:13]	2'b00 表示控制器时钟为 PHY 时钟频率（PHY 时钟 bypass 时为 3.2G）除以 2 2'b01 表示控制器时钟为 PHY 时钟频率（PHY 时钟 bypass 时为 3.2G）除以 4 2'b10 表示控制器时钟为 PHY 时钟频率（PHY 时钟 bypass 时为 3.2G）除以 8 2'b11 表示控制器时钟取决于 PCICONF[7]: 1'b1 普通输入时钟 100MHz, 1'b0 差分输入时钟 200MHz
CLKSEL[12:10]	3'b000 表示 PHY 时钟为 800M（HT 总线 200/400） 3'b001 表示 PHY 时钟为 1.2G（HT 总线 200/300/600） 3'b010 表示 PHY 时钟为 1.6G（HT 总线 200/400/800） 3'b011 表示 PHY 时钟为 2.0G（HT 总线 200/500/1000） 3'b100 表示 PHY 时钟为 2.4G（HT 总线 200/300/400/600/1200） 3'b101 表示 PHY 时钟为 2.8G（HT 总线 200/1400） 3'b110 表示 PHY 时钟为 3.2G（HT 总线 200/400/800/1600） 3'b111 表示 PHY 时钟取决于 PCICONF[7]: 1'b1 普通输入时钟 100MHz, 1'b0 差分输入时钟 200MHz

2.11 GPIO 信号

龙芯 3B1500 处理器包含 16 个 GPIO，其引脚定义见下表。

表 2-17 GPIO 信号

信号名称	输入/输出	描述	复位状态	电压域
GPIO00	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO01	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO02	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO03	I/O	通用输入输出	输出高阻	VDDE1V8

GPIO04	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO05	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO06	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO07	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO08	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO09	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO10	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO11	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO12	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO13	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO14	I/O	通用输入输出	输出高阻	VDDE1V8
GPIO15	I/O	通用输入输出	输出高阻	VDDE1V8

2.12 电源引脚

表 2-18 电源引脚

Parameter	Description	Power Voltage
VDD	处理器核外电源	1.1V
VDD_N0/1	节点 0/1 电源	1.1 - 1.3V
VDDE1V8	处理器 IO 电源	1.8V
MEM_VDDE_0/1	DDR2 通道 0/1 IO 电源	1.8V
	DDR3 通道 0/1 IO 电源	1.5V
MEM_VREF_0/1	DDR2 通道 0/1 参考电源	0.9V
	DDR3 通道 0/1 参考电源	0.75V
HT_VDDE	HT IO 电源	1.2V
CORE_PLL_AVDD	Core PLL 模拟电源	1.15V
CORE_PLL_DVDD	Core PLL 数字电源	1.15V
DDR_PLL_AVDD	DDR2 PLL 模拟电源	1.15V
DDR_PLL_DVDD	DDR2 PLL 数字电源	1.15V
HT0/1_PLL_AVDD	HT0/1 PLL 模拟电源	1.15V
HT0/1_PLL_DVDD	HT0/1 PLL 数字电源	1.15V

3. PCI 总线接口特性

3.1 PCI/PCI-X 接口特性

PCI/PCI-X 接口特性包括：

- 兼容 PCI 2.3 和 PCI-X 1.0b (注：电压非标准，为 1.8v)；
- 接口速度最高支持到 33MHz；
- 支持 64 位双地址周期寻址(Dual Address Cycle)；
- 支持 PCI-X 模式下 8 个对外 split 读请求；
- 支持 PCI-X 模式下 4 个对内 split 读请求；

3.2 仲裁器和设备模式

龙芯 3B1500 的 PCI/PCI-X 接口可以工作在主桥模式或设备模式。它依赖于初始信号 PCI_CONFIG。当处理器工作在主桥模式时，接口根据 PCI_CONFIG[6:4]的内容初始化总线设备，这种情况 PCI_IDSEL 直接接地；当处理器工作在设备模式时，PCI 总线的初始值定义了接口的工作模式。在主桥模式时，PCI_CONFIG[6:4]的值应该根据总线设备的驱动能力去设置（请参见 PCI-X 1.0b 标准）。

3.3 PCI 总线仲裁器

龙芯 3B1500 上的 PCI/PCI-X 总线仲裁器最多支持 8 个主设备。仲裁采用两级的 Round Robin 调度算法，每一个请求的级别由软件配置决定。仲裁器能确保在总线切换时插入一个空周期。当总线上没有请求时，总线可配置为归属于最后发起操作的主设备或任一指定的主设备。

当龙芯 3B1500 的 PCI/PCI-X 接口请求/允许信号连接到第 0 号请求/允许信号线，1 到 7 号请求线连至片外（pci_req[6:0]与 pci_gnt[6:0]）。当 PCI_CONFIG[1]设置成 1 时，PCI/PCI-X 接口请求应通过 pci_req[0]和 pci_gnt[0]连到外部的总线仲裁器上。

4. HyperTransport 总线接口描述

龙芯 3B1500 处理器拥有两个 16 位 HyperTransport 总线接口。每个 16 位总线接口可以分别配置为两个独立的 8 位 HyperTransport 总线接口单独使用。龙芯 3B1500 中，HyperTransport 接口硬件支持 IO Cache 一致性。并且，在使用龙芯 3B1500 的多片互联系统中，HT0 总线硬件支持多处理器核间 Cache 一致性。

4.1 HyperTransport 接口特性

HyperTransport 接口特性包括：

- 兼容 HyperTransport 1.03；
- 接口频率支持 200/400/600/800/1000/1200/1600Mhz；
- 接口宽度支持 8/16 位模式；
- 输入输出频率宽度分别可设；
- 每个 16 位总线可单独配置为两个 8 位总线使用；
- 支持 IO Cache 一致性；
- HT0 支持多处理器核间 Cache 一致性；

4.2 设备模式

HyperTransport 接口包括以下几个配置引脚：

- PCI_config[7]，用于配选择 HT 的参考时钟。1 为单端 100MHz，0 为差分 200MHz；
- HTx_8x2，用于配置每个 HT 总线的工作模式，为 1 表示对应的 HT 总线配置为两个 8 位总线分别使用；
- HTx_x_Hostmode，用于配置 HT 总线上单端控制信号的 IO 方向。

4.3 系统 HT 接口连接

龙芯 3B1500 中的 HyperTransport 接口可以用于系统中的 IO 连接或多处理器互联，不同系统中的连接方式如下所示：

- 龙芯 3B1500 单处理器系统连接。用于 IO 设备连接时，HyperTransport 接口硬件维护 IO Cache 一致性。相比 PCI 接口，减少了软件维护 Cache 一致性协议所产生的开销，一种常见的连接方式如图 4-1 龙芯 3B1500 单处理器系统 HT 接口连接 所示：

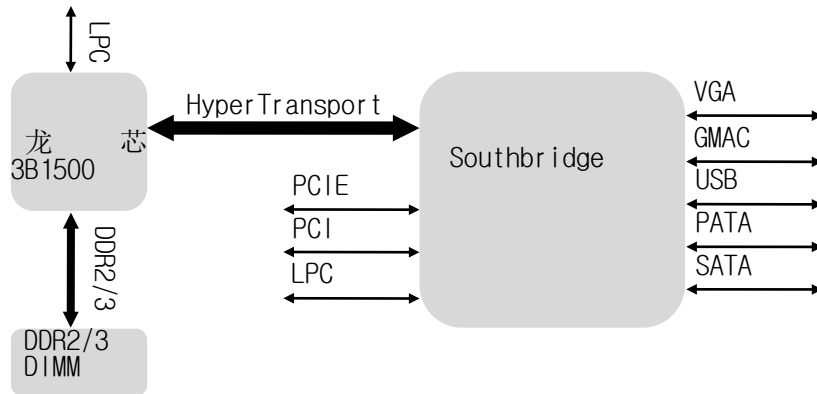


图 4-1 龙芯 3B1500 单处理器系统 HT 接口连接

- 龙芯 3B1500 多处理器系统连接。用于多处理器间互联时，HT0 接口硬件支持处理器核间 Cache 一致性协议，可以使用 HT0 接口可以构成 2 片龙芯 3B1500 处理器的互联系统。如果需要继续扩展，则需要使用不支持处理器核间 Cache 一致性的 HT1 接口或采用其它方式。图 4-2 龙芯 3B1500 多处理器系统 HT 接口连接（二片）中给出了 2 片互联的方式：

需要注意的是，使用两片互联系统时，主处理器的 NODE_ID[1:0]需要设置为 00，从处理器的 NODE_ID[1:0]需要设置为 10。

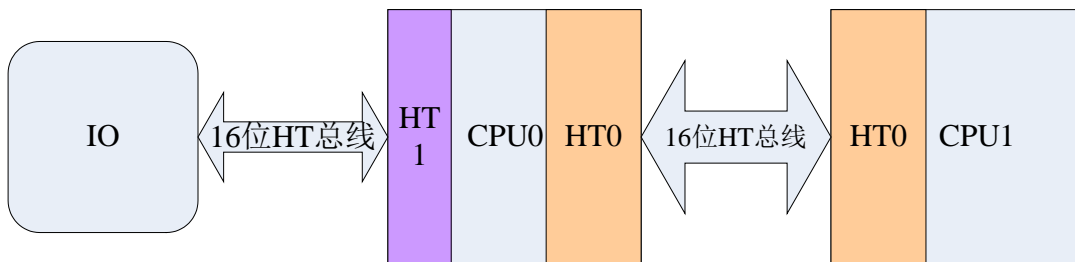


图 4-2 龙芯 3B1500 多处理器系统 HT 接口连接（二片）

5. DDR2/3 SDRAM 控制器接口描述

龙芯 3B1500 集成了内存控制器，兼容 DDR2/3 SDRAM 标准。

5.1 DDR2/3 SDRAM 控制器特性

龙芯 3B1500 处理器有两个内存控制器，每个内存控制器可以支持两个内存条，共四个片选信号。通过四个片选信号和 19 位的地址总线（16 位行/列地址和 3 位逻辑 Bank 地址）实现最大地址空间是 128G (2^{37})。

在使用 DDR2/3 SDRAM 之前，需要配置 DDR2/3 控制器的参数，以使之能配合相应的内存条正确工作。对于龙芯 3B1500 处理器，芯片选择信号（CS_n）的最大数目是 4。行地址（RAS_n）和列地址（CAS_n）的最大带宽分别是 15 和 14。还有 3 位的逻辑 bank 信号（BANK_n）。

CPU 内存的物理地址能被转换为行/列地址，见表 5-1。例如，4 个 CS_n 信号，8 个 banks，12 位行地址和 12 位列地址。

表 5-1 时钟信号 DDR2 SDRAM 行/列地址转换

36	32	31	30	29	18	17	15	14	3	2	0
			CS _n		RAS _n		BANK _n		CAS _n		Byte

内存控制器接收从处理器或外部设备发送的内存读写请求。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。内存控制器特性包括：

- 支持的内存类型包括：DDR2/3 颗粒、DDR2/3 UDIMM、DDR2/3 SO-DIMM、DDR2/3 RDIMM；
- 全流水的命令和数据读写；
- 通过合并和重排序增加带宽；
- 通过丰富的寄存器读写端口修改基本的参数；
- 内置 Delay Compensation Circuit(DCC)，用来可靠的发送/接收数据；
- 1 位和 2 位错误检测，通过 ECC 进行 1 位的错误修正；
- 频率：400MHz-667MHz；
- 16/32/64 位软件可选择总线宽度。

5.2 DDR2/3 SDRAM 读协议

图 5-1 中显示 DDR2 SDRAM 读协议，命令（CMD）包括 RAS_n，CAS_n 和 WE_n。当一个读请求发生时，RAS_n=1，CAS_n=0，WE_n=1。

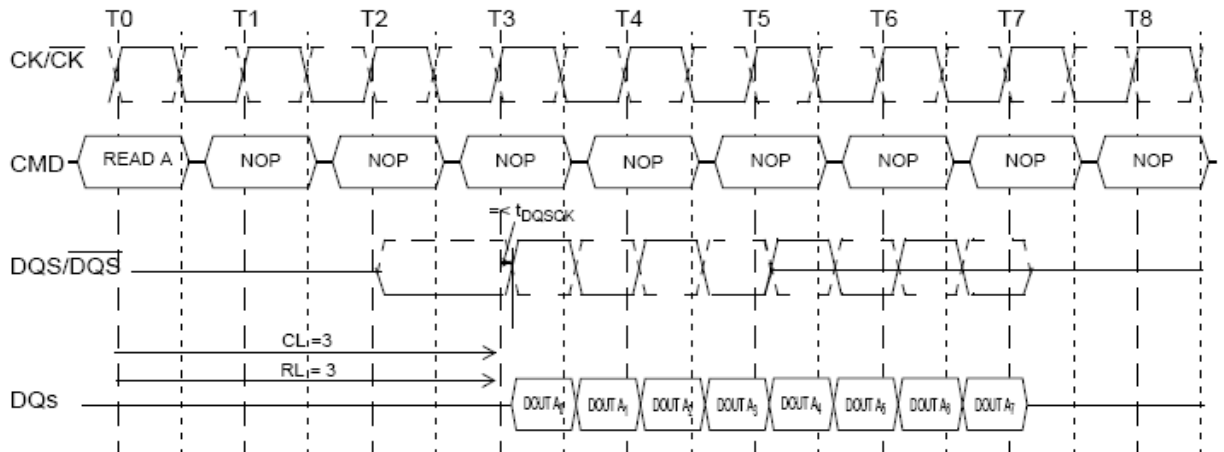


图 5-1 DDR2 SDRAM 读协议

注：Cas Latency = 3, Read Latency = 3, Burst Length = 8

5.3 DDR2/3 SDRAM 写协议

在图 5-2 中显示 DDR2 SDRAM 写协议，命令 (CMD) 包括 RAS_n, CAS_n 和 WE_n。当写请求发生时，RAS_n=1, CAS_n=0, WE_n=0。与读协议不同，DQM 用来识别需要被写的字节数。DQM 和 DQS 是同步的。

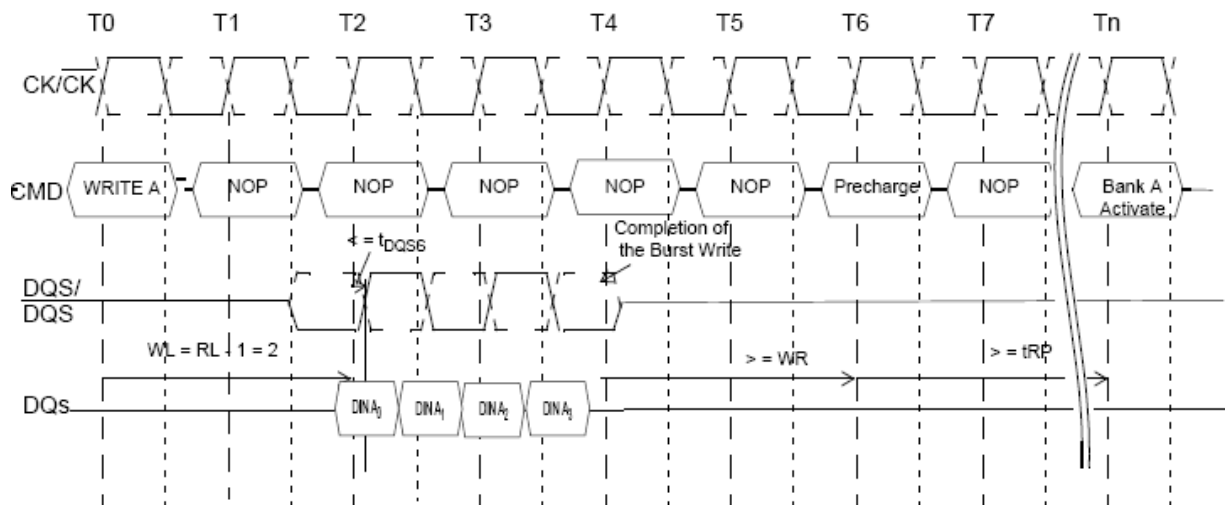


图 5-2 DDR2 SDRAM 写协议

注：Cas Latency = 3, Write Latency = Read Latency - 1 = 2, Burst Length = 4.

5.4 DDR2/3 SDRAM 参数设置顺序

为了在系统中支持不同的 DDR2/3 SDRAM 颗粒，DDR2/3 SDRAM 需要在加电复位后配置。DDR2/3 标准定义了详细的配置操作和过程。DDR2/3 在内存初始化前是不可用的，初始化操作由软件向寄存器 Init_start (0x018) 写入 1 时开始，在设置 Init_start 信号之前，必须将其它所有寄存器设置为正确的值。

软硬件协同的 DRAM 初始化过程如下：

1. 软件向所有的寄存器写入正确的配置值，但是 Init_start (0x018) 在这一过程中必须保持为 0；
2. 软件将 Init_start (0x018) 设置为 1，这将导致硬件初始化的开始；
3. PHY 内部开始初始化操作，DLL 将尝试进行锁定操作。如果锁定成功，则可以从 Dll_init_done (0x000) 读出对应状态，并可以从 Dll_value_ck (0x000) 读写当前锁定延迟线个数；如果锁定不成功，则初始化不会继续进行（此时可以通过设置 Dll_bypass (0x018) 使得初始化继续执行）；
4. DLL 锁定（或者 bypass 设置）之后，控制器将根据对应 DRAM 的初始化要求向 DRAM 发出相应的初始化序列，例如对应的 MRS 命令，ZQCL 命令等等；
5. 软件可以通过采样 Dram_init (0x160) 寄存器来判断内存初始化操作是否完成。

5.5 细粒度多通道模式

龙芯 3B1500 支持一种称为细粒度多通道的内存访问模式，这种模式能够有效提高内存带宽利用率，有效降低内存功耗。

需要使用细粒度多通道模式，硬件连接时每个 CS/ODT 连接 16 位 DQ，也即 CS0/ODT0 对应 DQ[15:0]，CS1/ODT1 对应 DQ[31:16]，CS2/ODT2 对应 DQ[47:32]，CS3/ODT3 对应 DQ[63:48]。地址线与其它控制线连接所有内存颗粒。

这种方式下，ECC 模式无法使用。

6. 复位时序要求

龙芯 3B1500 的初始化分为Core时钟域、DDR2/3 时钟域、HT相关时钟域和PCI时钟域。

当处理器复位信号SYSRESETn为低时，相关的时钟，测试信号和初始化信号都必须有效。

这些信号包括：

- SYSCLK, MEMCLK, HTCLK, PCI_CLK, CLKSEL, 差分时钟 ht0_clkp/ht0_clkn 和差分时钟 ht1_clkp/ht1_clkn, 这些信号必须稳定。
- 初始化信号 PCI_CONFIG 应该被设置为合适的值。
- ICCEN 和 NODE_ID 必须稳定（在复位结束前设置完毕并保持不变，信号意义见下文第二段）。

当SYSRESETn变高后，处理器内部的复位逻辑开始初始化芯片。SYSRESETn应至少保持一个时钟周期内（相对于SYSCLK）有效，以保证复位逻辑能可靠采样。PCI时钟域将会被首先初始化以保证龙芯 3B1500 中基本配置寄存器的有效，当龙芯 3B1500 作为PCI Master时还会输出PCI_RESETEn来复位外部PCI设备。此后Core、DDR2/3 和HT时钟域相继初始化完成并根据配置引脚的输入去复位外部设备。

ICCN信号为Inter Connection Cache Coherence Enable的缩写，此信号用于多片互联时维护cache一致性。NODE_ID信号用于在多片互联时用来设置处理器号。

龙芯 3B1500 的复位时序图如下所示，图中黑色信号为外部信号，浅色信号为内部信号，用户无需关心。

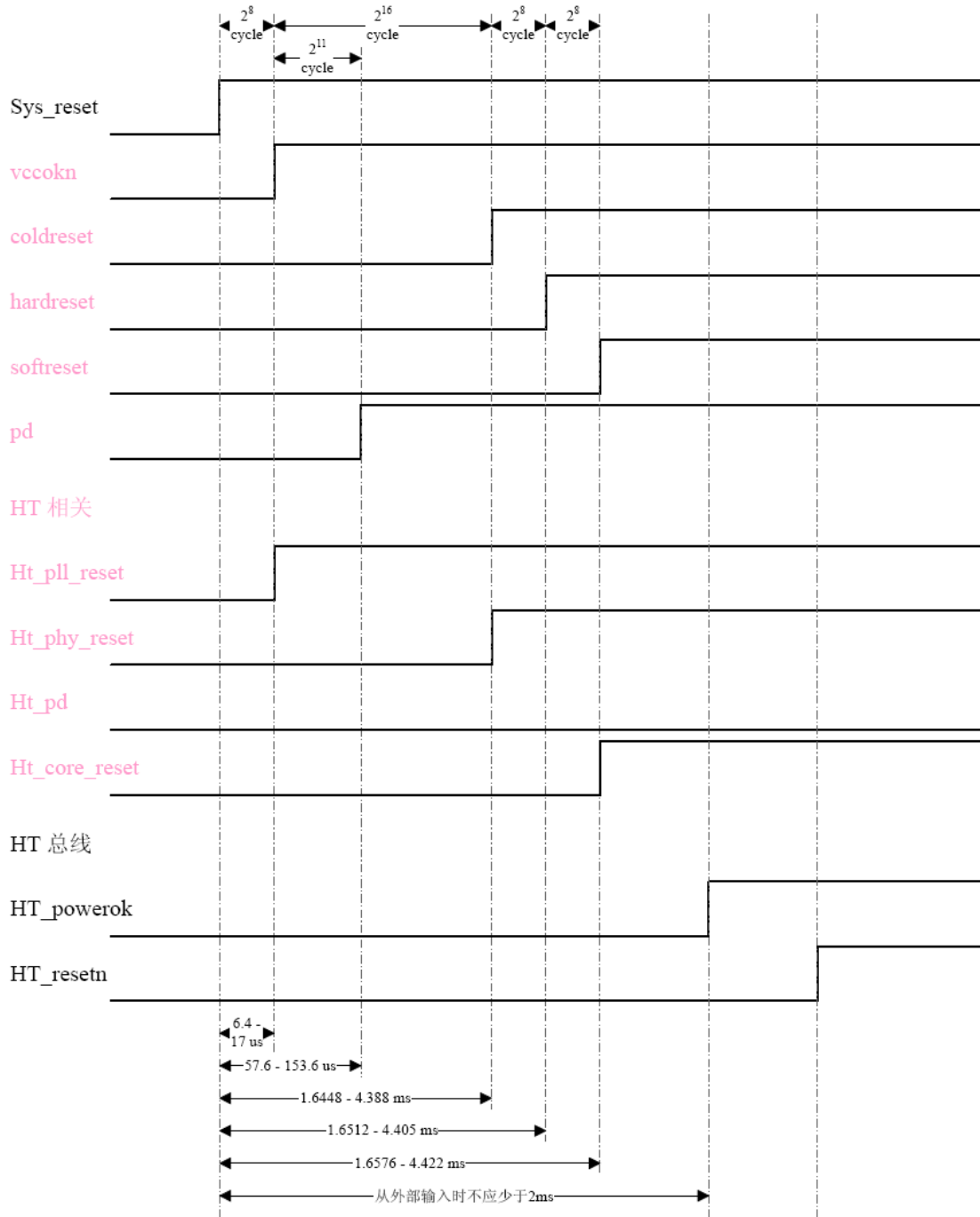


图 6-1 龙芯 3B1500 复位时序图

7. 电气特性

7.1 通用电器特性

7.1.1 绝对最大额定值

表 7-1 绝对最大额定值

Parameter	Description	Min.	Max.
VDD	处理器核电源	-0.3V	1.2V
VDD_N0/1	处理器节点 0/1 电源	-0.3V	1.5V
VDDE1V8	处理器 IO 电源	-0.3V	2.0V
MEM_VDDE_0/1	DDR2 通道 0/1 IO 电源	-0.3V	2.3V
	DDR3 通道 0/1 IO 电源	-0.3V	1.8V
HT_VDDE	HT IO 电源	-0.3V	1.3V
Tstg	存储温度	-55	150

7.1.2 推荐的直流工作条件

表 7-2 推荐的直流工作条件

Parameter	Description	Min.	Typ.	Max.
VDD	处理器核电源	1.05V	1.05V	1.15V
VDD_N0/1	处理器节点 0/1 电源	1.00V	1.10V	1.3V
VDDE1V8	处理器 IO 电源	1.71V	1.80V	1.89V
CORE_PLL_AVDD	核心 PLL 模拟电源	1.1V	1.15V	1.2V
CORE_PLL_DVDD	核心 PLL 数字电源	1.1V	1.15V	1.2V
CORE_PLL_GND	核心 PLL 地	0V	0V	0V
DDR_PLL_AVDD	DDR PLL 模拟电源	1.1V	1.15V	1.2V
DDR_PLL_DVDD	DDR PLL 数字电源	1.1V	1.15V	1.2V
DDR_PLL_GND	DDR PLL 地	0V	0V	0V
HT0/1_PLL_AVDD	HT0/1 PLL 模拟电源	1.1V	1.15V	1.2V
HT0/1_PLL_DVDD	HT0/1 PLL 数字电源	1.1V	1.15V	1.2V
HT0/1_PLL_GND	HT0/1 PLL 地	0V	0V	0V

7.2 HyperTransport 总线接口特性

7.2.1 HyperTransport 推荐直流工作条件

表 7-2 HyperTransport 直流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
V_{OD}	Output Differential Voltage	495	600	715	mV
ΔV_{OD}	Change in V_{OD} from 0 to 1 State	-15	0	15	mV
V_{OCM}	Output Common Mode Voltage	495	600	715	mV
ΔV_{OCM}	Change in V_{OCM} from 0 to 1 State	-15	0	15	mV
V_{ID}	Input Differential Voltage	200	600	1000	mV
ΔV_{ID}	Change in V_{ID} from 0 to 1 State	-15	0	15	mV
V_{ICM}	Input Common Mode Voltage	440	600	780	mV
ΔV_{ICM}	Change in V_{ICM} from 0 to 1 State	-15	0	15	mV
R_{IT}	Input Differential Impedance	90	100	110	Ohm
R_{ON} (pull up)	Output Driver Impedance driving high	45	50	55	Ohm
R_{ON} (pull down)	Output Driver Impedance driving low	45	50	55	Ohm
C_{out}	Output pad capacitance for devices rated above 800 MT/s.			3	pF
	Output pad capacitance for devices rated up to 800 MT/s.			5	pF
C_{in}	Input pad capacitance for devices rated above 800 MT/s.			2	pF
	Input pad capacitance for devices rated up to 800 MT/s			5	pF

7.2.2 HyperTransport 推荐交流工作条件

表 7-3 HyperTransport 交流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
V_{OD}	Output Differential Voltage	400	600	820	mV
ΔV_{OD}	Change in V_{OD} from 0 to 1 State	-75		75	mV
V_{OCM}	Output Common Mode Voltage	440	600	780	mV
ΔV_{OCM}	Change in V_{OCM} from 0 to 1 State	-50		50	mV
V_{ID}	Input Differential Voltage	300	600	900	mV
ΔV_{ID}	Change in V_{ID} from 0 to 1 State	-125		125	mV
V_{ICM}	Input Common Mode Voltage	385	600	845	mV

ΔV_{ICM}	Change in V_{ICM} from 0 to 1 State	-100		100	mV
T_R	Input Rising Edge Rate	1.0		4.0	V/ns
T_F	Input Falling Edge Rate	1.0		4.0	V/ns

7.2.3 传输时序特性

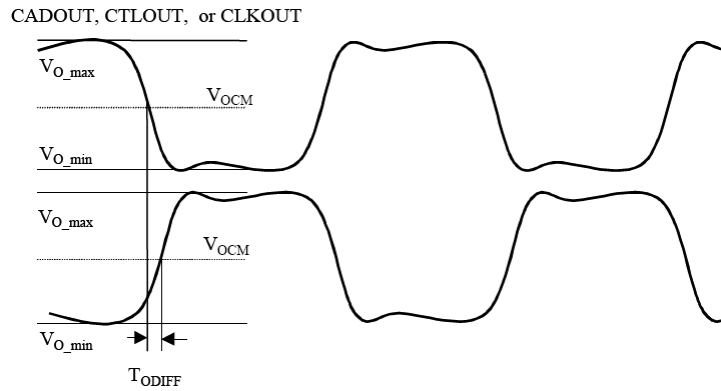


图 7-1 HyperTransport 总线 T_{ODIFF} 时序

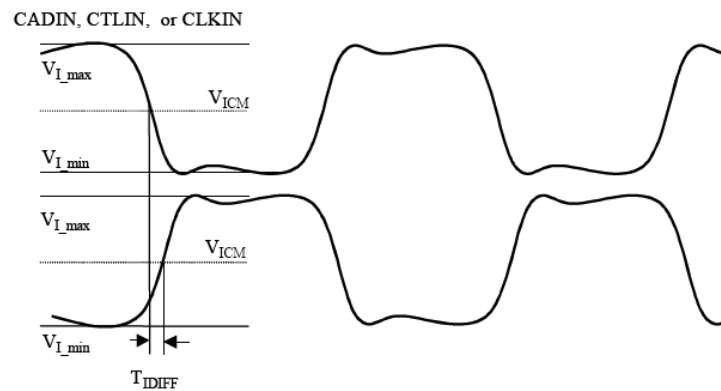


图 7-2 HyperTransport 总线 T_{IDIFF} 时序

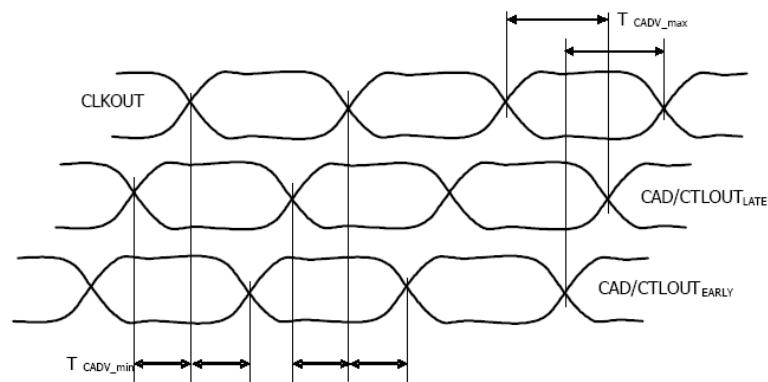


图 7-3 HyperTransport 总线 T_{CADV} 时序

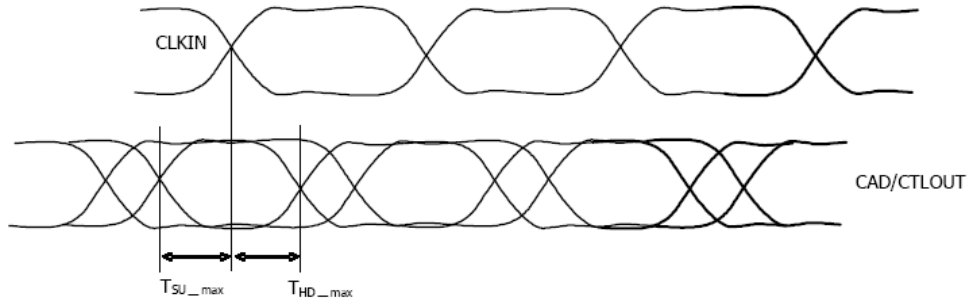


图 7-4 HyperTransport 总线 TSU 和 THD 时序

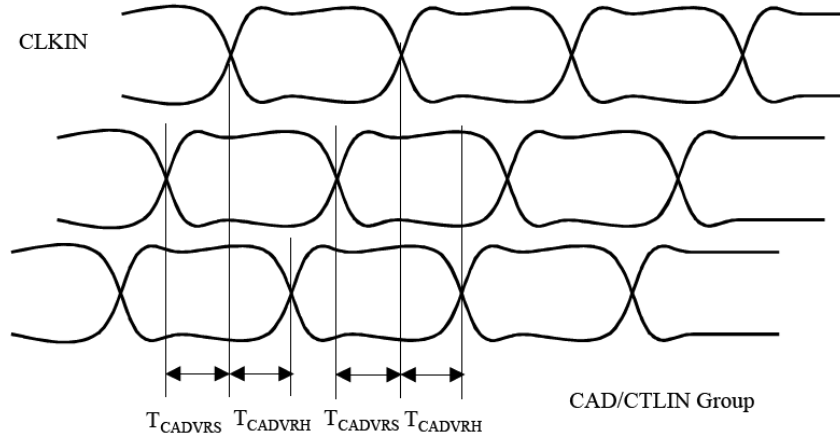


图 7-5 HyperTransport 总线 TCADVRS / TCADVRH 时序

表 7-4 HyperTransport 连接传输时序规范

Parameter	Description	Link Speed	Min.	Max.	Units
T_{ODIFF}	Output differential skew	400 MT/s		70	ps
		600 MT/s		70	ps
		800 MT/s		70	ps
		1000 MT/s		60	ps
		1200 MT/s		60	ps
		1600 MT/s		60	ps
T_{IDIFF}	Input differential skew	400 MT/s		90	ps
		600 MT/s		90	ps
		800 MT/s		90	ps
		1000 MT/s		65	ps
		1200 MT/s		65	ps
		1600 MT/s		65	ps
T_{CADV}	Transmitter output CAD/CTLOUT valid relative to CLKOUT	400 MT/s	695	1805	ps
		600 MT/s	467	1200	ps
		800 MT/s	345	905	ps
		1000 MT/s	280	720	ps
		1200 MT/s	234	600	ps
		1600 MT/s	166	459	Ps

T_{CADVRS}	Receiver input CADIN valid time to CLKIN	400 MT/s	460		ps
		600 MT/s	312		ps
		800 MT/s	225		ps
		1000 MT/s	194		ps
		1200 MT/s	166		ps
		1600 MT/s	116		Ps
T_{CADVRH}	Receiver input CADIN valid time from CLKIN	400 MT/s	460		ps
		600 MT/s	312		ps
		800 MT/s	225		ps
		1000 MT/s	194		ps
		1200 MT/s	166		ps
		1600 MT/s	116		Ps
T_{SU}	Receiver input setup time	400 MT/s	0	250	ps
		600 MT/s	0	215	ps
		800 MT/s	0	175	ps
		1000 MT/s	0	153	ps
		1200 MT/s	0	138	ps
		1600 MT/s	0	110	Ps
T_{HD}	Receiver input hold time	400 MT/s	0	250	ps
		600 MT/s	0	215	ps
		800 MT/s	0	175	ps
		1000 MT/s	0	153	ps
		1200 MT/s	0	138	ps
		1600 MT/s	0	110	Ps

7.3 DDR2 总线内存接口特性

7.3.1 推荐直流特性

表 7-5 推荐的直流工作条件(SSTL_1.8)

Symbol	Parameter	Rating			Units
		Min.	Typ.	Max.	
VDDQ (MEM_VDDE_0/1)	Supply Voltage for Output	1.7	1.8	1.9	V
VREF (MEM_VREF_0/1)	Input Reference Voltage	0.49 x VDDQ	0.50 x VDDQ	0.51 x VDDQ	V
VTT	Termination Voltage	VREF - 0.04	VREF	VREF + 0.04	V

表 7-6 输入的直流逻辑电平

Symbol	Parameter	Min.	Max.	Units
VIH(dc)	DC input logic HIGH	VREF+0.125	VDDQ+0.3	V
VIL(dc)	DC input logic LOW	-0.3	VREF-0.125	V

表 7-7 输出直流电流驱动

Symbol	Parameter	SST1_18	Units
I _{OH} (dc)	Output Minimum Source DC Current	-13.4	mA
I _{OL} (dc)	Output Minimum Sink DC Current	13.4	mA

7.3.2 推荐的交流特性

表 7-8 输入交流逻辑电平

Symbol	Parameter	DDR2-400, DDR2-533		DDR2-667, DDR2-800		Units
		Min.	Max.	Min.	Max.	
V _{IH} (ac)	ac input logic HIGH	VREF+0.250	-	VREF+0.200	-	V
V _{IL} (ac)	ac input logic LOW	-	VREF-0.250		VREF-0.200	V

表 7-9 差分的输入交流逻辑电平

Symbol	Parameter	Min.	Max.	Units
V _{ID} (ac)	AC differential input voltage	0.5	VDDQ+0.6	V
V _{IX} (ac)	AC differential crosspoint voltage	0.5 x VDDQ-0.175	0.5 x VDDQ+0.175	V

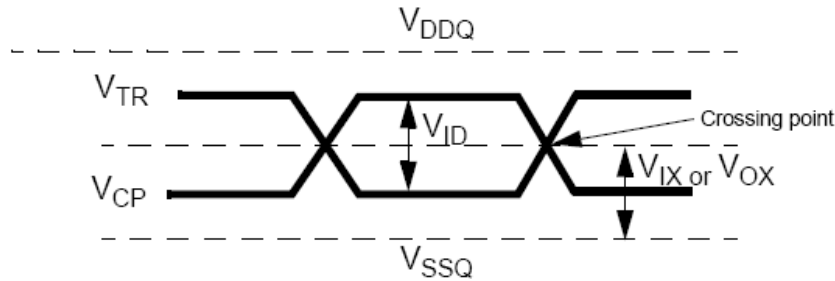


图 7-6 差分的信号电平

表 7-10 差分的交流输出参数

Symbol	Parameter	Min.	Max.	Units
V _{OX} (ac)	AC differential crosspoint voltage	0.5 x VDDQ-0.125	0.5 x VDDQ+0.125	V

7.3.3 电气交流时序特性

表 7-11 不同密度的器件刷新参数

Parameter	Symbol	256 Mb	512 Mb	1Gb	2Gb	4Gb	Units
Refresh to active/Refresh	tRFC	75	105	127.5	195	327.5	ns

command time									
Average periodic refresh interval	tREFI	0° C ≤ TCASE ≤ 85° C	7.8	7.8	7.8	7.8	7.8	7.8	μs
		85° C < TCASE ≤ 95° C	3.9	3.9	3.9	3.9	3.9	3.9	μs

表 7-12 DDR2 内存标准速率分级

Speed bin CL-tRCD-tRP	DDR2-800C		DDR2-800D		DDR2-800E		DDR2-667C		DDR2-667D		Units
	4-4-4		5-5-5		6-6-6		4-4-4		5-5-5		
Parameter	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
tRCD	10	-	12.5	-	15	-	12	-	15	-	ns
tRP1	10	-	12.5	-	15	-	12	-	15	-	ns
tRC	55	-	57.5	-	60	-	57	-	60	-	ns
tRAS	45	70000	45	70000	45	70000	45	70000	45	70000	ns
tCK (avg) @CL=2	Optional		Optional		Optional		Optional		Optional		ns
tCK (avg) @CL=3	Optional		Optional		Optional		Optional		Optional		ns
tCK (avg) @CL=4	2.5	8	3.75	8	3.75	8	3	8	3.75	8	ns
tCK (avg) @CL=5	2.5	8	2.5	8	3	8	3	8	3	8	ns
tCK (avg) @CL=6	Optional		Optional		2.5	8	Optional		Optional		ns

表 7-13 DDR2-667 和 DDR2-800 时序参数

Parameter	Symbol	DDR2-667		DDR2-800		Units
		Min.	Max.	Min.	Max.	
Average clock period	tCK (avg)	3000	8000	2500	8000	ps
Average clock HIGH pulse width	tCH (avg)	0.48	0.52	0.48	0.52	tCK (avg)
Average clock LOW pulse width	tCL (avg)	0.48	0.52	0.48	0.52	tCK (avg)
Write command to DQS associated clock edge	WL	RL - 1		RL - 1		nCK
DQS latching rising transitions to associated clock edges	tDQSS	-0.25	0.25	-0.25	0.25	tCK (avg)
DQS falling edge to CK setup time	tDSS	0.2	x	0.2	x	tCK (avg)
DQS falling edge hold time from CK	tDSH	0.2	x	0.2	x	tCK (avg)
DQS input HIGH pulse width	tDQSH	0.35	x	0.35	x	tCK (avg)
DQS input LOW pulse width	tDQSL	0.35	x	0.35	x	tCK (avg)
Write preamble	tWPRE	0.35	x	0.35	x	tCK (avg)
Write postamble	tWPST	0.4	0.6	0.4	0.6	tCK (avg)

Address and control input setup time	tIS(base)	200	x	175	x	ps
Address and control input hold time	tIH(base)	275	x	250	x	ps
Control & Address input pulse width for each input	tIPW	0.6	x	0.6	x	tCK(avg)
DQ and DM input setup time	tDS(base)	100	x	50	x	ps
DQ and DM input hold time	tDH(base)	175	x	125	x	ps
DQ and DM input pulse width for each input	tDIPW	0.35	x	0.35	x	tCK(avg)
DQ output access time from CK/CK	tAC	-450	450	-400	400	ps
DQS output access time from CK/CK	tDQSCK	-400	400	-350	350	ps
Data-out high-impedance time from CK/CK	tHZ	x	tAC, max	x	tAC, max	ps
DQS/DQS low-impedance time from CK/CK	tLZ(DQS)	tAC, min	tAC, max	tAC, min	tAC, max	ps
DQ low-impedance time from CK/CK	tLZ(DQ)	2 x tAC, min	tAC, max	2 x tAC, min	tAC, max	ps
DQS-DQ skew for DQS and associated DQ signals	tDQSQ	x	240	x	200	ps
CK half pulse width	tHP	Min(tCH(abs), tCL(abs))	x	Min(tCH(abs), tCL(abs))	x	ps
DQ hold skew factor	tQHS	X	340	x	300	ps
DQ/DQS output hold time from DQS	tQH	tHP - tQHS	x	tHP - tQHS	x	ps
Read preamble	tRPRE	0.9	1.1	0.9	1.1	tCK(avg)
Read postamble	tRPST	0.4	0.6	0.4	0.6	tCK(avg)
Activate to activate command period for 1KB page size products	tRRD	7.5	x	7.5	x	ns
Activate to activate command period for 2KB page size products	tRRD	10	x	10	x	ns
Four Activate Window for 1KB page size products	tFAW	37.5	x	35	x	ns
Four Activate Window for 2KB page size products	tFAW	50	x	45	x	ns
CAS to CAS command delay	tCCD	2	x	2	x	nCK

Write recovery time	tWR	15	x	15	x	ns
Auto precharge write recovery + precharge time	tDAL	WR + tnRP	x	WR + tnRP	x	nCK
Internal write to read command delay	tWTR	7.5	x	7.5	x	ns
Internal read to precharge command delay	tRTP	7.5	x	7.5	x	ns
CKE minimum pulse width (HIGH and LOW pulse width)	tCKE	3	x	3	x	nCK
Exit self refresh to a non-read command	tXSNR	tRFC + 10	x	tRFC + 10	x	ns
Exit self refresh to a read command	tXSRD	200	x	200	x	nCK
Exit precharge power down to any command	tXP	2	x	2	x	nCK
Exit active power down to read command	tXARD	2	x	2	x	nCK
Exit active power down to read command (slow exit, lower power)	tXARDS	7-AL	x	8-AL	x	nCK
ODT turn-on delay	tAOND	2	2	2	2	nCK
ODT turn-on	tAON	tAC, min	tAC, max + 0.7	tAC, min	tAC, max + 0.7	ns
ODT turn-on (Power-Down mode)	tAONPD	tAC, min + 2	2 x tCK(avg) + tAC, max + 1	tAC, min + 2	2 x tCK(avg) + tAC, max + 1	ns
ODT turn-off delay	tAOFD	2.5	2.5	2.5	2.5	nCK
ODT turn-off	tAOF	tAC, min	tAC, max + 0.6	tAC, min	tAC, max + 0.6	ns
ODT turn-off (Power-Down mode)	tAOFPD	tAC, min + 2	2.5 x tCK(avg) + tAC, max + 1	tAC, min + 2	2.5 x tCK(avg) + tAC, max + 1	ns
ODT to power down entry latency	tANPD	3	x	3	x	nCK
ODT Power Down Exit Latency	tAXPD	8		8		nCK
Mode register set command cycle time	tMRD	2	x	2	x	nCK
MRS command to ODT update delay	tMOD	0	12	0	12	ns
OCD drive mode output delay	tOIT	0	12	0	12	ns
Minimum time clocks remains ON after CKE asyn-chronously drops LOW	tDelay	tIS+ tCK(avg)+ tIH	X	tIS + tCK(avg) + tIH	x	ns

7.4 DDR3 内存接口特性

7.4.1 推荐的直流工作条件

表 7-14 推荐的直流工作条件

Symbol	Parameter	Min.	Typ.	Max.	Unit
V _{DD}	Supply Voltage	1.425	1.5	1.575	V
V _{DDQ}	Supply Voltage for Output	1.425	1.5	1.575	V

7.4.2 交流和直流逻辑输入电平

7.4.2.1. 单端信号的交流和直流输入电平

表 7-15 控制信号和地址单端信号的交流和直流输入电平

Symbol	Parameter	DDR3-800/1066/1333/1600		Unit
		Min	Max	
V _{IH.CA(DC100)}	DC input logic high	V _{ref} + 0.100	V _{DD}	V
V _{IL.CA(DC100)}	DC input logic low	V _{SS}	V _{ref} - 0.100	V
V _{IH.CA(AC175)}	AC input logic high	V _{ref} + 0.175	Note 2	V
V _{IL.CA(AC175)}	AC input logic low	Note 2	V _{ref} - 0.175	V
V _{IH.CA(AC150)}	AC input logic high	V _{ref} + 0.150	Note 2	V
V _{IL.CA(AC150)}	AC input logic low	Note 2	V _{ref} - 0.150	V
V _{RefCA(DC)}	Reference Voltage for ADD, CMD inputs	0.49 * V _{DD}	0.51 * V _{DD}	V

表 7-16 DQ 和 DM 单端信号的交流和直流输入电平

Symbol	Parameter	DDR3-800, DDR3-1066		DDR3-1333, DDR3-1600		Unit
		Min	Max	Min	Max	
V _{IH.DQ(DC100)}	DC input logic high	V _{ref} + 0.100	V _{DD}	V _{ref} + 0.100	V _{DD}	V
V _{IL.DQ(DC100)}	DC input logic low	V _{SS}	V _{ref} - 0.100	V _{SS}	V _{ref} - 0.100	V
V _{IH.DQ(AC175)}	AC input logic high	V _{ref} + 0.175	-	-	-	V
V _{IL.DQ(AC175)}	AC input logic low	-	V _{ref} - 0.175	-	-	V
V _{IH.DQ(AC150)}	AC input logic high	V _{ref} + 0.150	-	V _{ref} + 0.150	-	V
V _{IL.DQ(AC150)}	AC input logic low	-	V _{ref} - 0.150	-	V _{ref} - 0.150	V
V _{RefDQ(DC)}	Reference Voltage for DQ, DM inputs	0.49 * V _{DD}	0.51 * V _{DD}	0.49 * V _{DD}	0.51 * V _{DD}	V

7.4.2.2. 差分信号的交流和直流输入电平

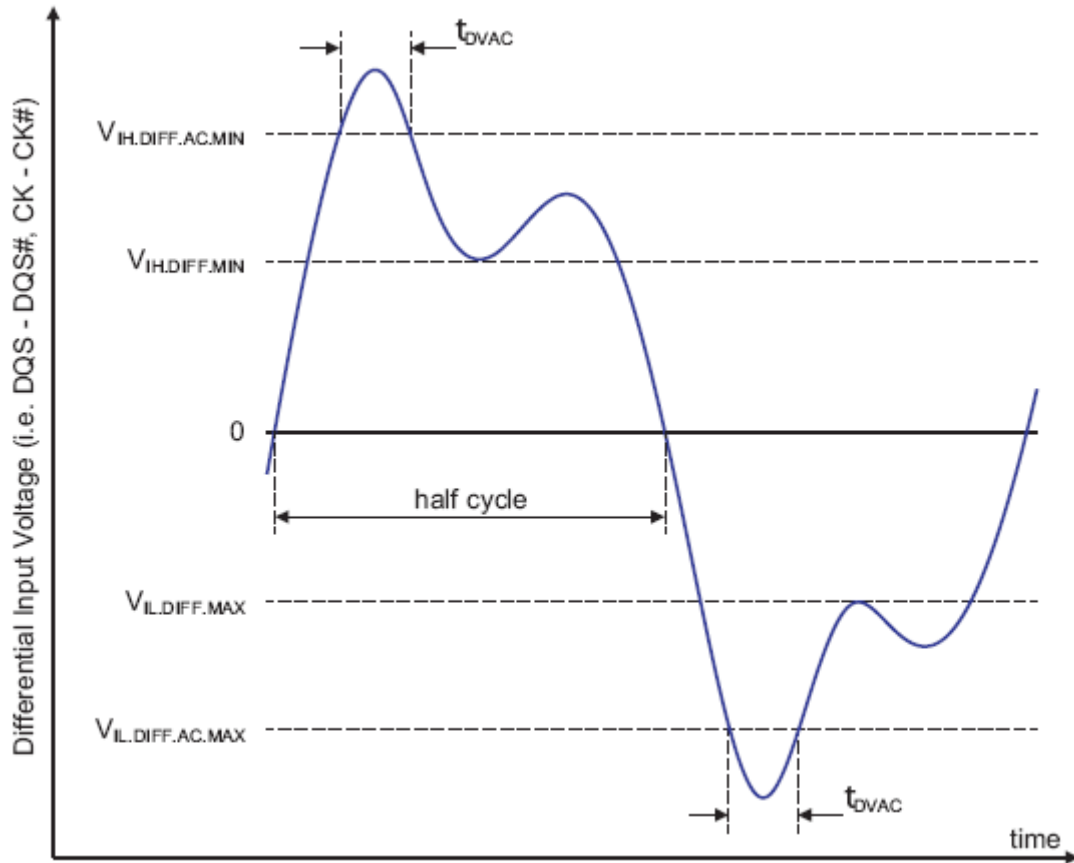


图 7-7 ac-swing 和 ac-level 时间点 (tDVA) 的差分定义

表 7-17 交流和直流的差分输入电平

Symbol	Parameter	DDR3-800,1066		Unit
		Min	Max	
V _{IHdiff}	Differential input high	+ 0.200	note 3	V
V _{ILdiff}	Differential input logic low	Note 3	- 0.200	V
V _{IHdiff(ac)}	Differential input high ac	2 x (V _{IH(ac)} - V _{ref})	Note 3	V
V _{ILdiff(ac)}	Differential input low ac	note 3	2 x (V _{IL(ac)} - V _{ref})	V

7.4.2.3. 差分信号输入的交叉点电压

为了保证严格的建立和保持时钟和选通时间以及输出偏差参数，每个交叉点电压的差分输入信号（CK，CK# 和DQS，DQS#）必须满足表 28 的要求。差分输入的交叉点电压 V_{Ix}的测量是从实际的交叉点的和补偿信号的V_{DD}和V_{SS}之间的中间点处获得。

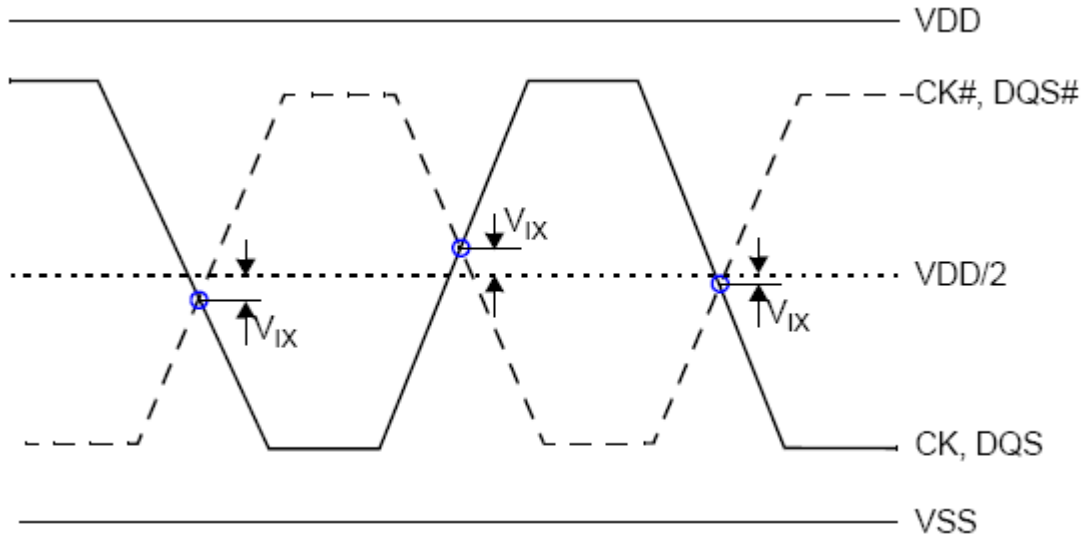


图 7-8 Vix 定义

表 7-18 差分输入信号 (CK, DQS) 交叉点电压

Symbol	Parameter	DDR3-800, DDR3-1066, DDR3-1333, DDR3-1600		Unit
		Min.	Max.	
VIX	Differential Input Cross Point Voltage relative to VDD/2 for CK,CK#	-150	150	mV
		-175	175	mV
VIX	Differential Input Cross Point Voltage relative to VDD/2 for DQS, DQS#	-150	150	mV

7.4.3 交流和直流逻辑输出电平

7.4.3.1. 单端信号的交流 and 直流输出电平

表 7-19 单端信号的交流直流输出电平

Symbol	Parameter	DDR3-800, 1066, 1333, and 1600	Unit
VOH(DC)	DC output high measurement level (for IV curve linearity)	$0.8 \times VDDQ$	V
VOM(DC)	DC output mid measurement level (for IV curve linearity)	$0.5 \times VDDQ$	V
VOL(DC)	DC output low measurement level (for IV curve linearity)	$0.2 \times VDDQ$	V
VOH(AC)	AC output high measurement level (for output SR)	$VTT + 0.1 \times VDDQ$	V
VOL(AC)	AC output low measurement level (for output SR)	$VTT - 0.1 \times VDDQ$	V

7.4.3.2. 差分信号的交流 and 直流输出电平

表 7-20 差分信号的交流 and 直流输出电平

Symbol	Parameter	DDR3-800, 1066, 1333, and 1600	Unit
VOHdiff(AC)	AC differential output high measurement level (for output SR)	$+ 0.2 \times VDDQ$	V
VOLdiff(AC)	AC differential output low measurement level (for output SR)	$- 0.2 \times VDDQ$	V

7.4.3.3. 单端信号的输出斜率

作为时序测量的参考负载，单端信号的下降沿和上升沿输出斜率的定义和测量在VOL (AC) 和VOH (AC) 之间，如表 7.21 和图 7.9 所示。

表 7-21 单端信号输出斜率的定义

Description	Measured		Defined by
	from	to	
Single-ended output slew rate for rising edge	VOL(AC)	VOH(AC)	$[VOH(AC) - VOL(AC)] / \Delta TRse$
Single-ended output slew rate for falling edge	VOH(AC)	VOL(AC)	$[VOH(AC) - VOL(AC)] / \Delta TFse$

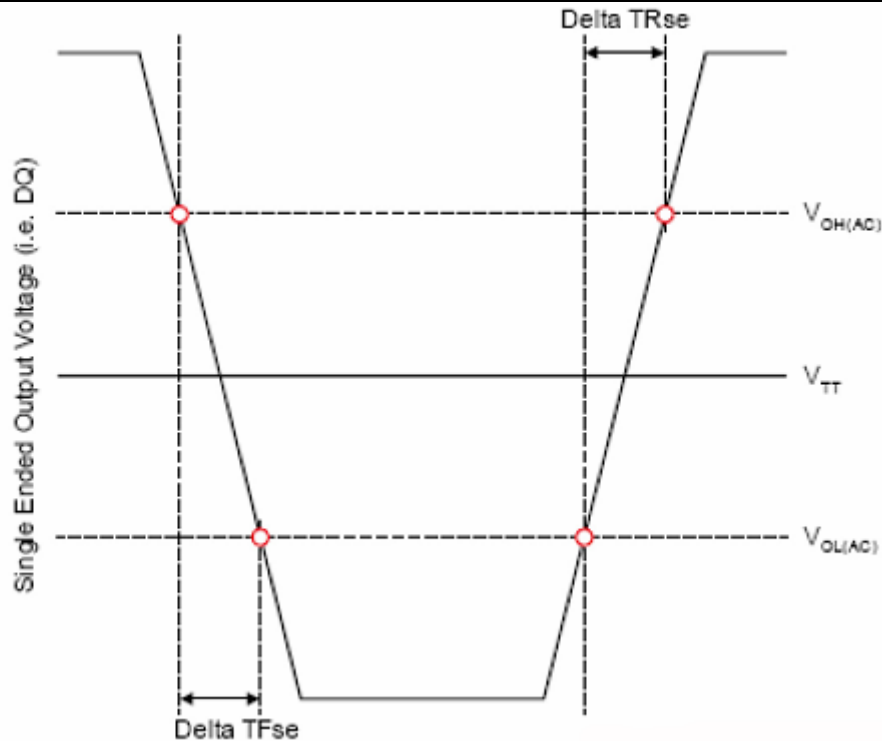


图 7-9 单端输出斜率的定义

表 7-22 单端的输出斜率

Parameter	Symbol	DDR3-800		DDR3-1066		Unit
		Min.	Max.	Min.	Max.	
Single-ended Output Slew Rate	SRQse	2.5	5	2.5	5	V/ns

7.4.3.4. 差分输出斜率

表 7-23 差分输出斜率的定义

Description	Measured		Defined by
	from	to	
Differential output slew rate for rising edge	VOLdiff(AC)	VOHdiff(AC)	$[VOHdiff(AC) - VOLdiff(AC)] / \Delta TRdiff$
Differential output slew rate for falling edge	VOHdiff(AC)	VOLdiff(AC)	$[VOHdiff(AC) - VOLdiff(AC)] / \Delta TFdiff$

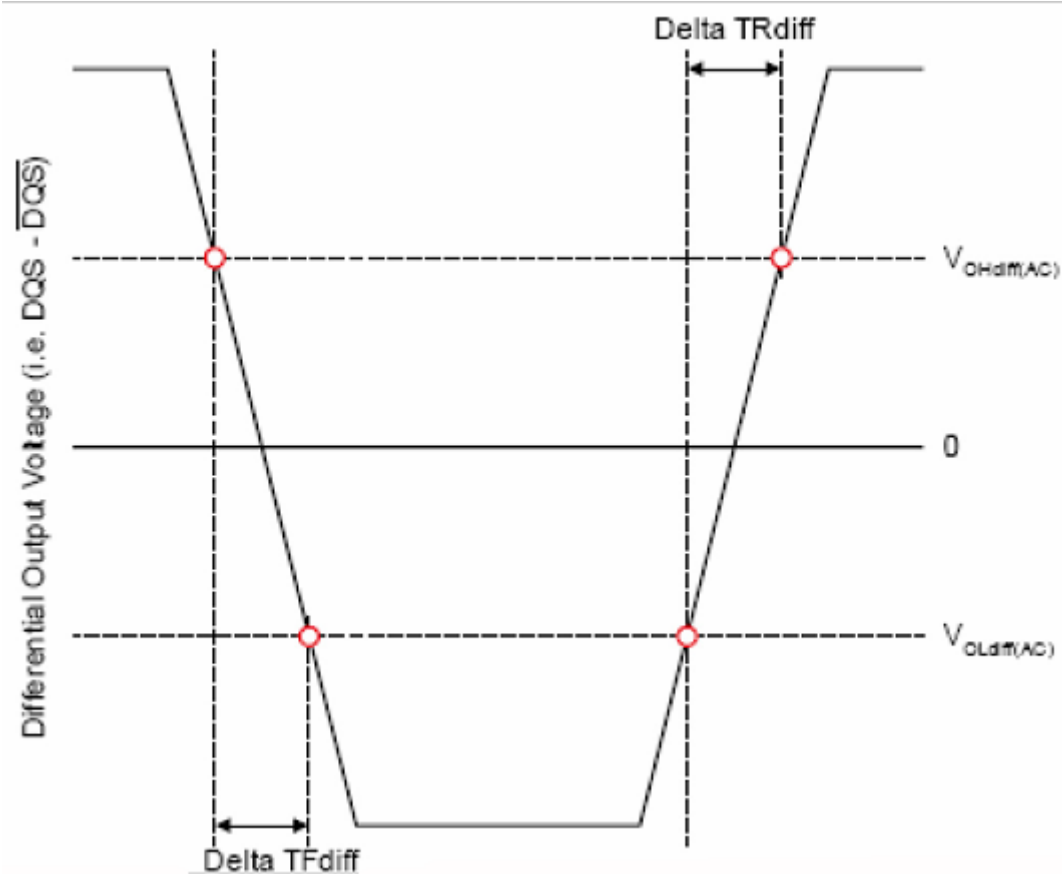


图 7-10 差分输出斜率的定义

表 7-24 差分输出斜率

		DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600		Units
Parameter	Symbol	Min	Max	Min	Max	Min	Max	Min	Max	
Differential Output Slew Rate	SRQdiff	5	10	5	10	5	10	TBD	10	V/ns

7.4.3.5. 上冲和下冲的规范

表 7-25 地址和控制引脚的交流上冲/下冲规范(A0-A15, BA0-BA3, CS#, RAS#, CAS#, WE#, CKE, ODT)

Parameter	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	Units
Maximum peak amplitude allowed for overshoot area.	0.4	0.4	0.4	0.4	V
Maximum peak amplitude allowed for undershoot area.	0.4	0.4	0.4	0.4	V
Maximum overshoot area above VDD	0.67	0.5	0.4	0.33	V-ns
Maximum undershoot area below VSS	0.67	0.5	0.4	0.33	V-ns
(A0-A15, BA0-BA3, CS#, RAS#, CAS#, WE#, CKE, ODT)					

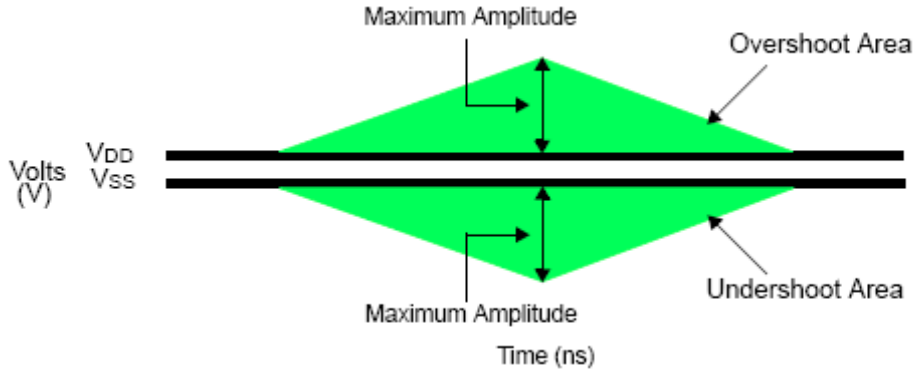


图 7-11 地址和控制的的上冲和下冲定义

表 7-26 时钟，数据，选通和屏蔽信号的交流上冲/下冲规范(CK,CK#,DQ,DQS,DQS#,DM)

	DDR3-800	DDR3-1066	DDR3-1333	DDR3-1600	Units
Maximum peak amplitude allowed for overshoot area.	0.4	0.4	0.4	0.4	V
Maximum peak amplitude allowed for undershoot area.	0.4	0.4	0.4	0.4	V
Maximum overshoot area above VDDQ	0.25	0.19	0.15	0.13	V-ns
Maximum undershoot area below VSSQ	0.25	0.19	0.15	0.13	V-ns

(CK, CK#, DQ, DQS, DQS#, DM)

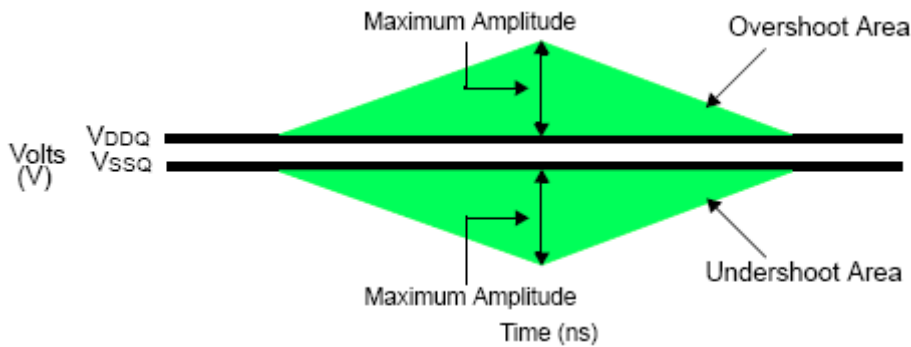


图 7-12 时钟，数据，选通和屏蔽信号的交流上冲和下冲定义

7.4.3.6. ODT 时序定义

表 7-27 ODT 时序定义

Symbol	Begin Point Definition	End Point Definition	Figure
tAON	Rising edge of CK -CK# defined by the end point of ODTLon	Extrapolated point at VSSQ	Figure 103
tAONPD	Rising edge of CK -CK# with ODT being first registered high	Extrapolated point at VSSQ	Figure 104
tAOF	Rising edge of CK -CK# defined by the end point of ODTLoff	End point: Extrapolated point at VRTT_Nom	Figure 105
tAOFPD	Rising edge of CK -CK# with ODT being first registered low	End point: Extrapolated point at VRTT_Nom	Figure 106
tADC	Rising edge of CK -CK# defined by the end point of ODTLcnw, ODTLcwn4 or ODTLcwn8	End point: Extrapolated point at VRTT_Wr and VRTT_Nom respectively	Figure 107

表 7-28 ODT 时序测量的参考设置

Measured Parameter	RTT_Nom Setting	RTT_Wr Setting	VSW1[V]	VSW2[V]
tAON	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAONPD	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAOF	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAOFPD	RZQ/4	NA	0.05	0.10
	RZQ/12	NA	0.10	0.20
tAD	RZQ/12	RZQ/2	0.20	0.30

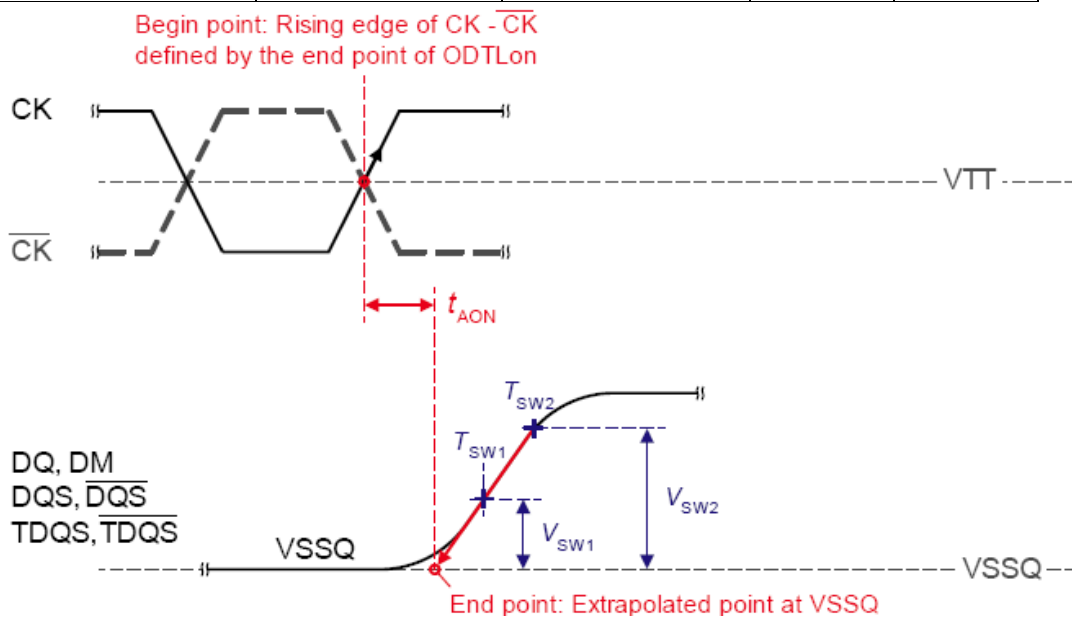


图 7-13 tAON 的定义

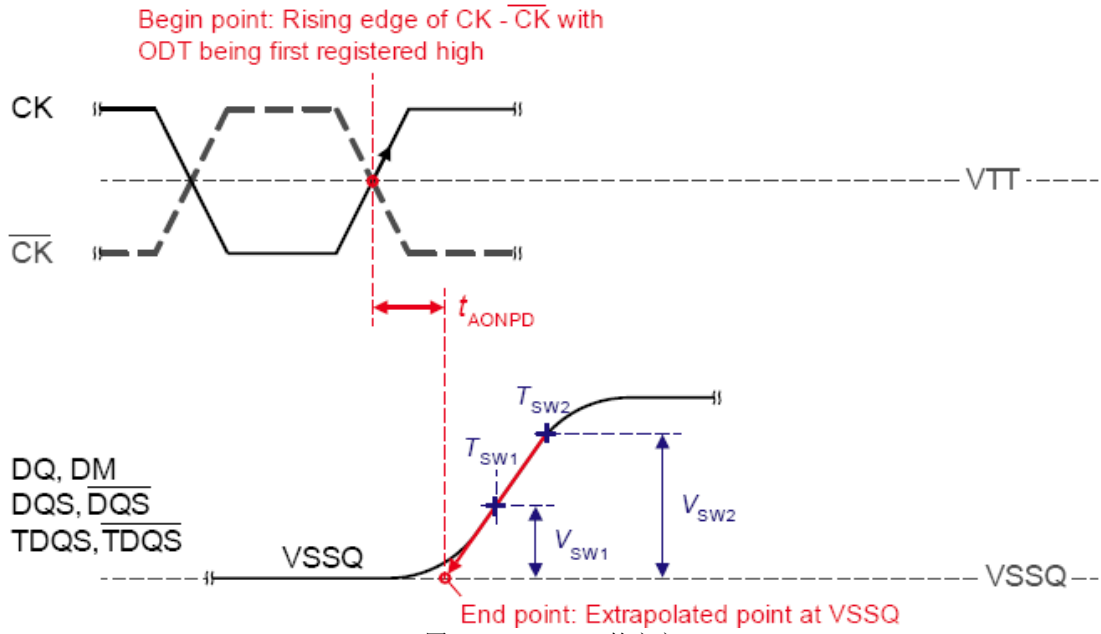


图 7-14 t_{AONPD} 的定义

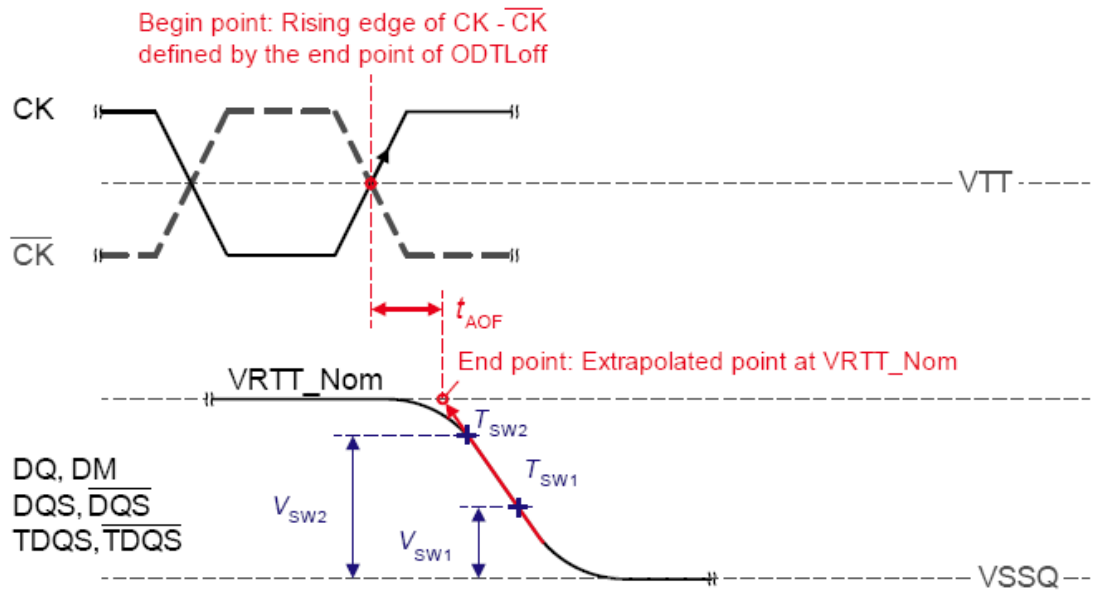


图 7-15 t_{AOF} 的定义

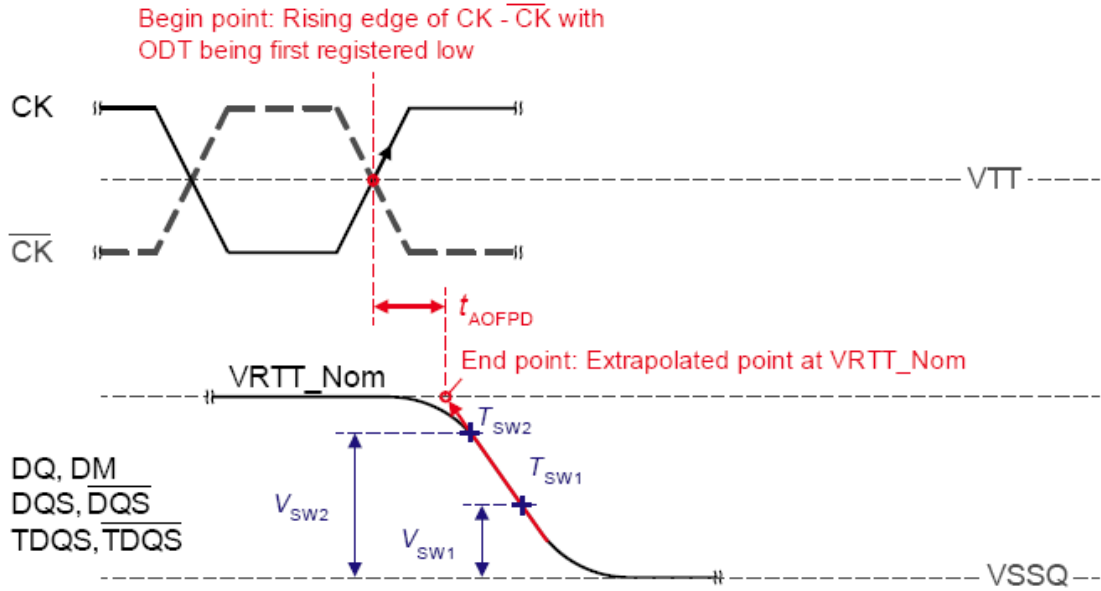


图 7-16 tAOFPD 的定义

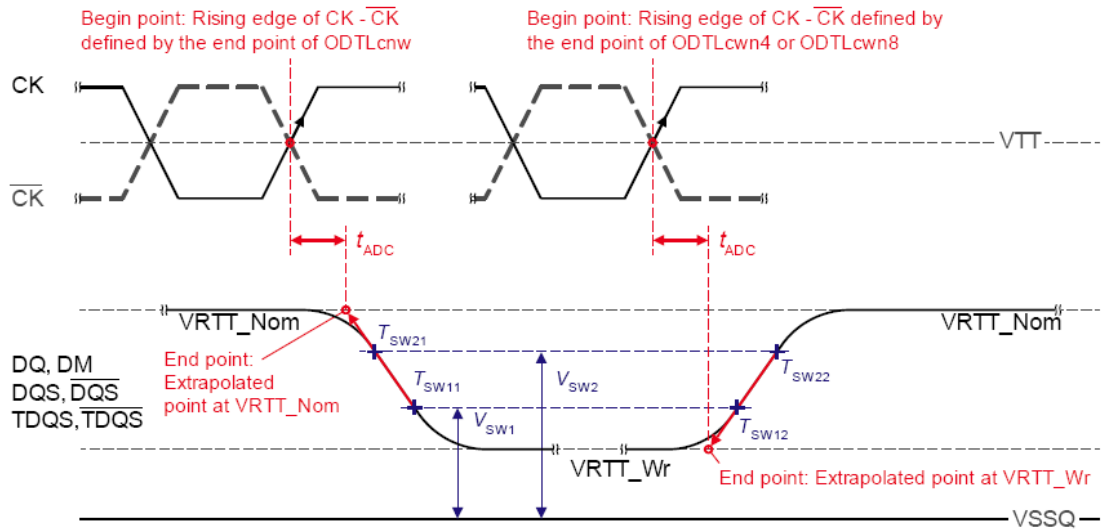


图 7-17 tADC 的定义

7.4.4 IDD 和 IDDQ 规范的参数和测试条件

表 7-29 IDD 和 IDDQ 测量循环模式的时序

Symbol	DDR3-800		DDR3-1066				DDR3-1333				DDR3-1600			
	5-5-5	6-6-6	6-6-6	7-7-7	8-8-8	7-7-7	8-8-8	9-9-9	10-10-10	8-8-8	9-9-9	10-10-10	11-11-11	
tCK	2.5		1.875				1.5				1.25			
CL	5	6	6	7	8	7	8	9	10	8	9	10	11	
nRCD	5	6	6	7	8	7	8	9	10	8	9	10	11	
nRC	20	21	26	27	28	31	32	33	34	36	37	38	39	
nRAS	15		20				24				28			
nRP	5	6	6	7	8	7	8	9	10	8	9	10	11	
nFAW	1KBpagesize		20				20				24			

	2KB page size	20	27	30	32
nRRD	1KB page size	4	4	4	5
	2KB page size	4	6	5	6
nRFC 512 Mb		36	48	60	72
nRFC 1 Gb		44	59	74	88
nRFC 2 Gb		64	86	107	128
nRFC 4 Gb		120	160	200	240
nRFC 8 Gb		140	187	234	280

7.4.5 输入/输出电容

表 7-30 输入/输出电容

Parameter	Symbol	DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600	
		Min	Max	Min	Max	Min	Max	Min	Max
Input/output capacitance (DQ, DM, DQS, DQS#, TDQS, TDQS#)	C _{IO}	1.5	3.0	1.5	2.7	1.5	2.5	1.5	2.3
Input capacitance, CK and CK#	C _{CK}	0.8	1.6	0.8	1.6	0.8	1.4	0.8	1.4
Input capacitance delta, CK and CK#	C _{DCK}	0	0.15	0	0.15	0	0.15	0	0.15
Input/output capacitance delta DQS and DQS#	C _{DDQS}	0	0.2	0	0.2	0	0.15	0	0.15
Input capacitance, (CTRL, ADD, CMD input-only pins)	C _I	0.75	1.4	0.75	1.35	0.75	1.3	0.75	1.3
Input capacitance delta, (All CTRL input-only pins)	C _{DI_CTRL}	-0.5	0.3	-0.5	0.3	-0.4	0.2	-0.4	0.2
Input capacitance delta, (All ADD/ CMD input-only pins)	C _{DI_ADD_CMD}	-0.5	0.5	-0.5	0.5	-0.4	0.4	-0.4	0.4
Input/output capacitance delta, DQ, DM, DQS, DQS#, TDQS, TDQS#	C _{DIO}	-0.5	0.3	-0.5	0.3	-0.5	0.3	-0.5	0.3
Input/output capacitance of ZQ pin	C _{ZQ}	-	3	-	3	-	3	-	3

7.4.6 不同器件密度下的刷新参数

表 7-31 不同器件密度下的刷新参数

Parameter	Symbol	512Mb	1Gb	2Gb	4Gb	8Gb	Unit
REF command to ACT or REF command time	t _{RFC}	90	110	160	300	350	ns
Average periodic refresh interval	t _{REFI}	0 ≤ TCASE ≤ 85	7.8	7.8	7.8	7.8	us
		85 < TCASE ≤ 95	3.9	3.9	3.9	3.9	us

7.4.7 标准的速度分级

表 7-32 DDR3-800 Speed Bins and Operating Conditions

Speed Bin	DDR3-800D	DDR3-800E	Unit
-----------	-----------	-----------	------

CL - nRCD - nRP		5-5-5		6-6-6				
Parameter		Symbol		Min.	Max.	Min.	Max.	
Internal read command to first data		tAA		12.5	20	15	20	ns
ACT to internal read or write delay time		tRCD		12.5	—	15	—	ns
PRE command period		tRP		12.5	—	15	—	ns
ACT to ACT or REF command period		tRC		50	—	52.5	—	ns
ACT to PRE command period		tRAS		37.5	9 * tREFI	37.5	9 * tREFI	ns
CL = 5	CWL = 5	tCK(AVG)		2.5	3.3	3.0	3.3	ns
CL = 6	CWL = 5	tCK(AVG)		2.5	3.3	2.5	3.3	ns
Supported CL Settings				5, 6		5, 6		nCK
Supported CWL Settings				5		5		nCK

表 7-33 DDR3-1066 Speed Bins and Operating Conditions

Speed Bin		DDR3-1066E		DDR3-1066F		DDR3-1066G		Unit	
CL - nRCD - nRP		6-6-6		7-7-7		8-8-8			
Parameter	Symbol	Min.	Max.	Min.	Max.	Min.	Max.		
Internal read command to first data	tAA	11.25	20	13.125	20	15	20	ns	
ACT to internal read or write delay time	tRCD	11.25	—	13.125	—	15	—	ns	
PRE command period	tRP	11.25	—	13.125	—	15	—	ns	
ACT to ACT or REF command period	tRC	48.75	—	50.625	—	52.5	—	ns	
ACT to PRE command period	tRAS	37.5	9 * tREFI	37.5	9 * tREFI	37.5	9 * tREFI	ns	
CL = 5	CWL = 5	tCK(AVG)	2.5	3.3	3.0	3.3	3.0	3.3	ns
	CWL = 6	tCK(AVG)	Reserved		Reserved		Reserved		ns
CL = 6	CWL = 5	tCK(AVG)	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL = 6	tCK(AVG)	1.875	<2.5	Reserved		Reserved		ns
CL = 7	CWL = 5	tCK(AVG)	Reserved		Reserved		Reserved		ns
	CWL = 6	tCK(AVG)	1.875	<2.5	1.875	<2.5	Reserved		ns
CL = 8	CWL = 5	tCK(AVG)	Reserved		Reserved		Reserved		ns
	CWL = 6	tCK(AVG)	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns
Supported CL Settings		5,6,7,8		5,6,7,8		5,6,8		nCK	
Supported CWL Settings		5,6		5,6		5,6		nCK	

表 7-34 DDR3-1333 Speed Bins and Operating Conditions

SpeedBin		(optional)		DDR3-1333G		DDR3-1333H		DDR3-1333J (optional)	
CL-nRCD-nRP		7-7-7				9-9-9		10-10-10	
Parameter	Symbol	min	max	min	max	min	max	min	max
Internal read command to first data	tAA	10.5	20	12	20	13.5(13.125) ^{5,11}	20	15	20
ACT to internal read or write delay time	tRCD	10.5	—	12	—	13.5(13.125) ^{5,11}	—	15	—
PRE command period	tRP	10.5	—	12	—	13.5(13.125) ^{5,11}	—	15	—

							11			
ACT to ACT or REF command period	t_{RC}	46.5	—	48	—	49.5(49.125) _{5,11}	—	51	—	
ACT to PRE command period	t_{RAS}	36	9*tREFI	36	9*tREFI	36	9*tREFI	36	9*tREFI	
CL=5	CWL=5	$t_{CK}(AVG)$	2.5	3.3	2.5	3.3	3.0	3.3	3.0	3.3
	CWL=6,7	$t_{CK}(AVG)$	Reserved		Reserved		Reserved		Reserved	
CL=6	CWL=5	$t_{CK}(AVG)$	2.5	3.3	2.5	3.3	2.5	3.3	2.5	3.3
	CWL=6	$t_{CK}(AVG)$	1.875	<2.5	Reserved		Reserved		Reserved	
	CWL=7	$t_{CK}(AVG)$	Reserved		Reserved		Reserved		Reserved	
CL=7	CWL=5	$t_{CK}(AVG)$	Reserved		Reserved		Reserved		Reserved	
	CWL=6	$t_{CK}(AVG)$	1.875	<2.5	1.875	<2.5	1.875	<2.5	Reserved	
							(Optional) _{5,11}			
	CWL=7	$t_{CK}(AVG)$	1.5	<1.875	Reserved		Reserved		Reserved	
CL=8	CWL=5	$t_{CK}(AVG)$	Reserved		Reserved		Reserved		Reserved	
	CWL=6	$t_{CK}(AVG)$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5
	CWL=7	$t_{CK}(AVG)$	1.5	<1.875	1.5	<1.875	Reserved		Reserved	
CL=9	CWL=5,6	$t_{CK}(AVG)$	Reserved		Reserved		Reserved		Reserved	
	CWL=7	$t_{CK}(AVG)$	1.5	<1.875	1.5	<1.875	1.5	<1.875	Reserved	
CL=10	CWL=5,6	$t_{CK}(AVG)$	Reserved		Reserved		Reserved		Reserved	
	CWL=7	$t_{CK}(AVG)$	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875
			(Optional)		(Optional)		(Optional)		1.5	<1.875
Supported CL Settings		5,6,7,8,9,(10)		5,6,7,8,9,(10)		5,6,8,(7),9,(10)		5,6,8,10		
Supported CWL Settings		5, 6, 7		5, 6, 7		5, 6, 7		5, 6, 7		

表 7-35 DDR3-1600 Speed Bins and Operating Conditions

SpeedBin		DDR3-1600G(optional)		DDR3-1600H		DDR3-1600J		DDR3-1600K		Unit	
CL-nRCD-nRP		8-8-8		9-9-9		10-10-10		11-11-11			
Parameter	Symbol	min	max	min	max	min	max	min	max		
Internal read command to first data	t_{AA}	10	20	11.25	20	12.5	20	13.75(13.125) _{5,11}	20	ns	
ACT to internal read or write delay time	t_{RCD}	10	—	11.25	—	12.5	—	13.75(13.125) _{5,11}	—	ns	
PRE command period	t_{RP}	10	—	11.25	—	12.5	—	13.75(13.125) _{5,11}	—	ns	
ACT to ACT or REF command period	t_{RC}	45	—	46.25	—	47.5	—	48.75(48.125) _{5,11}	—	ns	
ACT to PRE command period	t_{RAS}	35	9*tREFI	35	9*tREFI	35	9*tREFI	35	9 * tREFI	ns	
CL = 5	CWL=5	$t_{CK}(AVG)$	2.5	3.3	2.5	3.3	2.5	3.3	3.0	3.3	ns
	CWL=6,7,8	$t_{CK}(AVG)$	Reserved		Reserved		Reserved		Reserved		ns
CL = 6	CWL=5	$t_{CK}(AVG)$	2.5	3.3	2.5	3.3	2.5	3.3	2.5	3.3	ns
	CWL=6	$t_{CK}(AVG)$	1.875	<2.5	1.875	<2.5	Reserved	Reserved	ns	1,2,3,4,8	
	CWL=7,8	$t_{CK}(AVG)$	Reserved		Reserved		Reserved		Reserved		ns
CL = 7	CWL=5	$t_{CK}(AVG)$	Reserved		Reserved		Reserved		Reserved		ns
	CWL=6	$t_{CK}(AVG)$	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	<2.5	ns

									(Optional) ^{5,11}		
	CWL=7	t _{CK(AVG)}	1.5	<1.875	Reserved	Reserved	Reserved	Reserved	Reserved	ns	
	CWL=8	t _{CK(AVG)}	Reserved		Reserved	Reserved	Reserved	Reserved	Reserved	ns	
CL = 8	CWL=5	t _{CK(AVG)}	Reserved		Reserved	Reserved	Reserved	Reserved	Reserved	ns	
	CWL=6	t _{CK(AVG)}	1.875	<2.5	1.875	<2.5	1.875	<2.5	1.875	< 2.5	ns
	CWL=7	t _{CK(AVG)}	1.5	<1.875	1.5	<1.875	Reserved	Reserved	ns	1,2,3,4,8	
	CWL=8	t _{CK(AVG)}	1.25	<1.5	Reserved		Reserved		Reserved		ns
CL = 9	CWL=5,6	t _{CK(AVG)}	Reserved		Reserved		Reserved		Reserved		ns
	CWL=7	t _{CK(AVG)}	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	< 1.875	ns
	CWL=8	t _{CK(AVG)}	1.25	<1.5	1.25	<1.5	Reserved		Reserved		
CL = 10	CWL=5,6	t _{CK(AVG)}	Reserved		Reserved		Reserved		Reserved		ns
	CWL=7	t _{CK(AVG)}	1.5	<1.875	1.5	<1.875	1.5	<1.875	1.5	<1.875	ns
	CWL=8	t _{CK(AVG)}	1.25	<1.5	1.25	<1.5	1.25	<1.5	Reserved	Reserved	ns
CL = 11	CWL=5,6,7	t _{CK(AVG)}	Reserved		Reserved		Reserved		Reserved		ns
	CWL=8	t _{CK(AVG)}	1.25	<1.5	1.25	<1.5	1.25	<1.5	1.25	< 1.5	ns
			(Optional)		(Optional)		(Optional)		1.25	< 1.5	ns
Supported CL Settings			5,6,7,8,9,10,(11)		5,6,7,8,9,10,(11)		5,6,7,8,9,10,		5,6,7,8,9,10,(11)		t _{CK}
Supported CWL Settings			5,6,7,8		5,6,7,8		5,6,7,8		5,6,7,8		t _{CK}

7.4.8 DDR3-800 和 DDR3-1066 的时序参数

表 7-36 Timing Parameters by Speed Bin

Parameter	Symbol	DDR3-800		DDR3-1066		DDR3-1333		DDR3-1600		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
Clock Timing										
Minimum Clock Cycle Time (DLL off mode)	tCK(DLL_OFF)	8	-	8	-	8	-	8	-	ns
Average Clock Period	tCK(avg)									ps
Average high pulse width	tCH(avg)	0.47	0.53	0.47	0.53	0.47	0.53	0.47	0.53	tCK(avg)
Average low pulse width	tCL(avg)	0.47	0.53	0.47	0.53	0.47	0.53	0.47	0.53	tCK(avg)
Absolute Clock Period	tCK(abs)	tCK(avg)min + tJIT(per)min	tCK(avg)max + tJIT(per)max	tCK(avg)min + tJIT(per)min	tCK(avg)max + tJIT(per)max	tCK(avg)min + tJIT(per)min	tCK(avg)max + tJIT(per)max	tCK(avg)min + tJIT(per)min	tCK(avg)max + tJIT(per)max	ps
Absolute clock HIGH pulse width	tCH(abs)	0.43	-	0.43	-	0.43	-	0.43	-	tCK(avg)
Absolute clock LOW pulse width	tCL(abs)	0.43	-	0.43	-	0.43	-	0.43	-	tCK(avg)
Clock Period Jitter	JIT(per)	-100	100	-90	90	-80	80	-70	70	ps
Clock Period Jitter during DLL locking period	tJIT(per,lck)	-90	90	-80	80	-70	70	-60	60	ps
Cycle to Cycle Period Jitter	tJIT(cc)	200		180		160		140		ps
Cycle to Cycle Period Jitter during DLL locking period	tJIT(cc,lck)	180		160		140		120		ps
Duty Cycle Jitter	tJIT(duty)	-	-	-	-	-	-	-	-	ps

Cumulative error across 2 cycles	tERR(2per)	-147	147	-132	132	-118	118	-103	103	ps
Cumulative error across 3 cycles	tERR(3per)	-175	175	-157	157	-140	140	-122	122	ps
Cumulative error across 4 cycles	tERR(4per)	-194	194	-175	175	-155	155	-136	136	ps
Cumulative error across 5 cycles	tERR(5per)	-209	209	-188	188	-168	168	-147	147	ps
Cumulative error across 6 cycles	tERR(6per)	-222	222	-200	200	-177	177	-155	155	ps
Cumulative error across 7 cycles	tERR(7per)	-232	232	-209	209	-186	186	-163	163	ps
Cumulative error across 8 cycles	tERR(8per)	-241	241	-217	217	-193	193	-169	169	ps
Cumulative error across 9 cycles	tERR(9per)	-249	249	-224	224	-200	200	-175	175	ps
Cumulative error across 10 cycles	tERR(10per)	-257	257	-231	231	-205	205	-180	180	ps
Cumulative error across 11 cycles	tERR(11per)	-263	263	-237	237	-210	210	-184	184	ps
Cumulative error across 12 cycles	tERR(12per)	-269	269	-242	242	-215	215	-188	188	ps
Cumulative error across n = 13, 14 . . . 49, 50 cycles	tERR(nper)	$\begin{aligned} \text{tERR}(n\text{per})\text{min} &= (1 + 0.68\ln(n)) * \text{tJIT}(\text{per})\text{min} \\ \text{tERR}(n\text{per})\text{max} &= (1 + 0.68\ln(n)) * \text{tJIT}(\text{per})\text{max} \end{aligned}$	ps	24						
Data Timing										

DQS, DQS# to DQ skew, per group, per access	tDQSQ	-	200	-	150	-	125	-	100	ps
DQ output hold time from DQS, DQS#	tQH	0.38	-	0.38	-	0.38	-	0.38	-	tCK(avg)
DQ low-impedance time from CK, CK#	tLZ(DQ)	-800	400	-600	300	-500	250	-450	225	ps
DQ high impedance time from CK, CK#	tHZ(DQ)	-	400	-	300	-	250	-	225	ps
Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels	tDS(base)AC175	75		25		-		-		ps
Data setup time to DQS, DQS# referenced to Vih(ac) / Vil(ac) levels	tDS(base)AC150	125		75		30		10		ps
Data hold time from DQS, DQS# referenced to Vih(dc) / Vil(dc) levels	tDH(base)DC100	150		100		65		45		ps
DQ and DM Input pulse width for each input	tDIPW	600	-	490	-	400	-	360	-	ps
Data Strobe Timing										
DQS, DQS# differential READ Preamble	tRPRE	0.9	Note19	0.9	Note19	0.9	Note19	0.9	Note19	tCK(avg)
DQS, DQS# differential READ Postamble	tRPST	0.3	Note11	0.3	Note11	0.3	Note11	0.3	Note11	tCK(avg)
DQS, DQS# differential output high time	tQSH	0.38	-	0.38	-	0.40	-	0.40	-	tCK(avg)
DQS, DQS# differential output low time	tQSL	0.38	-	0.38	-	0.40	-	0.40	-	tCK(avg)
DQS, DQS# differential WRITE Preamble	tWPRE	0.9	-	0.9	-	0.9	-	0.9	-	tCK(avg)
DQS, DQS# differential WRITE Postamble	tWPST	0.3	-	0.3	-	0.3	-	0.3	-	tCK(avg)
DQS, DQS# rising edge output access time from rising CK, CK#	tDQSCK	-400	400	-300	300	-255	255	-225	225	ps

DQS and DQS# low-impedance time (Referenced from RL - 1)	tLZ(DQS)	-800	400	-600	300	-500	250	-450	225	ps
DQS and DQS# high-impedance time (Referenced from RL + BL/2)	tHZ(DQS)	-	400	-	300	-	250	-	225	ps
DQS, DQS# differential input low pulse width	tDQSL	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	tCK(avg)
DQS, DQS# differential input high pulse width	tDQSH	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	tCK(avg)
DQS, DQS# rising edge to CK, CK# rising edge	tDQSS	-0.25	0.25	-0.25	0.25	-0.25	0.25	-0.27	0.27	tCK(avg)
DQS, DQS# falling edge setup time to CK, CK# rising edge	tDSS	0.2	-	0.2	-	0.2	-	0.18	-	tCK(avg)
DQS, DQS# falling edge hold time from CK, CK# rising edge	tDSH	0.2	-	0.2	-	0.2	-	0.18	-	tCK(avg)
Command and Address Timing										
DLL locking time	tDLLK	512	-	512	-	512	-	512	-	nCK
Internal READ Command to PRECHARGE Command delay	tRTP	max(4nCK, 7.5ns)	—	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	
Delay from start of internal write transaction to internal read command	tWTR	max(4nCK, 7.5ns)	—	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	max(4nCK, 7.5ns)	-	
WRITE recovery time	tWR	15	—	15	-	15	-	15	-	ns
Mode Register Set command cycle time	tMRD	4	—	4	-	4	-	4	-	nCK
Mode Register Set command update delay	tMOD	max(12nCK, 15ns)	—	max(12nCK, 15ns)	-	max(12nCK, 15ns)	-	max(12nCK, 15ns)	-	
ACT to internal read or write delay time	tRCD	-	—	-	-					
PRE command period	tRP	-	—	-	-					

ACT to ACT or REF command period	tRC	-	-	-	-	-	-	-	-	-
CAS# to CAS# command delay	tCCD	4	-	4	-	4	-	4	-	nCK
Auto precharge write recovery + precharge time	tDAL(min)	WR + roundup(tRP / tCK(avg))	nCK							
Multi-Purpose Register Recovery Time	tMPRR	1	-	1	-	1	-	1	-	nCK
ACTIVE to PRECHARGE command period	tRAS	-	-	-	-					
ACTIVE to ACTIVE command period for 1KB page size	tRRD	max(4nCK,10ns)	-	max(4nCK,7.5ns)	-	max(4nCK,6ns)	-	max(4nCK,6ns)	-	
ACTIVE to ACTIVE command period for 2KB page size	tRRD	max(4nCK,10ns)	-	max(4nCK,10ns)	-	max(4nCK,7.5ns)	-	max(4nCK,7.5ns)	-	
Four activate window for 1KB page size	tFAW	40	-	37.5	-	30	-	30	-	ns
Four activate window for 2KB page size	tFAW	50	-	50	-	45	-	40	-	ns
Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels	tIS(base)AC175	200		125		65		45		ps
Command and Address setup time to CK, CK# referenced to Vih(ac) / Vil(ac) levels	tIS(base)AC150	350		275		190		170		ps
Command and Address hold time from CK, CK# referenced to Vih(dc) / Vil(dc) levels	tIH(base)DC100	275		200		140		120		ps
Control and Address Input pulse width for each input	tIPW	900	-	780	-	620	-	560	-	ps
Calibration Timing										

Power-up and RESET calibration time	tZQinit	max(512nCK,640ns)	-	max(512nCK,640ns)	-	max(512nCK,640ns)	-	max(512nCK,640ns)	-	
Normal operation Full calibration time	tZQoper	max(256nCK,320ns)	-	max(256nCK,320ns)	-	max(256nCK,320ns)	-	max(256nCK,320ns)	-	
Normal operation Short calibration time	tZQCS	max(64nCK,80ns)	-	max(64nCK,80ns)	-	max(64nCK,80ns)	-	max(64nCK,80ns)	-	
Reset Timing										
Exit Reset from CKE HIGH to a valid command	tXPR	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	
Self Refresh Timings										
Exit Self Refresh to commands not requiring a locked DLL	tXS	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	max(5nCK,tRFC(min)+10ns)	-	
Exit Self Refresh to commands requiring a locked DLL	tXSDLL	tDLLK(min)	-	tDLLK(min)	-	tDLLK(min)	-	tDLLK(min)	-	nCK
Minimum CKE low width for Self Refresh entry to exit timing	tCKESR	tCKE(min)+1 nCK	-	tCKE(min)+1 nCK	-	tCKE(min)+1 nCK	-	tCKE(min)+1 nCK	-	
Valid Clock Requirement after Self Refresh Entry (SRE) or Power-Down Entry (PDE)	tCKSRE	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	
Valid Clock Requirement before Self Refresh Exit (SRX) or Power-Down Exit (PDX) or Reset Exit	tCKSRX	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	max(5nCK,10ns)	-	
Power Down Timings										
Exit Power Down with DLL on to any valid command; Exit Precharge Power Down with DLL frozen to commands not requiring a locked DLL	tXP	max(3nCK,7.5ns)	-	max(3nCK,7.5ns)	-	max(3nCK,6ns)	-	max(3nCK,6ns)	-	

Exit Precharge Power Down with DLL frozen to commands requiring a locked DLL	tXPDLL	max(10nCK,24ns)	-	max(10nCK,24ns)	-	max(10nCK,24ns)	-	max(10nCK,24ns)	-	
CKE minimum pulse width	tCKE	max(3nCK,7.5ns)	-	max(3nCK,5.625ns)	-	max(3nCK,5.625ns)	-	max(3nCK,5ns)	-	
Command pass disable delay	tCPDED	1	-	1	-	1	-	1	-	nCK
Power Down Entry to Exit Timing	tPD	tCKE(min)	9*tREFI	tCKE(min)	9*tREFI	tCKE(min)	9*tREFI	tCKE(min)	9*tREFI	
Timing of ACT command to Power Down entry	tACTPDEN	1	-	1	-	1	-	1	-	nCK
Timing of PRE or PREA command to Power Down entry	tPRPDEN	1	-	1	-	1	-	1	-	nCK
Timing of RD/RDA command to Power Down entry	tRDPDEN	RL+4+1	-	RL+4+1	-	RL+4+1	-	RL+4+1	-	nCK
Timing of WR command to Power Down entry (BL8OTF, BL8MRS, BC4OTF)	tWRPDEN	WL+4+(tWR/tCK(avg))	-	WL+4+(tWR/tCK(avg))	-	WL+4+(tWR/tCK(avg))	-	WL+4+(tWR/tCK(avg))	-	nCK
Timing of WRA command to Power Down entry (BL8OTF, BL8MRS, BC4OTF)	tWRAPDEN	WL+4+WR+1	-	WL+4+WR+1	-	WL+4+WR+1	-	WL+4+WR+1	-	nCK
Timing of WR command to Power Down entry (BC4MRS)	tWRPDEN	WL+2+(tWR/tCK(avg))	-	WL+2+(tWR/tCK(avg))	-	WL+2+(tWR/tCK(avg))	-	WL+2+(tWR/tCK(avg))	-	nCK
Timing of WRA command to Power Down entry (BC4MRS)	tWRAPDEN	WL+2+WR+1	-	WL+2+WR+1	-	WL+2+WR+1	-	WL+2+WR+1	-	nCK
Timing of REF command to Power Down entry	tREFPDEN	1	-	1	-	1	-	1	-	nCK
Timing of MRS command to Power Down entry	tMRSPDEN	tMOD(min)	-	tMOD(min)	-	tMOD(min)	-	tMOD(min)	-	
ODT Timings										
ODT turn on Latency	ODTLon	WL-2=CWL+AL-2								nCK

ODT turn off Latency	ODTLoff	WL-2=CWL+AL-2								nCK
ODT high time without write command or with write command and BC4	ODTH4	4	-	4	-	4	-	4	-	nCK
ODT high time with Write command and BL8	ODTH8	6	-	6	-	6	-	6	-	nCK
Asynchronous RTT turn-on delay (Power-Down with DLL frozen)	tAONPD	2	8.5	2	8.5	2	8.5	2	8.5	ns
Asynchronous RTT turn-off delay (Power-Down with DLL frozen)	tAOFPD	2	8.5	2	8.5	2	8.5	2	8.5	ns
RTT turn-on	tAON	-400	400	-300	300	-250	250	-225	225	ps
RTT_Nom and RTT_WR turn-off time from ODTLoff reference	tAOF	0.3	0.7	0.3	0.7	0.3	0.7	0.3	0.7	tCK(avg)
RTT dynamic change skew	tADC	0.3	0.7	0.3	0.7	0.3	0.7	0.3	0.7	tCK(avg)
Write Leveling Timings										
First DQS/DQS# rising edge after write leveling mode is programmed	tWLMRD	40	-	40	-	40	-	40	-	nCK
DQS/DQS# delay after write leveling mode is programmed	tWLDQSEN	25	-	25	-	25	-	25	-	nCK
Write leveling setup time from rising CK, CK# crossing to rising DQS, DQS# crossing	tWLS	325	-	245	-	195	-	165	-	ps
Write leveling hold time from rising DQS, DQS# crossing to rising CK, CK# crossing	tWLH	325	-	245	-	195	-	165	-	ps
Write leveling output delay	tWLO	0	9	0	9	0	9	0	7.5	ns
Write leveling output error	tWLOE	0	2	0	2	0	2	0	2	ns

7.5 PCI 总线特性

7.5.1 电气条件

龙芯 3B1500 PCI总线为 1.8v电压，使用时可能需要芯片外部进行电压转换。

7.5.2 时序参数

表 7-37 通用时序参数

Symbol	Parameter	PCI-X 33		Conventional PCI 33 (ref)		Unit
		Min.	Max.	Min.	Max.	
Tval	CLK to Signal Valid Delay -bused signals	2	6	2	11	ns
Tval(p tp)	CLK to Signal Valid Delay -point to point signals	2	6	2	12	ns
Ton	Float to Active Delay	2		2		ns
Toff	Active to Float Delay		14		28	ns
Tsu	Input Set up Time to CLK-bused signals	3		7		ns
Tsu(pt p)	Input Set up Time to CLK-point to point signals	5		10, 12		ns
Th	Input Hold Time from CLK	0		0		ns
Trst	Reset Active Time	1		1		ms
Trst-clk	Reset Active Time after CLK stable	100		100		ms
Trst-off	Reset Active to output float delay		40		40	ns
Trrsu	REQ64# to RST# setup time	10		10		clocks
Trrh	RST# to REQ64# hold time	0	50	0	50	ns
Trhfa	RST# high to first Configuration access	2 ²⁵		2 ²⁵		clocks
Trhff	RST# high to first FRAME# assertion	5		5		clocks

Tpvrh	Power valid to RST# high	100		100		ms
Tprsu	PCI-X initialization pattern to RST# setup time					clocks
Tprh	RST# to PCI-X initialization pattern hold time					ns
Trlcx	Delay from RST# low to CLK frequency change					ns

7.5.3 复位时序

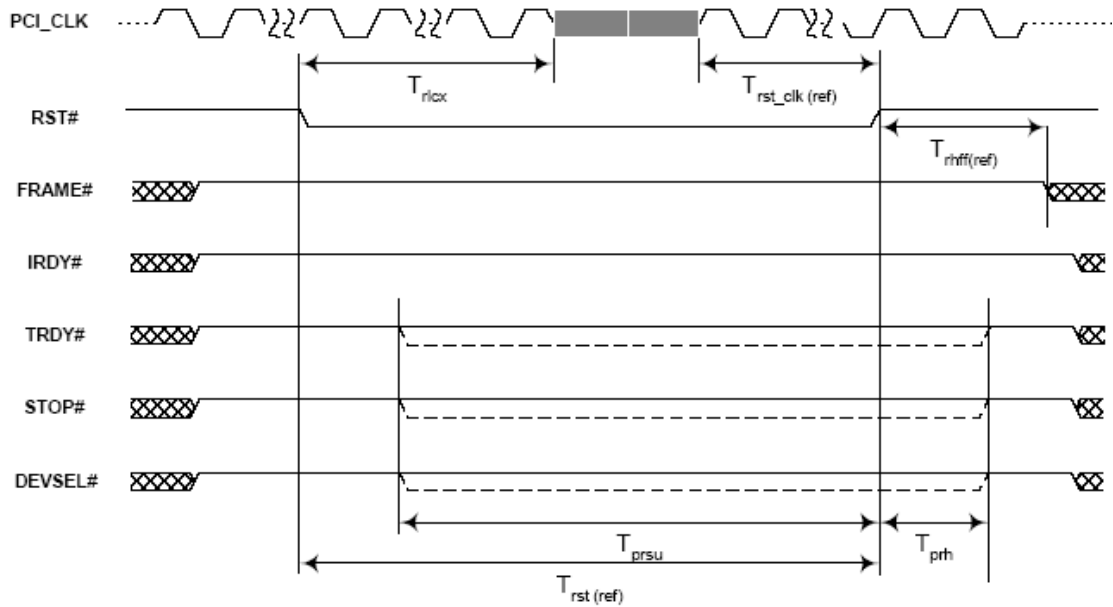


图 7-18 转换到带上拉的 PCI-X 模式的 RST#时序

7.5.4 PCI-X 的系统时序裕量

PCI-X 系统时序裕量与 33MHz 的 PCI 2.2 规范类似, 具体的时序裕量见 表 7-38 和表 7-45。

表 7-38 建立时间预算

Parameter	PCI-X 33 MHz	Conventional PCI 33 MHz (ref)	Units
Tval (max)	6	11	ns
Tprop (max)	5	10	ns
Tskew (max)	1	2	ns
Tsu (min)	3	7	ns
Tcyc	15	30	ns

表 7-39 保持时间预算

Parameter	PCI-X 33MHz	Conventional PCI 33 MHz (ref)	Units
Tval (min)	0.7	2	ns
Tprop (min)	0.3	0	ns
Tskew (max)	0.5	2	ns
Th (min)	0.5	0	ns

7.6 LPC 总线和其它引脚

7.6.1 LPC 总线

7.6.1.1 电气条件

龙芯 3B1500 LPC总线为 1.8v电压，使用时可能需要芯片外部进行电压转换。

7.6.1.2 时序参数

表 7-40 LPC 时序参数

Symbol	Parameter	Min	Max	Units
Tcyc	CLK Cycle Time	30	∞	ns
Tval	CLK to Signal Valid Delay - based signals	2	11	ns
Tval(otp)	CLK to Signal Valid Delay - point to point	2	12	ns
Ton	Float to Active Delay	2		ns
Toff	Active to Float Delay		28	ns
Tsu	Input Setup Time to CLK - based signals	7		ns
Tsu(otp)	Input Setup Time to CLK - point to point	10,12		ns
Th	Input Hold Time from CLK	0		ns
Trst	Reset active time after power stable	1		ms
Trst-clk	Reset active time after CLK STABLE	100		μ s
Trst-off	Reset Active to Output Float delay		40	ns
Trrsu	REQ64# to RST# Setup time	10*Tcyc		ns
Trrh	RST# to REQ64# Hold time	0	50	ns
Trhfa	RST# High to First configuration Access	225		clocks
Trhff	RST# High to First FRAME# assertion	5		clocks
Tpvrh	Power valid to RST# high	100		ms

7.6.1.2 LPC 信号上拉的需求

LPC[3:0]信号需要上拉电阻在 TAR 周期来保持状态，其信号推荐的上拉电阻如表：

表 7-41 推荐的上拉电阻值

Signal Name	Pull-Up
LAD[3:0]	15k -100k ohm

7.6.2 EJTAG

表 7-42 EJTAG 的交流时序特性

Parameter		Symbol	Min.	Max.	Unit
EJTAG external clock frequency of operation		fJTG	0	33.3	MHz
EJTAG external clock cycle time		TJTG	30	-	ns
EJTAG external clock pulse width measured at 1.4 V		tJTKHKL	15	-	ns
EJTAG external clock rise and fall	times	tJTGR& tJTGF	0	2	ns
TRST assert time		tTRST	25	-	ns
Input setup times	Boundary-scan data TMS, TDI	tJTDVKH	4	-	ns
		tJTIVKH	0	-	
Input hold times	Boundary-scan data TMS, TDI	tJTDXKH	20	-	ns
		tJTIXKH	25	-	
Valid times	Boundary-scan data TDO	tJTKLDV	4	20	ns
		tJTKLOV	4	25	
Output hold times	Boundary-scan data TDO	tJTKLDX	-	-	ns
		tJTKLOX	-	-	
EJTAG external clock to output high	impedance: Boundary-scan data TDO	tJTKLDZ	3	19	ns
		tJTKLOZ	3	9	

7.7 参考时钟

7.7.1 HyperTransport 的时钟

表 7-43 发送端时钟的不确定性

Symbol	Description	400 Mb/s	600 Mb/s	800 Mb/s	1000 Mb/s	1200 Mb/s	1600 Mb/s	Unit
TPLLdc	2% duty cycle variation between opposing edges over 1 bit time	100	67	50	40	33	25	ps
TPLLjtr	Uncertainty in subsequent internal transmit clocks due to PLL variation between any 2 edges including that contributed by reference clock SSC techniques.	150	67	50	20	17	13	ps
TPLLerror	edges due PLL accumulated phase error (≤ 20 ps/ns over 1 bit time) in the internal transmit clock Uncertainty in subsequent CADOUT	50	33	25	20	17	13	ps

TPLLsup	Uncertainty in subsequent internal transmit clocks due to temporal PLL power supply modulation (50 ps/ns)	125	83	63	50	42	31	ps
Telkskew	Uncertainty in the CLKOUT relative to CADOUT caused by load variations between the 90 degree phase shifted clock relative to the 0 degree clock	20	20	20	10	10	10	ps

7.7.2 DDR2 内存的时钟

表 7-44 输入时钟抖动参数

Parameter	Symbol	DDR2-667		DDR2-800		Units
		Min.	Max.	Min.	Max.	
Clock period jitter	tJIT(per)	-125	125	-100	100	ps
Clock period jitter during DLL locking period	tJIT(per, lck)	-100	100	-80	80	ps
Cycle to cycle clock period jitter	tJIT(cc)	-250	250	-200	200	ps
Cycle to cycle clock period jitter during DLL locking period	tJIT(cc, lck)	-200	200	-160	160	ps
Cumulative error across 2 cycles	tERR(2per)	-175	175	-150	150	ps
Cumulative error across 3 cycles	tERR(3per)	-225	225	-175	175	ps
Cumulative error across 4 cycles	tERR(4per)	-250	250	-200	200	ps
Cumulative error across 5 cycles	tERR(5per)	-250	250	-200	200	ps
Cumulative error across n cycles, n = 6 ... 10, inclusive	tERR(6-10per)	-350	350	-300	300	ps
Cumulative error across n cycles, n = 11 ... 50, inclusive	tERR(11-50per)	-450	450	-450	450	ps
Duty cycle jitter	tJIT(duty)	- 125	125	-100	100	ps

7.7.3 PCI-X 时钟

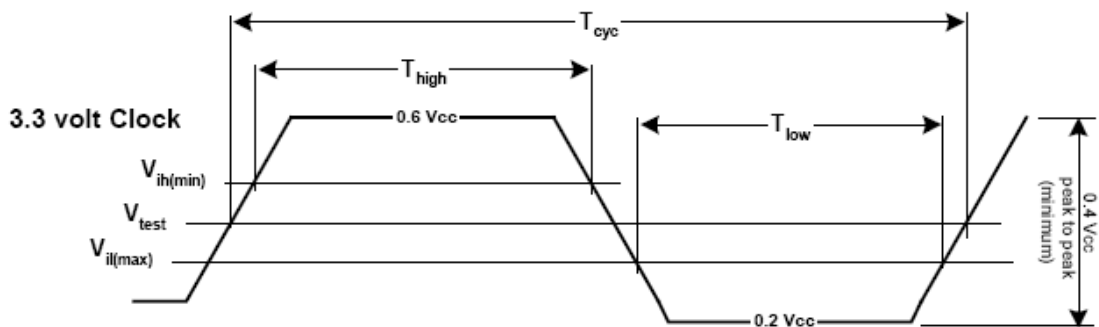


图 7-19 3.3V PCI-X 时钟波形

表 7-45 PCI-X 时钟参数

Sym	Parameter	Conv. PCI	Unit
-----	-----------	-----------	------

		33 (ref)		
		Min.	Max.	
T _{cyc}	CLK Cycle Time	30	∞	ns
T _{high}	CLK High Time	11		ns
T _{low}	CLK Low Time	11		ns
-	CLK Slew Rate	1	4	V/ns

7.8 电源

7.8.1 电源工作条件

表 7-46 推荐的工作电源电压

Net Name	Description	Voltage (V)			Max Current (A)
		Min.	Typ.	Max.	
VDD	Core power	1.050	1.150	1.200	22.860
VDD_N0	Node0 CPU core power	1.000	1.100	1.300	25.450
VDD_N1	Node1 CPU core power	1.000	1.100	1.300	25.450
GND	Core ground	-	-	-	-
VDDE_DDR (DDR2)	DDR2 power	1.700	1.800	1.800	3.000
(DDR3)	DDR3 power	1.425	1.500	1.575	-
VDDE_VREF (DDR2)	DDR2 ref power	0.882	0.900	0.918	
(DDR3)	DDR3 ref power	0.735	0.750	0.765	-
VDDE_1V8	I/O power	1.710	1.800	1.890	1.667
VDDE_1V2	HT power	1.140	1.200	1.260	1.000
GNDE	I/O ground	-	-	-	-
CORE_PLL_AVDD	Core PLL analog power	1.045	1.100	1.155	-
CORE_PLL_DVDD	Core PLL digital power	1.045	1.100	1.155	-
CORE_PLL_GND	Core PLL digital ground	-	-	-	-
DDR_PLL_AVDD	DDR PLL analog power	1.045	1.100	1.155	-
DDR_PLL_DVDD	DDR PLL digital power	1.045	1.100	1.155	-
DDR_PLL_GND	DDR PLL digital ground	-	-	-	-
HT0_PLL_AVDD	HT0 PLL analog power	1.045	1.100	1.155	-
HT0_PLL_DVDD	HT0 PLL digital power	1.045	1.100	1.155	-
HT0_PLL_GND	HT0 PLL digital ground	-	-	-	-
HT1_PLL_AVDD	HT1 PLL analog power	1.045	1.100	1.155	-
HT1_PLL_DVDD	HT1 PLL digital power	1.045	1.100	1.155	-
HT1_PLL_GND	HT1 PLL digital ground	-	-	-	-

8. 热特性

8.1 热参数

表 8-1 龙芯 3B1500 的热特性参数和推荐的最大值

Parameter	Value
TDP Max Power	80 W (使能向量部件情况下)
	40 W (禁用向量部件情况下)
T_A	70 ° C
T_J	125 ° C

表 8-2 龙芯 3B1500 的热阻参数

Heat sink	V_{air} (m/s)	θ_{JA} (° C/W)	ψ_{JT} (° C/W)	θ_{JC} (° C/W)
w/o	TBD	TBD	TBD	TBD
	TBD	TBD	TBD	TBD
	TBD	TBD	TBD	TBD
w/	TBD	TBD	TBD	TBD
	TBD	TBD	TBD	TBD
	TBD	TBD	TBD	TBD

8.2 焊接温度

表 8-3 无铅工艺的封装回流最大温度表

Package Thickness	Volume mm ³ < 350	Volume mm ³ 350 - 2000	Volume mm ³ > 2000
< 1.6 mm	260 ° C *	260 ° C *	260 ° C *
1.6 mm - 2.5 mm	260 ° C *	250 ° C *	245 ° C *
> 2.5 mm	250 ° C *	245 ° C *	245 ° C *

* Tolerance: The device manufacturer/supplier shall assure process compatibility up to and including the stated classification temperature at the rated MSL level

表 8-4 回流焊接温度分类表

Profile Feature		Pb-Free Assembly
Average ramp-up rate (T _{smax} to T _p)		3° C/second max.
Preheat	Temperature Min (T _{smin})	150 ° C
	Temperature Max (T _{smax})	200 ° C
	Time (T _{smin} to T _{smax}) (ts)	60-180 seconds
Time maintained above	Temperature (TL)	217 ° C
	Time (tL)	60-150 seconds
Peak Temperature (T _p)		245° C
Time within 5° C of actual Peak Temperature (tp) ²		20-40 seconds

Ramp-down Rate	6 ° C/second max.
Time 25° C to Peak Temperature	8 minutes max.

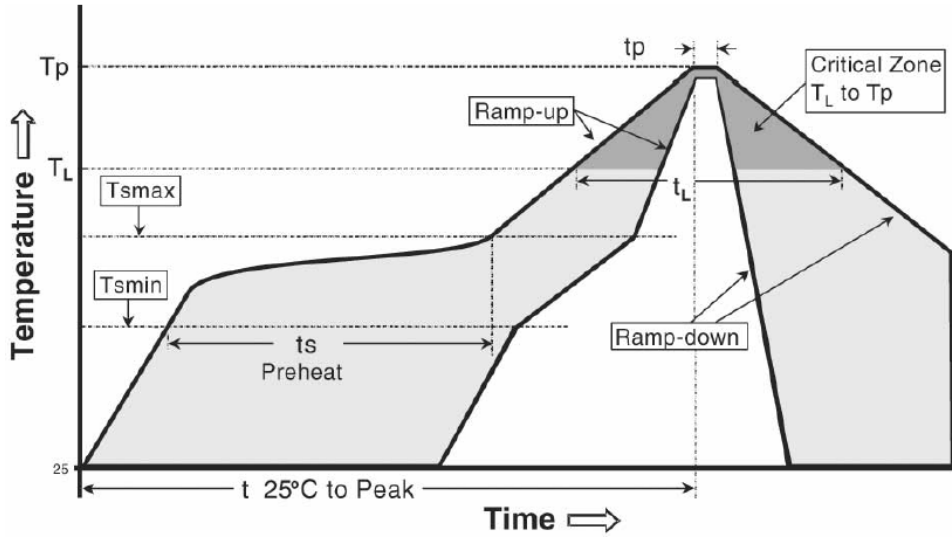


图 8-1 焊接回流曲线

9. 引脚排列和封装

9.1 按引脚排列的封装引脚

表 9-1 按引脚排列的封装引脚表

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
A1	HT1_TX_CADN07	A36	VDDE_1V2	AB3	MC1_DDR_DQ09	AC14	VDD
A2	HT1_TX_CTLPO	A37	HT0_TX_CTLNO	AB4	GNDE	AC15	GND
A3	HT1_TX_CTLNO	A38	HT0_TX_CTLPO	AB5	MC1_DDR_DQ08	AC16	VDD
A4	VDDE_1V2	A39	HT0_TX_CADN07	AB6	MC1_DDR_DQ12	AC17	GND
A5	HT1_REXT	AA1	MC1_DDR_DQSP0	AB7	VDD	AC18	VDD
A6	HT1_TX_CTLPO1	AA2	MC1_DDR_DQSN0	AB13	VDD	AC19	GND
A7	HT1CLKP	AA3	MC1_DDR_DQ06	AB14	GND	AC20	VDD
A8	HT1_RX_CTLNO	AA4	MC1_DDR_DQ03	AB15	VDD	AC21	GND
A9	HT1_RX_CTLPO	AA5	VDDE_DDR	AB16	GND	AC22	VDD
A10	HT1_RX_CADN06	AA6	MC1_DDR_DQ07	AB17	VDD	AC23	GND
A11	HT1_RX_CADPO6	AA7	MC1_DDR_DQ02	AB18	GND	AC24	VDD
A12	HT1_RX_CADN04	AA13	GND	AB19	VDD	AC25	GND
A13	HT1_RX_CADPO4	AA14	VDD_N1	AB20	GND	AC26	VDD
A14	HT1_RX_CADN03	AA15	GND	AB21	VDD	AC27	GND
A15	HT1_RX_CADPO3	AA16	VDD_N1	AB22	GND	AC33	MC0_DDR_DQ10
A16	HT1_RX_CADN01	AA17	GND	AB23	VDD	AC34	MC0_DDR_DQ14
A17	HT1_RX_CADPO1	AA18	VDD_N1	AB24	GND	AC35	MC0_DDR_CLKN
A18	HT1_LO_RSTN	AA19	GND	AB25	VDD	AC36	MC0_DDR_CLKP
A19	HT1_LO_POWEROK	AA20	VDD	AB26	GND	AC37	VDDE_DDR
A20	SYSCLK	AA21	GND	AB27	VDD	AC38	MC0_DDR_DQSP
A21	HT0_LO_POWEROK	AA22	VDD_N0	AB33	VDD	AC39	MC0_DDR_DQSN
A22	HT0_LO_RSTN	AA23	GND	AB34	MC0_DDR_DQ12	AD1	MC1_DDR_CLKP
A23	HT0_RX_CADPO1	AA24	VDD_N0	AB35	MC0_DDR_DQ08	AD2	MC1_DDR_CLKN
A24	HT0_RX_CADN01	AA25	GND	AB36	GNDE	AD3	GNDE
A25	HT0_RX_CADPO3	AA26	VDD_N0	AB37	MC0_DDR_DQ09	AD4	MC1_DDR_DQ15
A26	HT0_RX_CADN03	AA27	GND	AB38	MC0_DDR_DQ13	AD5	MC1_DDR_DQ11
A27	HT0_RX_CADPO4	AA33	MC0_DDR_DQ02	AB39	MC0_DDR_DQM1	AD6	MC1_DDR_DQ20
A28	HT0_RX_CADN04	AA34	MC0_DDR_DQ07	AC1	MC1_DDR_DQSN1	AD7	GND
A29	HT0_RX_CADPO6	AA35	VDDE_DDR	AC2	MC1_DDR_DQSP1	AD13	VDD
A30	HT0_RX_CADN06	AA36	MC0_DDR_DQ03	AC3	VDDE_DDR	AD14	GND
A31	HT0_RX_CTLPO	AA37	MC0_DDR_DQ06	AC4	MC1_DDR_CLKP1	AD15	VDD
A32	HT0_RX_CTLNO	AA38	MC0_DDR_DQSN0	AC5	MC1_DDR_CLKN1	AD16	GND
A33	HT0CLKP	AA39	MC0_DDR_DQSP0	AC6	MC1_DDR_DQ14	AD17	VDD
A34	HT0_TX_CTLPO1	AB1	MC1_DDR_DQM1	AC7	MC1_DDR_DQ10	AD18	GND
A35	HT0_REXT	AB2	MC1_DDR_DQ13	AC13	GND	AD19	VDD

表 9-2 按引脚排列的封装引脚表 (续表)

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
AD20	GND	AE26	VDD	AF37	MC0_DDR_DQ28	AH4	MC1_DDR_DQM3
AD21	VDD	AE27	GND	AF38	MC0_DDR_DQ19	AH5	MC1_DDR_DQ26
AD22	GND	AE33	MC0_DDR_DQ16	AF39	MC0_DDR_DQ23	AH6	MC1_DDR_DQ30
AD23	VDD	AE34	MC0_DDR_DQ21	AG1	MC1_DDR_DQSN3	AH7	VDD
AD24	GND	AE35	MC0_DDR_DQ17	AG2	MC1_DDR_DQSP3	AH33	VDD
AD25	VDD	AE36	VDDE_DDR	AG3	MC1_DDR_DQ25	AH34	MC0_DDR_DQ30
AD26	GND	AE37	MC0_DDR_DQM2	AG4	VDDE_DDR	AH35	MC0_DDR_DQ26
AD27	VDD	AE38	MC0_DDR_DQSP2	AG5	MC1_DDR_DQ29	AH36	MC0_DDR_DQM3
AD33	GND	AE39	MC0_DDR_DQSN2	AG6	MC1_DDR_DQ24	AH37	GNDE
AD34	MC0_DDR_DQ20	AF1	MC1_DDR_DQ23	AG7	GND	AH38	MC0_DDR_DQ31
AD35	MC0_DDR_DQ11	AF2	MC1_DDR_DQ19	AG13	GND	AH39	MC0_DDR_DQ27
AD36	MC0_DDR_DQ15	AF3	MC1_DDR_DQ28	AG14	VDD	AJ1	MC1_DDR_DQM8
AD37	GNDE	AF4	MC1_DDR_DQ18	AG15	GND	AJ2	MC1_DDR_CB1
AD38	MC0_DDR_CLKN0	AF5	GNDE	AG16	VDD	AJ3	MC1_DDR_CB0
AD39	MC0_DDR_CLKP0	AF6	MC1_DDR_DQ22	AG17	GND	AJ4	MC1_DDR_CB5
AE1	MC1_DDR_DQSN2	AF7	VDD	AG18	VDD	AJ5	VDDE_DDR
AE2	MC1_DDR_DQSP2	AF13	VDD	AG19	GND	AJ6	MC1_DDR_CB4
AE3	MC1_DDR_DQM2	AF14	GND	AG20	VDD	AJ7	GND
AE4	VDDE_DDR	AF15	VDD	AG21	GND	AJ33	GND
AE5	MC1_DDR_DQ17	AF16	GND	AG22	VDD	AJ34	MC0_DDR_CB4
AE6	MC1_DDR_DQ21	AF17	VDD	AG23	GND	AJ35	VDDE_DDR
AE7	MC1_DDR_DQ16	AF18	GND	AG24	VDD	AJ36	MC0_DDR_CB5
AE13	GND	AF19	VDD	AG25	GND	AJ37	MC0_DDR_CB0
AE14	VDD	AF20	GND	AG26	VDD	AJ38	MC0_DDR_CB1
AE15	GND	AF21	VDD	AG27	GND	AJ39	MC0_DDR_DQM8
AE16	VDD	AF22	GND	AG33	GND	AK1	MC1_DDR_DQSN8
AE17	GND	AF23	VDD	AG34	MC0_DDR_DQ24	AK2	MC1_DDR_DQSP8
AE18	VDD	AF24	GND	AG35	MC0_DDR_DQ29	AK3	MC1_DDR_CB3
AE19	GND	AF25	VDD	AG36	VDDE_DDR	AK4	MC1_DDR_CB2
AE20	VDD	AF26	GND	AG37	MC0_DDR_DQ25	AK5	MC1_DDR_CB7
AE21	GND	AF27	VDD	AG38	MC0_DDR_DQSP3	AK6	GNDE
AE22	VDD	AF33	VDD	AG39	MC0_DDR_DQSN3	AK7	MC1_DDR_CB6
AE23	GND	AF34	MC0_DDR_DQ22	AH1	MC1_DDR_DQ27	AK33	MC0_DDR_CB6
AE24	VDD	AF35	GNDE	AH2	MC1_DDR_DQ31	AK34	GNDE
AE25	GND	AF36	MC0_DDR_DQ18	AH3	GNDE	AK35	MC0_DDR_CB7

表 9-3 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
AK36	MC0_DDR_CB2	AN4	VDDE_DDR	AN39	MC0_DDR_A04	AP35	MC0_DDR_A02
AK37	MC0_DDR_CB3	AN5	MC1_DDR_A07	AP1	MC1_DDR_A00	AP36	MC0_DDR_A01
AK38	MC0_DDR_DQSP8	AN6	MC1_DDR_A08	AP2	MC1_DDR_CLKN3	AP37	MC0_DDR_CLKP3
AK39	MC0_DDR_DQSN8	AN7	MC1_DDR_REXT	AP3	MC1_DDR_CLKP3	AP38	MC0_DDR_CLKN3
AL1	MC1_DDR_CKE2	AN8	MC1_DDR_DQ46	AP4	MC1_DDR_A01	AP39	MC0_DDR_A00
AL2	MC1_DDR_BA2	AN9	MC1_DDR_DQ52	AP5	MC1_DDR_A02	AR1	MC1_DDR_CLKN2
AL3	MC1_DDR_CKE0	AN10	VDD	AP6	MC1_DDR_A03	AR2	MC1_DDR_CLKP2
AL4	VDDE_DDR	AN11	GND	AP7	GND	AR3	MC1_DDR_RASN
AL5	MC1_DDR_CKE1	AN12	VDDE_VREF	AP8	MC1_DDR_DQ42	AR4	MC1_DDR_BA0
AL6	MC1_DDR_CKE3	AN13	VDDE_VREF	AP9	MC1_DDR_DQ48	AR5	MC1_DDR_BA1
AL7	VDD	AN14	PCI_IRQND	AP10	MC1_DDR_DQM6	AR6	MC1_DDR_A10
AL33	VDD	AN15	GNDE	AP11	MC1_DDR_DQ54	AR7	MC1_DDR_DQ44
AL34	MC0_DDR_CKE3	AN16	GNDE	AP12	MC1_DDR_DQ58	AR8	MC1_DDR_DQ47
AL35	MC0_DDR_CKE1	AN17	GNDE	AP13	MC1_DDR_DQ63	AR9	MC1_DDR_DQ53
AL36	VDDE_DDR	AN18	GNDE	AP14	PCI_IRQNB	AR10	VDDE_DDR
AL37	MC0_DDR_CKE0	AN19	GNDE	AP15	PCI_GNTN2	AR11	MC1_DDR_DQ50
AL38	MC0_DDR_BA2	AN20	GNDE	AP16	PCI_REQN5	AR12	MC1_DDR_DQ56
AL39	MC0_DDR_CKE2	AN21	GNDE	AP17	PCI_GNTN5	AR13	MC1_DDR_DQ59
AM1	MC1_DDR_A09	AN22	GNDE	AP18	PCI_CBEN3	AR14	PCI_RESETN
AM2	MC1_DDR_A11	AN23	GNDE	AP19	VDDE_1V8	AR15	PCI_REQN2
AM3	GNDE	AN24	PCI_GNTN6	AP20	PCI_FRAMEN	AR16	PCI_GNTN4
AM4	MC1_DDR_A12	AN25	GNDE	AP21	VDDE_1V8	AR17	PCI_AD28
AM5	MC1_DDR_A14	AN26	GNDE	AP22	PCI_AD14	AR18	PCI_AD23
AM6	MC1_DDR_RESETN	AN27	VDDE_VREF	AP23	VDDE_1V8	AR19	PCI_AD19
AM7	MC1_DDR_A15	AN28	VDDE_VREF	AP24	PCI_CBEN0	AR20	PCI_IRDYN
AM33	MC0_DDR_A15	AN29	GND	AP25	PCI_REQN6	AR21	PCI_PERR
AM34	MC0_DDR_RESETN	AN30	VDD	AP26	PCI_IDSEL	AR22	PCI_AD13
AM35	MC0_DDR_A14	AN31	MC0_DDR_DQ52	AP27	MC0_DDR_DQ63	AR23	PCI_AD09
AM36	MC0_DDR_A12	AN32	MC0_DDR_DQ46	AP28	MC0_DDR_DQ58	AR24	PCI_AD07
AM37	GNDE	AN33	MC0_DDR_REXT	AP29	MC0_DDR_DQ54	AR25	PCI_AD05
AM38	MC0_DDR_A11	AN34	MC0_DDR_A08	AP30	MC0_DDR_DQM6	AR26	PCI_AD03
AM39	MC0_DDR_A09	AN35	MC0_DDR_A07	AP31	MC0_DDR_DQ48	AR27	MC0_DDR_DQ59
AN1	MC1_DDR_A04	AN36	VDDE_DDR	AP32	MC0_DDR_DQ42	AR28	MC0_DDR_DQ56
AN2	MC1_DDR_A06	AN37	MC0_DDR_A05	AP33	GND	AR29	MC0_DDR_DQ50
AN3	MC1_DDR_A05	AN38	MC0_DDR_A06	AP34	MC0_DDR_A03	AR30	VDDE_DDR

表 9-4 按引脚排列的封装引脚表 (续表)

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
AR31	MC0_DDR_DQ53	AT27	GNDE	AU23	PCI_AD11	AV19	PCI_AD21
AR32	MC0_DDR_DQ47	AT28	VDDE_DDR	AU24	DDR_PLL_GND	AV20	PCI_AD16
AR33	MC0_DDR_DQ44	AT29	MC0_DDR_DQ55	AU25	PCI_AD06	AV21	PCI_DEVSELN
AR34	MC0_DDR_A10	AT30	MC0_DDR_DQSN6	AU26	PCI_AD00	AV22	PCI_AD15
AR35	MC0_DDR_BA1	AT31	MC0_DDR_DQ49	AU27	MC0_DDR_DQSN7	AV23	PCI_AD12
AR36	MC0_DDR_BA0	AT32	VDDE_DDR	AU28	MC0_DDR_DQ61	AV24	DDR_PLL_DVDD
AR37	MC0_DDR_RASN	AT33	MC0_DDR_DQ40	AU29	GNDE	AV25	DDR_PLL_GND
AR38	MC0_DDR_CLKP2	AT34	MC0_DDR_ODT2	AU30	MC0_DDR_DQSP6	AV26	PCI_AD02
AR39	MC0_DDR_CLKN2	AT35	MC0_DDR_ODT0	AU31	GNDE	AV27	MC0_DDR_DQSP7
AT1	MC1_DDR_SCSN0	AT36	MC0_DDR_CASN	AU32	MC0_DDR_DQSN5	AV28	MC0_DDR_DQ57
AT2	MC1_DDR_WEN	AT37	MC0_DDR_SCSN2	AU33	MC0_DDR_DQ45	AV29	MC0_DDR_DQ51
AT3	MC1_DDR_SCSN2	AT38	MC0_DDR_WEN	AU34	MC0_DDR_ODT3	AV30	MC0_DDR_CLKP5
AT4	MC1_DDR_CASN	AT39	MC0_DDR_SCSN0	AU35	MC0_DDR_ODT1	AV31	MC0_DDR_CLKN4
AT5	MC1_DDR_ODT0	AU1	MC1_DDR_SCSN3	AU36	MC0_DDR_A13	AV32	MC0_DDR_DQSP5
AT6	MC1_DDR_ODT2	AU2	MC1_DDR_SCSN1	AU37	GNDE	AV33	MC0_DDR_DQ41
AT7	MC1_DDR_DQ40	AU3	GNDE	AU38	MC0_DDR_SCSN1	AV34	MC0_DDR_DQ36
AT8	VDDE_DDR	AU4	MC1_DDR_A13	AU39	MC0_DDR_SCSN3	AV35	MC0_DDR_DQ32
AT9	MC1_DDR_DQ49	AU5	MC1_DDR_ODT1	AV1	MC1_DDR_DQ33	AV36	VDDE_DDR
AT10	MC1_DDR_DQSN6	AU6	MC1_DDR_ODT3	AV2	MC1_DDR_DQM4	AV37	MC0_DDR_DQ37
AT11	MC1_DDR_DQ55	AU7	MC1_DDR_DQ45	AV3	MC1_DDR_DQ37	AV38	MC0_DDR_DQM4
AT12	VDDE_DDR	AU8	MC1_DDR_DQSN5	AV4	VDDE_DDR	AV39	MC0_DDR_DQ33
AT13	GNDE	AU9	GNDE	AV5	MC1_DDR_DQ32	AW1	MC1_DDR_DQSN4
AT14	VDDE_1V8	AU10	MC1_DDR_DQSP6	AV6	MC1_DDR_DQ36	AW2	MC1_DDR_DQSP4
AT15	PCI_GNTN1	AU11	GNDE	AV7	MC1_DDR_DQ41	AW3	MC1_DDR_DQ38
AT16	VDDE_1V8	AU12	MC1_DDR_DQ61	AV8	MC1_DDR_DQSP5	AW4	MC1_DDR_DQ39
AT17	PCI_AD27	AU13	MC1_DDR_DQSN7	AV9	MC1_DDR_CLKN4	AW5	MC1_DDR_DQ34
AT18	VDDE_1V8	AU14	PCI_IRQNA	AV10	MC1_DDR_CLKP5	AW6	MC1_DDR_DQ35
AT19	PCI_AD18	AU15	PCI_REQN1	AV11	MC1_DDR_DQ51	AW7	MC1_DDR_DQM5
AT20	VDDE_1V8	AU16	PCI_REQN4	AV12	MC1_DDR_DQ57	AW8	MC1_DDR_DQ43
AT21	PCI_SERR	AU17	PCI_AD30	AV13	MC1_DDR_DQSP7	AW9	MC1_DDR_CLKP4
AT22	VDDE_1V8	AU18	PCI_AD26	AV14	PCI_IRQNC	AW10	MC1_DDR_CLKN5
AT23	PCI_AD08	AU19	PCI_AD22	AV15	PCI_GNTN0	AW11	MC1_DDR_DQ60
AT24	VDDE_1V8	AU20	PCI_AD17	AV16	PCI_GNTN3	AW12	MC1_DDR_DQM7
AT25	PCI_AD04	AU21	PCI_TRDYN	AV17	PCI_AD31	AW13	MC1_DDR_DQ62
AT26	VDDE_1V8	AU22	PCI_PAR	AV18	PCI_AD25	AW14	PCI_CLK

表 9-5 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
AW15	PCI_REQN0	B11	HT1_RX_CADN05	C7	HT1_PLL_AVDD	D3	GNDE
AW16	PCI_REQN3	B12	VDDE_1V2	C8	VDDE_1V2	D4	HT1_TX_CADN
AW17	PCI_AD29	B13	HT1_RX_CLKN0	C9	HT1_RX_CADP07	D5	HT1_TX_CADP
AW18	PCI_AD24	B14	VDDE_1V2	C10	VDDE_1V2	D6	HT1_TX_CADP
AW19	PCI_AD20	B15	HT1_RX_CADN02	C11	HT1_RX_CADP05	D7	HT1_PLL_GN
AW20	PCI_CBEN2	B16	VDDE_1V2	C12	VDDE_1V2	D8	HT1_RX_CTLF
AW21	PCI_STOPN	B17	HT1_RX_CADN00	C13	HT1_RX_CLKP0	D9	GNDE
AW22	PCI_CBEN1	B18	HT1_LO_LDT_STOPN	C14	VDDE_1V2	D10	HT1_RX_CADP
AW23	PCI_AD10	B19	HT1_LO_LDT_REQN	C15	HT1_RX_CADP02	D11	GNDE
AW24	MEMCLK	B20	SYSRESETN	C16	VDDE_1V2	D12	HT1_RX_CADP
AW25	DDR_PLL_AVDD	B21	HT0_LO_LDT_REQN	C17	HT1_RX_CADP00	D13	GNDE
AW26	PCI_AD01	B22	HT0_LO_LDT_STOPN	C18	HT1_8x2	D14	HT1_RX_CADP
AW27	MC0_DDR_DQ62	B23	HT0_RX_CADN00	C19	CORE_PLL_AVDD	D15	GNDE
AW28	MC0_DDR_DQM7	B24	VDDE_1V2	C20	CORE_PLL_GND	D16	HT1_RX_CADP
AW29	MC0_DDR_DQ60	B25	HT0_RX_CADN02	C21	CORE_PLL_DVDD	D17	GNDE
AW30	MC0_DDR_CLKN5	B26	VDDE_1V2	C22	HT0_8x2	D18	HT1_HI_RSTM
AW31	MC0_DDR_CLKP4	B27	HT0_RX_CLKN0	C23	HT0_RX_CADP00	D19	HT1_HI_POWER
AW32	MC0_DDR_DQ43	B28	VDDE_1V2	C24	VDDE_1V2	D20	CORE_PLL_GM
AW33	MC0_DDR_DQM5	B29	HT0_RX_CADN05	C25	HT0_RX_CADP02	D21	HT0_HI_POWER
AW34	MC0_DDR_DQ35	B30	VDDE_1V2	C26	VDDE_1V2	D22	HT0_HI_RSTM
AW35	MC0_DDR_DQ34	B31	HT0_RX_CADN07	C27	HT0_RX_CLKP0	D23	GNDE
AW36	MC0_DDR_DQ39	B32	VDDE_1V2	C28	VDDE_1V2	D24	HT0_RX_CADP
AW37	MC0_DDR_DQ38	B33	HT0CLKN	C29	HT0_RX_CADP05	D25	GNDE
AW38	MC0_DDR_DQSP4	B34	HT0_TX_CTLN1	C30	VDDE_1V2	D26	HT0_RX_CADP
AW39	MC0_DDR_DQSN4	B35	HT0_TX_CADP15	C31	HT0_RX_CADP07	D27	GNDE
B1	HT1_TX_CADP07	B36	HT0_TX_CADN15	C32	VDDE_1V2	D28	HT0_RX_CADP
B2	VDDE_1V2	B37	VDDE_1V2	C33	HT0_PLL_AVDD	D29	GNDE
B3	VDDE_1V2	B38	VDDE_1V2	C34	HT0_TX_CADN14	D30	HT0_RX_CADP
B4	HT1_TX_CADN15	B39	HT0_TX_CADP07	C35	GNDE	D31	GNDE
B5	HT1_TX_CADP15	C1	HT1_TX_CADN05	C36	GNDE	D32	HT0_RX_CTLF
B6	HT1_TX_CTLN1	C2	HT1_TX_CADP06	C37	HT0_TX_CADN06	D33	HT0_PLL_GN
B7	HT1CLKN	C3	HT1_TX_CADN06	C38	HT0_TX_CADP06	D34	HT0_TX_CADP
B8	VDDE_1V2	C4	GNDE	C39	HT0_TX_CADN05	D35	HT0_TX_CADP
B9	HT1_RX_CADN07	C5	GNDE	D1	HT1_TX_CADP05	D36	HT0_TX_CADN
B10	VDDE_1V2	C6	HT1_TX_CADN14	D2	GNDE	D37	GNDE

表 9-6 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
D38	GNDE	E34	HT0_TX_CADN12	F30	HT0_RX_CADN13	G26	GND
D39	HT0_TX_CADP05	E35	VDDE_1V2	F31	HT0_RX_CADP15	G27	VDD
E1	HT1_TX_CLKN0	E36	VDDE_1V2	F32	HT0_RX_CADN15	G28	VDD
E2	HT1_TX_CADP04	E37	HT0_TX_CADN04	F33	HT0_PLL_GND	G29	GND
E3	HT1_TX_CADN04	E38	HT0_TX_CADP04	F34	HT0_TX_CADP12	G30	GND
E4	VDDE_1V2	E39	HT0_TX_CLKN0	F35	HT0_TX_CLKP1	G31	VDD
E5	VDDE_1V2	F1	HT1_TX_CLKP0	F36	HT0_TX_CLKN1	G32	VDD
E6	HT1_TX_CADN12	F2	VDDE_1V2	F37	VDDE_1V2	G33	GND
E7	HT1_PLL_DVDD	F3	VDDE_1V2	F38	VDDE_1V2	G34	HT0_TX_CADN
E8	HT1_RX_CTLN1	F4	HT1_TX_CLKN1	F39	HT0_TX_CLKP0	G35	GNDE
E9	GNDE	F5	HT1_TX_CLKP1	G1	HT1_TX_CADN02	G36	GNDE
E10	HT1_RX_CADN14	F6	HT1_TX_CADP12	G2	HT1_TX_CADP03	G37	HT0_TX_CADN
E11	GNDE	F7	HT1_PLL_GND	G3	HT1_TX_CADN03	G38	HT0_TX_CADP
E12	HT1_RX_CADN12	F8	HT1_RX_CADN15	G4	GNDE	G39	HT0_TX_CADN
E13	GNDE	F9	HT1_RX_CADP15	G5	GNDE	H1	HT1_TX_CADP
E14	HT1_RX_CADN11	F10	HT1_RX_CADN13	G6	HT1_TX_CADN11	H2	GNDE
E15	GNDE	F11	HT1_RX_CADP13	G7	GND	H3	GNDE
E16	HT1_RX_CADN09	F12	HT1_RX_CLKP1	G8	VDD	H4	HT1_TX_CADN
E17	GNDE	F13	HT1_RX_CLKN1	G9	VDD	H5	HT1_TX_CADP
E18	HT1_HI_LDT_REQN	F14	HT1_RX_CADN10	G10	GND	H6	HT1_TX_CADP
E19	HT1_HI_LDT_STOPN	F15	HT1_RX_CADP10	G11	GND	H7	GND
E20	VDDE_1V8	F16	HT1_RX_CADN08	G12	VDD	H33	GND
E21	HT0_HI_LDT_STOPN	F17	HT1_RX_CADP08	G13	VDD	H34	HT0_TX_CADP
E22	HT0_HI_LDT_REQN	F18	HT1_HI_HOSTMODE	G14	GND	H35	HT0_TX_CADP
E23	GNDE	F19	HT1_LO_HOSTMODE	G15	GND	H36	HT0_TX_CADN
E24	HT0_RX_CADN09	F20	GNDE	G16	VDD	H37	GNDE
E25	GNDE	F21	HT0_LO_HOSTMODE	G17	GNDE	H38	GNDE
E26	HT0_RX_CADN11	F22	HT0_HI_HOSTMODE	G18	VDDE_1V8	H39	HT0_TX_CADP
E27	GNDE	F23	HT0_RX_CADP08	G19	GNDE	J1	HT1_TX_CADN
E28	HT0_RX_CADN12	F24	HT0_RX_CADN08	G20	VDDE_1V8	J2	HT1_TX_CADP
E29	GNDE	F25	HT0_RX_CADP10	G21	GNDE	J3	HT1_TX_CADN
E30	HT0_RX_CADN14	F26	HT0_RX_CADN10	G22	VDDE_1V8	J4	VDDE_1V2
E31	GNDE	F27	HT0_RX_CLKN1	G23	GNDE	J5	VDDE_1V2
E32	HT0_RX_CTLN1	F28	HT0_RX_CLKP1	G24	VDD	J6	HT1_TX_CADN
E33	HT0_PLL_DVDD	F29	HT0_RX_CADP13	G25	GND	J7	VDD

表 9-7 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
J33	VDD	M1	UART1_RTS	N27	GND	P38	EJTAG_TDI
J34	HT0_TX_CADN09	M2	UART0_DTR	N33	GNDE	P39	EJTAG_TRST
J35	VDDE_1V2	M3	UART0_RXD	N34	VDDE_1V8	R1	NODE_ID0
J36	VDDE_1V2	M4	PCI_CONFIG0	N35	SPI_SCK	R2	UART1_RI
J37	HT0_TX_CADN01	M5	PCI_CONFIG3	N36	TDO	R3	CLKSEL15
J38	HT0_TX_CADP01	M6	GNDE	N37	TESTCLK	R4	ICCC_EN
J39	HT0_TX_CADN00	M7	VDDE_1V8	N38	TDI	R5	UART1_TXD
K1	HT1_TX_CADP00	M33	VDDE_1V8	N39	TRST	R6	UART1_CTS
K2	VDDE_1V2	M34	GNDE	P1	UART1_RXD	R7	GNDE
K3	VDDE_1V2	M35	INTN3	P2	UART1_DSR	R13	GND
K4	HT1_TX_CADN08	M36	INTN2	P3	UART0_RTS	R14	VDD_N1
K5	HT1_TX_CADP08	M37	SPI_SDI	P4	UART0_DSR	R15	GND
K6	HT1_TX_CADP09	M38	DOTEST	P5	UART0_DCD	R16	VDD_N1
K7	VDD	M39	TMS	P6	UART0_TXD	R17	GND
K33	VDD	N1	UART1_DTR	P7	VDDE_1V8	R18	VDD_N1
K34	HT0_TX_CADP09	N2	UART0_CTS	P13	VDD	R19	GND
K35	HT0_TX_CADP08	N3	PCI_CONFIG2	P14	GND	R20	VDD
K36	HT0_TX_CADN08	N4	PCI_CONFIG1	P15	VDD	R21	GND
K37	VDDE_1V2	N5	PCI_CONFIG4	P16	GND	R22	VDD_N0
K38	VDDE_1V2	N6	VDDE_1V8	P17	VDD	R23	GND
K39	HT0_TX_CADP00	N7	GNDE	P18	GND	R24	VDD_N0
L1	UART0_RI	N13	GND	P19	VDD	R25	GND
L2	UART1_DCD	N14	VDD	P20	GND	R26	VDD_N0
L3	PCI_CONFIG7	N15	GND	P21	VDD	R27	GND
L4	PCI_CONFIG6	N16	VDD	P22	GND	R33	GNDE
L5	PCI_CONFIG5	N17	GND	P23	VDD	R34	GPIO15
L6	VDDE_1V8	N18	VDD	P24	GND	R35	GPIO12
L7	GNDE	N19	GND	P25	VDD	R36	GPIO14
L33	GNDE	N20	VDD	P26	GND	R37	GPIO13
L34	VDDE_1V8	N21	GND	P27	VDD	R38	GPIO10
L35	INTN1	N22	VDD	P33	VDDE_1V8	R39	GPIO11
L36	NMIN	N23	GND	P34	EJTAG_TDO	T1	CLKSEL11
L37	INTN0	N24	VDD	P35	TCK	T2	CLKSEL08
L38	SPI_SDO	N25	GND	P36	EJTAG_TCK	T3	CLKSEL14
L39	HTCLK	N26	VDD	P37	EJTAG_TMS	T4	CLKSEL10

表 9-8 按引脚排列的封装引脚表（续表）

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
T5	CLKSEL13	U16	VDD_N1	V22	GND	W33	GNDE
T6	NODE_ID1	U17	GND	V23	VDD_N0	W34	VDDE_1V8
T7	GNDE	U18	VDD_N1	V24	GND	W35	GNDE
T13	VDD_N1	U19	GND	V25	VDD_N0	W36	GNDE
T14	GND	U20	VDD	V26	GND	W37	LPC_ROM8MBITS
T15	VDD_N1	U21	GND	V27	VDD_N0	W38	LPC_ROMINTEL
T16	GND	U22	VDD_N0	V33	VDDE_1V8	W39	LPC_LFRAMEN
T17	VDD_N1	U23	GND	V34	GNDE	Y1	MC1_DDR_DQ01
T18	GND	U24	VDD_N0	V35	LPC_LAD1	Y2	MC1_DDR_DQ00
T19	VDD_N1	U25	GND	V36	LPC_LAD3	Y3	MC1_DDR_DQM0
T20	GND	U26	VDD_N0	V37	LPC_LAD2	Y4	GNDE
T21	VDD_N0	U27	GND	V38	LPC_LAD0	Y5	MC1_DDR_DQ05
T22	GND	U33	GNDE	V39	LPC_SERIRQ	Y6	MC1_DDR_DQ04
T23	VDD_N0	U34	VDDE_1V8	W1	GND	Y7	GND
T24	GND	U35	GPIO02	W2	VDD	Y13	VDD_N1
T25	VDD_N0	U36	GPIO03	W3	GND	Y14	GND
T26	GND	U37	GPIO04	W4	VDD	Y15	VDD_N1
T27	VDD_N0	U38	GPIO00	W5	GND	Y16	GND
T33	VDDE_1V8	U39	GPIO01	W6	VDD	Y17	VDD_N1
T34	GNDE	V1	CLKSEL02	W7	VDD	Y18	GND
T35	GPIO07	V2	CLKSEL01	W13	GND	Y19	VDD_N1
T36	GPIO09	V3	CLKSEL04	W14	VDD_N1	Y20	GND
T37	GPIO08	V4	CLKSEL00	W15	GND	Y21	VDD_N0
T38	GPIO05	V5	CLKSEL03	W16	VDD_N1	Y22	GND
T39	GPIO06	V6	GND	W17	GND	Y23	VDD_N0
U1	CLKSEL07	V7	GND	W18	VDD_N1	Y24	GND
U2	CLKSEL06	V13	VDD_N1	W19	GND	Y25	VDD_N0
U3	CLKSEL09	V14	GND	W20	VDD	Y26	GND
U4	CLKSEL05	V15	VDD_N1	W21	GND	Y27	VDD_N0
U5	CLKSEL12	V16	GND	W22	VDD_N0	Y33	GNDE
U6	VDD	V17	VDD_N1	W23	GND	Y34	MC0_DDR_DQ04
U7	VDD	V18	GND	W24	VDD_N0	Y35	MC0_DDR_DQ05
U13	GND	V19	VDD_N1	W25	GND	Y36	GNDE
U14	VDD_N1	V20	GND	W26	VDD_N0	Y37	MC0_DDR_DQM0
U15	GND	V21	VDD_N0	W27	GND	Y38	MC0_DDR_DQ00
						Y39	MC0_DDR_DQ01

9.2 FCBGA 引脚顶层排列

	1	2	3	4	5	6	7
A	HT1_TX_CADn07	HT1_TX_CTLp0	HT1_TX_CTLn0	VDDE_1V2	HT1_REXT	HT1_TX_CTLp1	HT1CLKp
B	HT1_TX_CADp07	VDDE_1V2	VDDE_1V2	HT1_TX_CADn15	HT1_TX_CADp15	HT1_TX_CTLn1	HT1CLKn
C	HT1_TX_CADn05	HT1_TX_CADp06	HT1_TX_CADn06	GNDE	GNDE	HT1_TX_CADn14	HT1_PLL_AVDD
D	HT1_TX_CADp05	GNDE	GNDE	HT1_TX_CADn13	HT1_TX_CADp13	HT1_TX_CADp14	HT1_PLL_GND
E	HT1_TX_CLKn0	HT1_TX_CADp04	HT1_TX_CADn04	VDDE_1V2	VDDE_1V2	HT1_TX_CADn12	HT1_PLL_DVDD
F	HT1_TX_CLKp0	VDDE_1V2	VDDE_1V2	HT1_TX_CLKn1	HT1_TX_CLKp1	HT1_TX_CADp12	HT1_PLL_GND
G	HT1_TX_CADn02	HT1_TX_CADp03	HT1_TX_CADn03	GNDE	GNDE	HT1_TX_CADn11	GND
H	HT1_TX_CADp02	GNDE	GNDE	HT1_TX_CADn10	HT1_TX_CADp10	HT1_TX_CADp11	GND
J	HT1_TX_CADn00	HT1_TX_CADp01	HT1_TX_CADn01	VDDE_1V2	VDDE_1V2	HT1_TX_CADn09	VDD
K	HT1_TX_CADp00	VDDE_1V2	VDDE_1V2	HT1_TX_CADn08	HT1_TX_CADp08	HT1_TX_CADp09	VDD
L	UART0_RI	UART1_DCD	PCI_CONFIG7	PCI_CONFIG6	PCI_CONFIG5	VDDE_1V8	GNDE
M	UART1_RTS	UART0_DTR	UART0_RXD	PCI_CONFIG0	PCI_CONFIG3	GNDE	VDDE_1V8
N	UART1_DTR	UART0_CTS	PCI_CONFIG2	PCI_CONFIG1	PCI_CONFIG4	VDDE_1V8	GNDE
P	UART1_RXD	UART1_DSR	UART0_RTS	UART0_DSR	UART0_DCD	UART0_TXD	VDDE_1V8
R	NODE_ID0	UART1_RI	CLKSEL15	ICCC_EN	UART1_TXD	UART1_CTS	GNDE
T	CLKSEL11	CLKSEL08	CLKSEL14	CLKSEL10	CLKSEL13	NODE_ID1	GNDE
U	CLKSEL07	CLKSEL06	CLKSEL09	CLKSEL05	CLKSEL12	VDD	VDD
V	CLKSEL02	CLKSEL01	CLKSEL04	CLKSEL00	CLKSEL03	GND	GND
W	GND	VDD	GND	VDD	GND	VDD	VDD
Y	MC1_DDR_DQ01	MC1_DDR_DQ00	MC1_DDR_DQM0	GNDE	MC1_DDR_DQ05	MC1_DDR_DQ04	GND
AA	MC1_DDR_DQSp0	MC1_DDR_DQSn0	MC1_DDR_DQ06	MC1_DDR_DQ03	VDDE_DDR	MC1_DDR_DQ07	MC1_DDR_DQ02
AB	MC1_DDR_DQM1	MC1_DDR_DQ13	MC1_DDR_DQ09	GNDE	MC1_DDR_DQ08	MC1_DDR_DQ12	VDD
AC	MC1_DDR_DQSn1	MC1_DDR_DQSp1	VDDE_DDR	MC1_DDR_CLKp1	MC1_DDR_CLKn1	MC1_DDR_DQ14	MC1_DDR_DQ10
AD	MC1_DDR_CLKp0	MC1_DDR_CLKn0	GNDE	MC1_DDR_DQ15	MC1_DDR_DQ11	MC1_DDR_DQ20	GND
AE	MC1_DDR_DQSn2	MC1_DDR_DQSp2	MC1_DDR_DQM2	VDDE_DDR	MC1_DDR_DQ17	MC1_DDR_DQ21	MC1_DDR_DQ16
AF	MC1_DDR_DQ23	MC1_DDR_DQ19	MC1_DDR_DQ28	MC1_DDR_DQ18	GNDE	MC1_DDR_DQ22	VDD
AG	MC1_DDR_DQSn3	MC1_DDR_DQSp3	MC1_DDR_DQ25	VDDE_DDR	MC1_DDR_DQ29	MC1_DDR_DQ24	GND
AH	MC1_DDR_DQ27	MC1_DDR_DQ31	GNDE	MC1_DDR_DQM3	MC1_DDR_DQ26	MC1_DDR_DQ30	VDD
AJ	MC1_DDR_DQM8	MC1_DDR_CB1	MC1_DDR_CB0	MC1_DDR_CB5	VDDE_DDR	MC1_DDR_CB4	GND
AK	MC1_DDR_DQSn8	MC1_DDR_DQSp8	MC1_DDR_CB3	MC1_DDR_CB2	MC1_DDR_CB7	GNDE	MC1_DDR_CB6
AL	MC1_DDR_CKE2	MC1_DDR_BA2	MC1_DDR_CKE0	VDDE_DDR	MC1_DDR_CKE1	MC1_DDR_CKE3	VDD
AM	MC1_DDR_A09	MC1_DDR_A11	GNDE	MC1_DDR_A12	MC1_DDR_A14	MC1_DDR_RESETn	MC1_DDR_A15
AN	MC1_DDR_A04	MC1_DDR_A06	MC1_DDR_A05	VDDE_DDR	MC1_DDR_A07	MC1_DDR_A08	MC1_DDR_REXT
AP	MC1_DDR_A00	MC1_DDR_CLKn3	MC1_DDR_CLKp3	MC1_DDR_A01	MC1_DDR_A02	MC1_DDR_A03	GND
AR	MC1_DDR_CLKn2	MC1_DDR_CLKp2	MC1_DDR_RASn	MC1_DDR_BA0	MC1_DDR_BA1	MC1_DDR_A10	MC1_DDR_DQ44
AT	MC1_DDR_SCSn0	MC1_DDR_WEn	MC1_DDR_SCSn2	MC1_DDR_CASn	MC1_DDR_ODT0	MC1_DDR_ODT2	MC1_DDR_DQ40
AU	MC1_DDR_SCSn3	MC1_DDR_SCSn1	GNDE	MC1_DDR_A13	MC1_DDR_ODT1	MC1_DDR_ODT3	MC1_DDR_DQ45
AV	MC1_DDR_DQ33	MC1_DDR_DQM4	MC1_DDR_DQ37	VDDE_DDR	MC1_DDR_DQ32	MC1_DDR_DQ36	MC1_DDR_DQ41
AW	MC1_DDR_DQSn4	MC1_DDR_DQSp4	MC1_DDR_DQ38	MC1_DDR_DQ39	MC1_DDR_DQ34	MC1_DDR_DQ35	MC1_DDR_DQM5

图 9-1 顶层引脚排列（左侧）

9	10	11	12	13	14	15	16
HT1_RX_CTLp0	HT1_RX_CADn06	HT1_RX_CADp06	HT1_RX_CADn04	HT1_RX_CADp04	HT1_RX_CADn03	HT1_RX_CADp03	HT1_RX_CADn0
HT1_RX_CADn07	VDDE_1V2	HT1_RX_CADn05	VDDE_1V2	HT1_RX_CLKn0	VDDE_1V2	HT1_RX_CADn02	VDDE_1V2
HT1_RX_CADp07	VDDE_1V2	HT1_RX_CADp05	VDDE_1V2	HT1_RX_CLKp0	VDDE_1V2	HT1_RX_CADp02	VDDE_1V2
GNDE	HT1_RX_CADp14	GNDE	HT1_RX_CADp12	GNDE	HT1_RX_CADp11	GNDE	HT1_RX_CADp0
GNDE	HT1_RX_CADn14	GNDE	HT1_RX_CADn12	GNDE	HT1_RX_CADn11	GNDE	HT1_RX_CADn0
HT1_RX_CADp15	HT1_RX_CADn13	HT1_RX_CADp13	HT1_RX_CLKp1	HT1_RX_CLKn1	HT1_RX_CADn10	HT1_RX_CADp10	HT1_RX_CADn0
VDD	GND	GND	VDD	VDD	GND	GND	VDD

	13	14	15	16
N	GND	VDD	GND	VDD
P	VDD	GND	VDD	GND
R	GND	VDD_N1	GND	VDD_N1
T	VDD_N1	GND	VDD_N1	GND
U	GND	VDD_N1	GND	VDD_N1
V	VDD_N1	GND	VDD_N1	GND
W	GND	VDD_N1	GND	VDD_N1
Y	VDD_N1	GND	VDD_N1	GND
AA	GND	VDD_N1	GND	VDD_N1
AB	VDD	GND	VDD	GND
AC	GND	VDD	GND	VDD
AD	VDD	GND	VDD	GND
AE	GND	VDD	GND	VDD
AF	VDD	GND	VDD	GND
AG	GND	VDD	GND	VDD
	13	14	15	16

MC1_DDR_DQ52	VDD	GND	VDDE_VREF	VDDE_VREF	PCI_IRQnD	GNDE	GNDE
MC1_DDR_DQ48	MC1_DDR_DQM6	MC1_DDR_DQ54	MC1_DDR_DQ58	MC1_DDR_DQ63	PCI_IRQnB	PCI_GNTn2	PCI_REQn5
MC1_DDR_DQ53	VDDE_DDR	MC1_DDR_DQ50	MC1_DDR_DQ56	MC1_DDR_DQ59	PCI_RESETn	PCI_REQn2	PCI_GNTn4
MC1_DDR_DQ49	MC1_DDR_DQSn6	MC1_DDR_DQ55	VDDE_DDR	GNDE	VDDE_1V8	PCI_GNTn1	VDDE_1V8
GNDE	MC1_DDR_DQSp6	GNDE	MC1_DDR_DQ61	MC1_DDR_DQSn7	PCI_IRQnA	PCI_REQn1	PCI_REQn4
MC1_DDR_CLKn4	MC1_DDR_CLKp5	MC1_DDR_DQ51	MC1_DDR_DQ57	MC1_DDR_DQSp7	PCI_IRQnC	PCI_GNTn0	PCI_GNTn3
MC1_DDR_CLKp4	MC1_DDR_CLKn5	MC1_DDR_DQ60	MC1_DDR_DQM7	MC1_DDR_DQ62	PCI_CLK	PCI_REQn0	PCI_REQn3
9	10	11	12	13	14	15	16

图 9-2 顶层引脚排列（中间 1）

17	18	19	20	21	22	23	24
HT1_RX_CADp01	HT1_LO_RSTn	HT1_LO_POWEROK	SYSCLK	HT0_LO_POWEROK	HT0_LO_RSTn	HT0_RX_CADp01	HT0_RX_CADp02
HT1_RX_CADn00	HT1_LO_LDT_STOPn	HT1_LO_LDT_REQn	SYSRESETn	HT0_LO_LDT_REQn	HT0_LO_LDT_STOPn	HT0_RX_CADn00	VDDE_1V8
HT1_RX_CADp00	HT1_8x2	CORE_PLL_AVDD	CORE_PLL_GND	CORE_PLL_DVDD	HT0_8x2	HT0_RX_CADp00	VDDE_1V8
GNDE	HT1_HI_RSTn	HT1_HI_POWEROK	CORE_PLL_GND	HT0_HI_POWEROK	HT0_HI_RSTn	GNDE	HT0_RX_CADp08
GNDE	HT1_HI_LDT_REQn	HT1_HI_LDT_STOPn	VDDE_1V8	HT0_HI_LDT_STOPn	HT0_HI_LDT_REQn	GNDE	HT0_RX_CADp09
HT1_RX_CADp08	HT1_HI_HOSTMODE	HT1_LO_HOSTMODE	GNDE	HT0_LO_HOSTMODE	HT0_HI_HOSTMODE	HT0_RX_CADp08	HT0_RX_CADp09
GNDE	VDDE_1V8	GNDE	VDDE_1V8	GNDE	VDDE_1V8	GNDE	VDDE_1V8

17	18	19	20	21	22	23	24
GND	VDD	GND	VDD	GND	VDD	GND	VDDE_1V8
VDD	GND	VDD	GND	VDD	GND	VDD	GND
GND	VDD_N1	GND	VDD	GND	VDD_N0	GND	VDD_N0
VDD_N1	GND	VDD_N1	GND	VDD_N0	GND	VDD_N0	GND
GND	VDD_N1	GND	VDD	GND	VDD_N0	GND	VDD_N0
VDD_N1	GND	VDD_N1	GND	VDD_N0	GND	VDD_N0	GND
GND	VDD_N1	GND	VDD	GND	VDD_N0	GND	VDD_N0
VDD_N1	GND	VDD_N1	GND	VDD_N0	GND	VDD_N0	GND
GND	VDD_N1	GND	VDD	GND	VDD_N0	GND	VDD_N0
VDD	GND	VDD	GND	VDD	GND	VDD	GND
GND	VDD	GND	VDD	GND	VDD	GND	VDD
VDD	GND	VDD	GND	VDD	GND	VDD	GND
GND	VDD	GND	VDD	GND	VDD	GND	VDD
VDD	GND	VDD	GND	VDD	GND	VDD	GND
GND	VDD	GND	VDD	GND	VDD	GND	VDD

17	18	19	20	21	22	23	24
GNDE	GNDE	GNDE	GNDE	GNDE	GNDE	GNDE	PCI_CADp01
PCI_GNTn5	PCI_CBEEn3	VDDE_1V8	PCI_FRAMEEn	VDDE_1V8	PCI_AD14	VDDE_1V8	PCI_CADp02
PCI_AD28	PCI_AD23	PCI_AD19	PCI_IRDYn	PCI_PERR	PCI_AD13	PCI_AD09	PCI_CADp03
PCI_AD27	VDDE_1V8	PCI_AD18	VDDE_1V8	PCI_SERR	VDDE_1V8	PCI_AD08	VDDE_1V8
PCI_AD30	PCI_AD26	PCI_AD22	PCI_AD17	PCI_TRDYn	PCI_PAR	PCI_AD11	DDR_P0
PCI_AD31	PCI_AD25	PCI_AD21	PCI_AD16	PCI_DEVSELn	PCI_AD15	PCI_AD12	DDR_P1
PCI_AD29	PCI_AD24	PCI_AD20	PCI_CBEEn2	PCI_STOPn	PCI_CBEEn1	PCI_AD10	MEM_P0

图 9-3 顶层引脚排列（中间 2）

25	26	27	28	29	30	31	32
HT0_RX_CADp03	HT0_RX_CADn03	HT0_RX_CADp04	HT0_RX_CADn04	HT0_RX_CADp06	HT0_RX_CADn06	HT0_RX_CTLp0	HT0_RX_CTLn0
HT0_RX_CADn02	VDDE_1V2	HT0_RX_CLKn0	VDDE_1V2	HT0_RX_CADn05	VDDE_1V2	HT0_RX_CADn07	VDDE_1V2
HT0_RX_CADp02	VDDE_1V2	HT0_RX_CLKp0	VDDE_1V2	HT0_RX_CADp05	VDDE_1V2	HT0_RX_CADp07	VDDE_1V2
GNDE	HT0_RX_CADp11	GNDE	HT0_RX_CADp12	GNDE	HT0_RX_CADp14	GNDE	HT0_RX_CTLp1
GNDE	HT0_RX_CADn11	GNDE	HT0_RX_CADn12	GNDE	HT0_RX_CADn14	GNDE	HT0_RX_CTLn1
HT0_RX_CADp10	HT0_RX_CADn10	HT0_RX_CLKn1	HT0_RX_CLKp1	HT0_RX_CADp13	HT0_RX_CADn13	HT0_RX_CADp15	HT0_RX_CADn15
GND	GND	VDD	VDD	GND	GND	VDD	VDD

25	26	27	
GND	VDD	GND	N
VDD	GND	VDD	P
GND	VDD_N0	GND	R
VDD_N0	GND	VDD_N0	T
GND	VDD_N0	GND	U
VDD_N0	GND	VDD_N0	V
GND	VDD_N0	GND	W
VDD_N0	GND	VDD_N0	Y
GND	VDD_N0	GND	AA
VDD	GND	VDD	AB
GND	VDD	GND	AC
VDD	GND	VDD	AD
GND	VDD	GND	AE
VDD	GND	VDD	AF
GND	VDD	GND	AG
25	26	27	

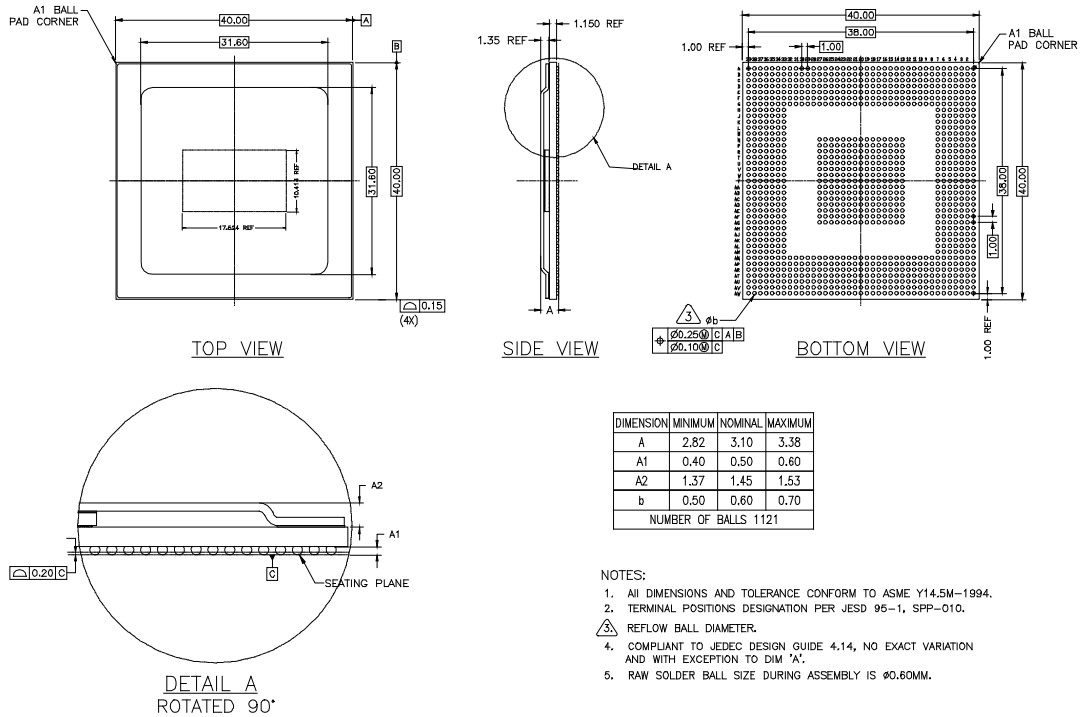
GNDE	GNDE	VDDE_VREF	VDDE_VREF	GND	VDD	MC0_DDR_DQ52	MC0_DDR_DQ46
PCI_REQn6	PCI_IDSEL	MC0_DDR_DQ63	MC0_DDR_DQ58	MC0_DDR_DQ54	MC0_DDR_DQM6	MC0_DDR_DQ48	MC0_DDR_DQ42
PCI_AD05	PCI_AD03	MC0_DDR_DQ59	MC0_DDR_DQ56	MC0_DDR_DQ50	VDDE_DDR	MC0_DDR_DQ53	MC0_DDR_DQ47
PCI_AD04	VDDE_1V8	GNDE	VDDE_DDR	MC0_DDR_DQ55	MC0_DDR_DQSn6	MC0_DDR_DQ49	VDDE_DDR
PCI_AD06	PCI_AD00	MC0_DDR_DQSn7	MC0_DDR_DQ61	GNDE	MC0_DDR_DQSp6	GNDE	MC0_DDR_DQSn5
DDR_PLL_GND	PCI_AD02	MC0_DDR_DQSp7	MC0_DDR_DQ57	MC0_DDR_DQ51	MC0_DDR_CLKp5	MC0_DDR_CLKn4	MC0_DDR_DQSp5
DDR_PLL_AVDD	PCI_AD01	MC0_DDR_DQ62	MC0_DDR_DQM7	MC0_DDR_DQ60	MC0_DDR_CLKn5	MC0_DDR_CLKp4	MC0_DDR_DQ43
25	26	27	28	29	30	31	32

图 9-4 顶层引脚排列（中间 3）

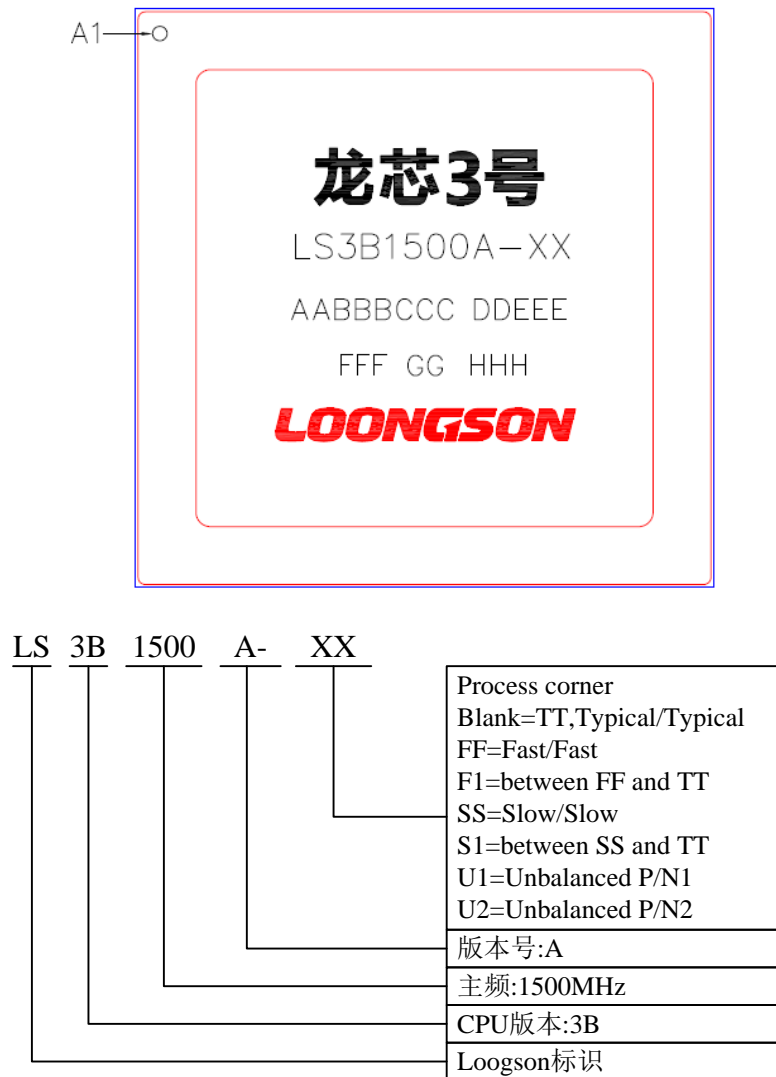
33	34	35	36	37	38	39
HT0CLKp	HT0_TX_CTLp1	HT0_REXT	VDDE_1V2	HT0_TX_CTLn0	HT0_TX_CTLp0	HT0_TX_CADn07
HT0CLKn	HT0_TX_CTLn1	HT0_TX_CADp15	HT0_TX_CADn15	VDDE_1V2	VDDE_1V2	HT0_TX_CADp07
HT0_PLL_AVDD	HT0_TX_CADn14	GNDE	GNDE	HT0_TX_CADn06	HT0_TX_CADp06	HT0_TX_CADn05
HT0_PLL_GND	HT0_TX_CADp14	HT0_TX_CADp13	HT0_TX_CADn13	GNDE	GNDE	HT0_TX_CADp05
HT0_PLL_DVDD	HT0_TX_CADn12	VDDE_1V2	VDDE_1V2	HT0_TX_CADn04	HT0_TX_CADp04	HT0_TX_CLKn0
HT0_PLL_GND	HT0_TX_CADp12	HT0_TX_CLKp1	HT0_TX_CLKn1	VDDE_1V2	VDDE_1V2	HT0_TX_CLKp0
GND	HT0_TX_CADn11	GNDE	GNDE	HT0_TX_CADn03	HT0_TX_CADp03	HT0_TX_CADn02
GND	HT0_TX_CADp11	HT0_TX_CADp10	HT0_TX_CADn10	GNDE	GNDE	HT0_TX_CADp02
VDD	HT0_TX_CADn09	VDDE_1V2	VDDE_1V2	HT0_TX_CADn01	HT0_TX_CADp01	HT0_TX_CADn00
VDD	HT0_TX_CADp09	HT0_TX_CADp08	HT0_TX_CADn08	VDDE_1V2	VDDE_1V2	HT0_TX_CADp00
GNDE	VDDE_1V8	INTn1	NMI _n	INTn0	SPI_SDO	HTCLK
VDDE_1V8	GNDE	INTn3	INTn2	SPI_SDI	DOTEST	TMS
GNDE	VDDE_1V8	SPI_SCK	TDO	TESTCLK	TDI	TRST
VDDE_1V8	EJTAG_TDO	TCK	EJTAG_TCK	EJTAG_TMS	EJTAG_TDI	EJTAG_TRST
GNDE	GPIO15	GPIO12	GPIO14	GPIO13	GPIO10	GPIO11
VDDE_1V8	GNDE	GPIO07	GPIO09	GPIO08	GPIO05	GPIO06
GNDE	VDDE_1V8	GPIO02	GPIO03	GPIO04	GPIO00	GPIO01
VDDE_1V8	GNDE	LPC_LAD1	LPC_LAD3	LPC_LAD2	LPC_LAD0	LPC_SERIRQ
GNDE	VDDE_1V8	GNDE	GNDE	LPC_ROM8MBITS	LPC_ROMINTEL	LPC_LFRAMEn
GNDE	MC0_DDR_DQ04	MC0_DDR_DQ05	GNDE	MC0_DDR_DQM0	MC0_DDR_DQ00	MC0_DDR_DQ01
MC0_DDR_DQ02	MC0_DDR_DQ07	VDDE_DDR	MC0_DDR_DQ03	MC0_DDR_DQ06	MC0_DDR_DQSn0	MC0_DDR_DQSp0
VDD	MC0_DDR_DQ12	MC0_DDR_DQ08	GNDE	MC0_DDR_DQ09	MC0_DDR_DQ13	MC0_DDR_DQM1
MC0_DDR_DQ10	MC0_DDR_DQ14	MC0_DDR_CLKn1	MC0_DDR_CLKp1	VDDE_DDR	MC0_DDR_DQSp1	MC0_DDR_DQSn1
GND	MC0_DDR_DQ20	MC0_DDR_DQ11	MC0_DDR_DQ15	GNDE	MC0_DDR_CLKn0	MC0_DDR_CLKp0
MC0_DDR_DQ16	MC0_DDR_DQ21	MC0_DDR_DQ17	VDDE_DDR	MC0_DDR_DQM2	MC0_DDR_DQSp2	MC0_DDR_DQSn2
VDD	MC0_DDR_DQ22	GNDE	MC0_DDR_DQ18	MC0_DDR_DQ28	MC0_DDR_DQ19	MC0_DDR_DQ23
GND	MC0_DDR_DQ24	MC0_DDR_DQ29	VDDE_DDR	MC0_DDR_DQ25	MC0_DDR_DQSp3	MC0_DDR_DQSn3
VDD	MC0_DDR_DQ30	MC0_DDR_DQ26	MC0_DDR_DQM3	GNDE	MC0_DDR_DQ31	MC0_DDR_DQ27
GND	MC0_DDR_CB4	VDDE_DDR	MC0_DDR_CB5	MC0_DDR_CB0	MC0_DDR_CB1	MC0_DDR_DQM8
MC0_DDR_CB6	GNDE	MC0_DDR_CB7	MC0_DDR_CB2	MC0_DDR_CB3	MC0_DDR_DQSp8	MC0_DDR_DQSn8
VDD	MC0_DDR_CKE3	MC0_DDR_CKE1	VDDE_DDR	MC0_DDR_CKE0	MC0_DDR_BA2	MC0_DDR_CKE2
MC0_DDR_A15	MC0_DDR_RESE _{Tn}	MC0_DDR_A14	MC0_DDR_A12	GNDE	MC0_DDR_A11	MC0_DDR_A09
MC0_DDR_REXT	MC0_DDR_A08	MC0_DDR_A07	VDDE_DDR	MC0_DDR_A05	MC0_DDR_A06	MC0_DDR_A04
GND	MC0_DDR_A03	MC0_DDR_A02	MC0_DDR_A01	MC0_DDR_CLKp3	MC0_DDR_CLKn3	MC0_DDR_A00
MC0_DDR_DQ44	MC0_DDR_A10	MC0_DDR_BA1	MC0_DDR_BA0	MC0_DDR_RASn	MC0_DDR_CLKp2	MC0_DDR_CLKn2
MC0_DDR_DQ40	MC0_DDR_ODT2	MC0_DDR_ODT0	MC0_DDR_CASn	MC0_DDR_SCSn2	MC0_DDR_WEn	MC0_DDR_SCSn0
MC0_DDR_DQ45	MC0_DDR_ODT3	MC0_DDR_ODT1	MC0_DDR_A13	GNDE	MC0_DDR_SCSn1	MC0_DDR_SCSn3
MC0_DDR_DQ41	MC0_DDR_DQ36	MC0_DDR_DQ32	VDDE_DDR	MC0_DDR_DQ37	MC0_DDR_DQM4	MC0_DDR_DQ33
MC0_DDR_DQM5	MC0_DDR_DQ35	MC0_DDR_DQ34	MC0_DDR_DQ39	MC0_DDR_DQ38	MC0_DDR_DQSp4	MC0_DDR_DQSn4
33	34	35	36	37	38	39

图 9-5 顶层引脚排列（右侧）

10. 封装机械尺寸



11. 订货信息



AA = "VQ", Wafer manufacturer name.

BBB = XXX, Wafer Lot ID.

CCC = XXX, Wafer manufacturing line number for tracing.

DD = "SC", Package manufacturer name.

EEE = XXX, Package manufacturing line number for tracing.

FFF = "CHN", Country of Origin, English alphabet.

GG = XX, Test manufacturer or test line number.

HHH = YWW, Assy year and week.

12. 不使用引脚处理

无论相关总线使用与否，相关的电源地信号必须正确连接。

11.1 系统配置引脚

系统配置引脚包括 DOTEST、CLKSEL、ICCC_EN、NODEID、PCI_CONFIG，不可悬空，必须连接正确输入。

11.2 LPC 总线

LPC 总线在 GPIO[0]下拉时为 BIOS 启动总线，必须连接 Flash，如果 GPIO[0]上拉则可以悬空，LPC 总线依赖于 PCI_CLK，所以 PCI_CLK 必须有时钟。

11.3 PCI 总线

PCI 总线不使用时可以悬空。但是 LPC/SPI/UART 总线依赖于 PCI_CLK，必须给时钟。

11.4 SPI 总线

SPI 总线在 GPIO[0]上拉时为 BIOS 启动总线，必须连接 Flash，如果 GPIO[0]下拉则可以悬空。

11.5 UART/GPIO 总线

除了 GPIO[1:0]之外的 SPI、UART 或 GPIO 总线不使用时可以悬空。

11.6 DDR 总线

DDR 总线不使用时可以悬空。

11.7 HyperTransport 总线

HyperTransport 总线不使用时可以悬空。

11.8 JTAG/EJTAG 总线、TESTCLK

JTAG/EJTAG 总线、TESTCLK 不使用时可以悬空。

11.9 系统中断管脚

系统中断管理包括 INTn 与 NMI_n，不使用时可以悬空。