

**LOONGSON**

龙芯 7A1000 桥片  
用户手册

V1.3

2018 年 9 月

龙芯中科技术有限公司

自主决定命运, 创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095  
Loongson Industrial Park, building 2, Zhongguancun environmental protection park  
Haidian District, Beijing



[www.loongson.cn](http://www.loongson.cn)

## 版权声明

本档版权归龙芯中科技术有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

## 免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

## 龙芯中科技术有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

## 阅读指南

《龙芯 7A1000 桥片用户手册》对桥片总体架构、时钟结构、地址空间、配置寄存器以及各个功能接口进行说明，主要供 BIOS 和内核开发人员使用。

## 修订历史

文档更新记录	文档名:	龙芯 7A1000 桥片用户手册
	版本号:	V1.3
	创建人:	芯片研发部
	创建日期:	2018-09-07
更新历史		
版本号	更新内容	更新日期
1.0	初始版本。	2017-12-14
1.1	第 1.4 节，补充桥片总体结构图； 第 2 章，更正 CLKOUTFLEX 的默认输出频率，简化时钟配置说明； 第 6.2 节，更正 HPET 时钟周期描述错误； 第 12.3 节，补充 VSB_GATEn 的相关内容和 watchdog 的使用说明； 第 24.1 节，更正 LPC MMIOBAR 的相关内容。	2018-03-12
1.2	调整表格列宽； 更正 PCNL_BAR 为 BAR。 第 8.2 节，更正 GPIO 模块支持的访问方式为按字节访问。 第 24 章，更正对 LPC BAR 的描述，将 LPC 的地址空间设定为固定地址。补充 LPC 控制寄存器内容，增加 LPC 中断相关描述。 附录 1 更正 UART 相关引脚的默认功能。	2018-05-29
1.3	第 3.4 节，更正 LPC 地址空间分配地址。 第 4.10~4.22 节，增加对 PCIE PHY 配置访问寄存器的用途说明。 第 5 节，增加对桥片中断方式的详细描述。 第 5.2 节，更正 AUTO_CTRL1 寄存器偏移地址描述错误。 第 7.2 节，更正 HT 配置寄存器的默认值。 第 22.3 节，增加对 PCIE 控制器的一些特殊说明。 附录 2，增加对 DC 控制寄存器的访问限制说明。	2018-09-07

## 技术支持

可通过邮箱或问题反馈网站向我司提交产品使用的问题，并获取技术支持。

售后服务邮箱：[service@loongson.cn](mailto:service@loongson.cn)

问题反馈网址：<http://bugs.loongnix.org/>

## 目 录

目 录 .....	5
图目录 .....	8
表目录 .....	9
1 引言 .....	11
1.1 文档说明 .....	11
1.1.1 章节内容 .....	11
1.1.2 文档约定 .....	11
1.2 桥片概述 .....	12
1.3 桥片主要功能 .....	12
1.4 桥片结构图 .....	14
2 桥片和系统时钟 .....	15
2.1 桥片时钟 .....	15
2.2 时钟相关配置引脚 .....	15
2.3 时钟功能描述 .....	16
2.4 PLL 功能描述 .....	17
2.5 PLL 配置方法 .....	17
3 地址空间 .....	19
3.1 龙芯 3 号+龙芯 7A 地址空间概述 .....	19
3.2 PCI 设备和功能 .....	21
3.3 PCI 配置访问地址 .....	22
3.4 桥片设备地址空间分配示例 .....	22
4 桥片配置寄存器 .....	25
4.1 HT 时钟使能与 DMA 路由配置 .....	26
4.2 通用配置寄存器 0 .....	26
4.3 通用配置寄存器 1 .....	29
4.4 引脚复用配置寄存器 .....	31
4.5 PLL0 配置寄存器 .....	33
4.6 PLL1 配置寄存器 .....	34
4.7 PLL2 配置寄存器 .....	34
4.8 PLL_PIX_0 配置寄存器 .....	35
4.9 PLL_PIX_1 配置寄存器 .....	35
4.10 PCIE_F0 PHY 配置寄存器 .....	36
4.11 PCIE_F0 PHY 配置访问寄存器 .....	36
4.12 PCIE_F1 PHY 配置寄存器 .....	37
4.13 PCIE_F1 PHY 配置访问寄存器 .....	37
4.14 PCIE_H PHY 配置寄存器 .....	37
4.15 PCIE_H PHY LO 配置访问寄存器 .....	38
4.16 PCIE_H PHY HI 配置访问寄存器 .....	38
4.17 PCIE_G0 PHY 配置寄存器 .....	39
4.18 PCIE_G0 PHY LO 配置访问寄存器 .....	39
4.19 PCIE_G0 PHY HI 配置访问寄存器 .....	39
4.20 PCIE_G1 PHY 配置寄存器 .....	40
4.21 PCIE_G1 PHY LO 配置访问寄存器 .....	40
4.22 PCIE_G1 PHY HI 配置访问寄存器 .....	41
4.23 SATA0 PHY 配置寄存器 .....	41
4.24 SATA0 PHY 配置访问寄存器 .....	41
4.25 SATA1 PHY 配置寄存器 .....	42
4.26 SATA1 PHY 配置访问寄存器 .....	42
4.27 SATA2 PHY 配置寄存器 .....	43

4.28	SATA2 PHY 配置访问寄存器.....	43
4.29	显存容量配置寄存器.....	44
4.30	桥片标识寄存器.....	44
5	中断控制器.....	45
5.1	中断源分配.....	45
5.2	中断相关寄存器描述.....	46
5.3	设备中断类型.....	54
5.4	中断分发模式.....	54
5.5	中断处理过程详细说明.....	55
6	HPET 控制器.....	56
6.1	访问地址.....	56
6.2	寄存器描述.....	56
7	HT 控制器.....	60
7.1	HT 使用说明.....	60
7.2	HT 配置寄存器.....	60
8	MISC 低速设备.....	67
8.1	MISC 低速设备配置寄存器.....	67
8.2	内部设备地址路由.....	67
9	UART 控制器.....	68
9.1	访问地址.....	68
9.2	寄存器描述.....	68
10	I2C 控制器.....	72
10.1	访问地址及引脚复用.....	72
10.2	I2C 控制器寄存器说明.....	72
11	PWM 控制器.....	74
11.1	访问地址及引脚复用.....	74
11.2	寄存器描述.....	74
11.3	功能说明.....	75
11.3.1	脉宽调制功能.....	75
11.3.2	脉冲测量功能.....	75
11.3.3	防死区功能.....	75
12	电源管理模块 (ACPI).....	77
12.1	访问地址.....	77
12.2	电源级别.....	77
12.3	寄存器描述.....	77
13	RTC.....	84
13.1	访问地址.....	84
13.2	寄存器描述.....	84
13.2.1	SYS_TOYWRITE0.....	84
13.2.2	SYS_TOYWRITE1.....	85
13.2.3	SYS_TOYREAD0.....	85
13.2.4	SYS_TOYREAD1.....	85
13.2.5	SYS_TOYMATCH0.....	85
13.2.6	SYS_TOYMATCH1.....	85
13.2.7	SYS_TOYMATCH2.....	85
13.2.8	SYS_RTCCTRL.....	86
13.2.9	SYS_RTCWRITE.....	86
13.2.10	SYS_RTCREAD.....	86
13.2.11	SYS_RTCMATCH0.....	86
13.2.12	SYS_RTCMATCH1.....	87
13.2.13	SYS_RTCMATCH2.....	87
14	GPIO.....	88

14.1	访问地址.....	88
14.2	控制寄存器.....	88
15	GMAC 控制器 (D3:F0, D3:F1) .....	90
15.1	GMAC 配置寄存器 (D3:F0, D3:F1) .....	90
16	USB 控制器 (D4:F0/1, D5:F0/1) .....	92
16.1	EHCI 控制器.....	92
16.1.1	EHCI 配置寄存器 (D4:F1, D5:F1) .....	92
16.2	OHCI 控制器 .....	93
16.2.1	OHCI 配置寄存器 (D4:F0, D5:F0) .....	93
17	图形处理器 (D6:F0) .....	95
17.1	GPU 配置寄存器 (D6:F0) .....	95
17.2	DDR3 显存接口.....	96
18	显示控制器 (D6:F1) .....	98
18.1	DC 配置寄存器 (D6:F1) .....	98
18.2	DC 控制寄存器.....	99
18.2.1	显示器检测寄存器.....	99
19	HDA 控制器 (D7:F0) .....	100
19.1	HDA 配置寄存器 (D7:F0) .....	100
19.2	HDA 控制寄存器描述.....	101
20	AC97 控制器 (D7:F1) .....	102
20.1	AC97 配置寄存器 (D7:F1) .....	102
20.2	AC97 控制器寄存器 .....	103
20.3	DMA 控制器.....	106
20.3.1	DMA 控制器结构描述.....	106
20.3.2	DMA 描述符.....	106
21	SATA 控制器 (D8:F0/1/2) .....	110
21.1	SATA 配置寄存器 (D8:F0/1/2) .....	110
21.2	SATA 控制寄存器描述 .....	111
22	PCIe 控制器 (D9:F0,D10:F0,D11:F0,D12:F0,D13:F0,D14:F0,D15:F0,D16:F0,D17:F0, D18:F0, D19:F0, D20:F0) .....	113
22.1	PCI 配置寄存器.....	114
22.2	地址空间划分.....	115
23	SPI 控制器 (D22:F0) .....	117
23.1	SPI 配置寄存器 (D22:F0) .....	117
23.2	SPI 控制寄存器.....	118
23.3	SPI 软件编程指南.....	120
24	LPC 控制器 (D23:F0) .....	122
24.1	LPC 配置寄存器 (D23:F0) .....	122
24.2	LPC 地址空间.....	123
24.3	LPC 中断.....	124
24.4	LPC 控制寄存器.....	124
附录 1	芯片引脚复用表.....	126
附录 2	软件使用注意事项.....	128

## 图目录

图 1-1. 桥片结构图.....	14
图 2-1. 桥片时钟结构 .....	16
图 2-2. PLL 结构图 .....	17
图 3-1. 龙芯 3 号处理器+龙芯 7A 桥片地址空间划分示例 .....	20
图 3-2. 配置访问地址示意图 .....	22
图 3-3. 配置访问地址示意图 .....	22
图 5-1. 3A+7A 的中断系统示意图 .....	45
图 11-1. 防死区功能.....	76

## 表目录

表 2-1. 桥片时钟输入 .....	15
表 2-2. 桥片时钟输出 .....	15
表 2-3. 桥片时钟相关配置引脚及说明 .....	15
表 2-4. PLL 相关配置信号说明表 .....	17
表 3-1. 各个设备的配置头访问对应关系 .....	21
表 3-2. 桥片固定地址设备地址空间 .....	23
表 3-3. 桥片 PCI 设备地址空间分配示例 .....	23
表 4-1. 桥片配置寄存器列表 .....	25
表 5-1. 桥片中断控制器中断源分配 .....	46
表 5-2. 中断控制和状态寄存器 .....	46
表 5-3. 中断寄存器地址分布 .....	47
表 6-1. HPET 寄存器列表 .....	56
表 7-1. HT 配置寄存器 .....	60
表 7-2. MISC 低速设备地址路由及访问类型 .....	67
表 7-3. MISC 低速设备地址路由 .....	67
表 9-1. UART 功能复用 .....	68
表 9-2. UART 模块物理地址构成 .....	68
表 11-1. PWM 寄存器列表 .....	74
表 12-1. ACPI 状态说明 .....	77
表 13-1. RTC 地址构成 .....	84
表 13-2. RTC 寄存器列表 .....	84
表 14-1. GPIO 控制寄存器 .....	88
表 14-2. 按位控制 GPIO 配置寄存器地址 .....	88
表 14-3. 按字节控制 GPIO 配置寄存器地址 .....	88
表 15-1. GMAC 控制器的配置寄存器 .....	90
表 16-1. USB-EHCI 控制器的配置寄存器 .....	92
表 16-2. USB-OHCI 控制器的配置寄存器 .....	93
表 17-1. GPU 控制器的配置寄存器 .....	95
表 18-1. DC 控制器的配置寄存器 .....	98
表 18-2. DVO 的 I2C 引脚与控制寄存器的对应关系 .....	99
表 18-3. DVO 的 I2C 引脚控制寄存器地址 .....	99
表 19-1. HDA 控制器的配置寄存器 .....	100
表 20-1. AC97 控制器的配置寄存器 .....	102

表 20-2. AC97 控制寄存器列表.....	103
表 21-1. SATA 控制器的配置寄存器 .....	110
表 21-2. SATA 控制寄存器列表 .....	111
表 22-1. PCIE_F0 支持的配置方式及控制端口 .....	113
表 22-2. PCIE_F1 支持的配置方式及控制端口 .....	113
表 22-3. PCIE_G0、PCIE_G1、PCIE_H 支持的配置方式及控制端口 .....	114
表 22-4. PCIE 控制器的配置寄存器.....	114
表 22-5. PCIE 端口 DID 表 .....	115
表 23-1. SPI 控制器的配置寄存器 .....	117
表 23-2. SPI 控制寄存器列表.....	118
表 23-3. SPI 分频系数 .....	119
表 24-1. LPC 控制器的配置寄存器 .....	122
表附-1 芯片引脚功能复用表.....	126

# 1 引言

## 1.1 文档说明

### 1.1.1 章节内容

第 1 节为引言，对本桥片的特性和功能进行概述。

第 2 节介绍桥片时钟结构，对桥片的时钟进行描述，并详细介绍时钟相关的硬件配置和软件使用方法。

第 3 节介绍桥片的地址空间，对处理器（龙芯 3 号处理器）+桥片的整个地址空间以及桥片内部的地址空间分布进行说明。

第 4 节介绍桥片配置寄存器。

第 5 节介绍中断。

第 6 节介绍 HPET 控制器。

第 7 节介绍 HT 控制器。

第 8~14 节介绍桥片的低速接口和其他内部功能。包括：地址空间描述、UART 串口控制器、I2C 控制器、PWM 控制器、ACPI 电源管理模块、实时时钟 RTC 和 GPIO 接口。

第 15 节介绍 GMAC 控制器。

第 16 节介绍 USB 控制器，包括 EHCI 控制器和 OHCI 控制器。

第 17 节介绍图形处理单元 GPU。

第 18 节介绍显示控制器 DC。

第 19 节介绍 HDA 控制器

第 20 节介绍 AC97 控制器。

第 21 节介绍 SATA 控制器。

第 22 节介绍 PCIE 控制器。

第 23 节介绍 SPI 控制器。

第 24 节介绍 LPC 控制器。

附录 1 对芯片引脚复用关系进行说明。

附录 2 给出软件使用注意事项。

### 1.1.2 文档约定

**注意：**文中寄存器描述中 **Reserved** 的位域，有的是只读属性，有的是读写属性，不管该位域的属性是什么，软件必须保证不改变该位域的值，也就是说，如果软件需要修改包含 **Reserved** 位域的寄存器，必须保证写入 **Reserved** 位域的值与从该位域读出的值一致。

为方便表述，本文使用以下缩写来表示寄存器的属性。

RO	只读
WO	只写
R/W	可读可写
R/WC	可读可写，写清除

## 1.2 桥片概述

龙芯 7A1000 桥片（后文简称为桥片）是龙芯的第一款专用芯片组产品，目标是替代 AMD RS780+SB710 芯片组，为龙芯处理器提供南北桥功能。桥片通过 HT 高速总线接口与龙芯 3 号系列处理器相连，内部集成 GPU、DisplayController、DDR3 SDRAM 显存控制器，以及 PCIE、SATA、USB、GMAC、I2C、UART、GPIO 等接口。

### 桥片主要特性

- 16位HT 3.0接口
- 支持双路桥片模式
- 2D/3D GPU
- 显示控制器，支持双路DVO显示
- 16位DDR3显存控制器
- 3个x8 PCIE 2.0接口，每个x8接口都可以拆分为2个独立的x4接口
- 2个x4 PCIE 2.0接口，可以拆分为6个独立x1接口
- 3个SATA 2.0接口
- 6个USB 2.0接口
- 2个RGMII千兆网接口
- HDA/AC97可配置接口
- 支持RTC
- 支持HPET
- UART接口
- I2C接口
- LPC接口
- SPI接口
- GPIO接口
- 支持ACPI规范
- 支持JTAG边界扫描

## 1.3 桥片主要功能

### HT 接口

桥片通过 HT 接口和处理器连接，兼容 HT3.0 协议，接口频率支持 200/400/800/1600Mhz，接口宽度支持 8/16 位模式。除了作为单路桥片使用外，还可配置为双路桥片模式，支持直接和两个处理器进行数据传输。

### 图形处理

内部集成 GPU、显示控制器以及显存接口。GPU 支持 OpenGL ES2.0 和 OpenGL ES 1.1；支持 OpenVG，通过了 Futuremark 认证，支持 BitBLT 和 Stretch BLT、矩形填充、硬件画线、色字体渲染、YUV 色域空间转换、高质量缩放等功能。显示控制器支持双路 DVO 信号输出，并

支持硬件光标、伽玛校正、输出抖动等功能。显存接口采用 16 位 DDR3 SDRAM 接口，最高数据速率 1333 Mbps。

### PCIE 接口

兼容 PCIE 2.0 协议，总共包含 32 个数据链路，在每个数据方向上最高支持 5G b/s 的数据速率（双向共 10G b/s），总共包含了 12 个 PCIE 控制器。32 个数据链路可分为 3 个 x8 接口和 2 个 x4 接口；其中每个 x8 接口可配置为 2 个 x4 接口独立使用；两个 x4 接口中，1 个可配置为 4 个 x1 接口独立使用，另外 1 个可配置为 2 个 x1 接口独立使用。

### SATA 控制器

集成 3 个 SATA 主控制器，每个主控制器控制 1 个 SATA 接口，每个接口最高支持 3 Gb/s 的数据速率，兼容 SATA 2.6 协议。SATA 控制器兼容 AHCI 1.1 规范。

### USB 控制器

两个 USB 控制器控制 6 个独立的 USB 主接口，最高支持 USB 2.0 协议，最高传输速度可达 480 Mbps，并兼容 USB1.1 全速和低速传输。

### GMAC 控制器

集成两路 10/100/1000Mbps 自适应以太网 MAC 控制器，兼容 IEEE 802.3，通过 RGMII 接口连接外置的 GMAC PHY 芯片，半双工/全双工自适应，支持 Timestamp 功能，支持网络唤醒。

### HDA 控制器

支持 16、18 和 20 位采样精度，支持可变速率，采样率最高达 192KHz，支持 7.1 频道环绕立体声输出，支持三路音频输入。

### SPI 控制器

集成 SPI 主控制器，支持标准读、连续地址读、快速读、双路 I/O 等读模式。

### UART

集成 1 个全功能 UART 控制器，全双工异步数据接收/发送，16 位可编程时钟计数器，支持接收超时检测，可配置为 4 个两线串口(TXD/RXD)。

### I2C 总线

与 I2C 标准兼容，工作在主设备模式，支持 7 位寻址和 10 位寻址模式。

### PWM

四路 PWM 输出，内部包含 32 位计数器，支持脉冲生成及检测。

### HPET

兼容 HPET 规范，支持 64 位计数器时间戳功能，支持 32 位定时器，支持 1 个周期性中断和 2 个非周期性中断。

### RTC

计时精确到 0.1 秒，可产生 3 个计时中断，支持定时开机功能。

### 中断控制器

内部集成的中断控制器最多支持 64 个中断源，支持双路中断输出，支持软件设置中断，可配置触发模式，支持智能中断分发。

### ACPI 功耗管理

支持时钟门控，PHY 关断，USB/GMAC 唤醒，来电可自动启动。

### GPIO

1 个专用 GPIO 引脚，56 个复用 GPIO 引脚，支持输入中断功能。

## 1.4 桥片结构图

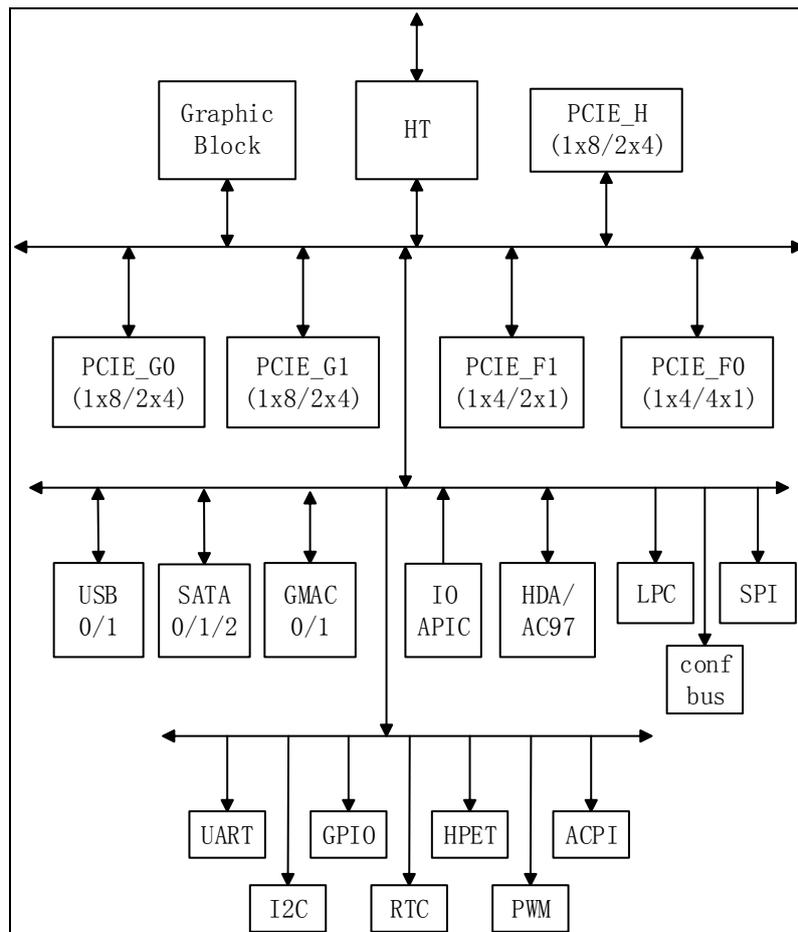


图 1-1. 桥片结构图

## 2 桥片和系统时钟

### 2.1 桥片时钟

桥片需要一个 100MHz 时钟和一个 32.768K 晶体作为参考时钟输入（如果使用 LPC 总线，则还需要一个 33 MHz 时钟输入）。

表 2-1. 桥片时钟输入

时钟	频率	说明
SYS_CLKIN	100 MHz	桥片 100 MHz 主参考时钟
RTC_XI	32.768 KHz	32.768KHz 晶体输入
RTC_XO	32.768 KHz	32.768KHz 晶体输出
TESTCLK	-	保留
LPC_CLKIN	33 MHz	LPC 33MHz 参考时钟，不使用 LPC 接口时，可不接
HTCLKp/n	200 MHz	HT 200 MHz 差分参考时钟，可不接
PCIE_F0_CLKINp/n	100 MHz	PCIE_F0 100 MHz 差分参考时钟，可不接
PCIE_F1_CLKINp/n	100 MHz	PCIE_F1 100 MHz 差分参考时钟，可不接
PCIE_H_CLKINp/n	100 MHz	PCIE_H 100 MHz 差分参考时钟，可不接
PCIE_G0_CLKINp/n	100 MHz	PCIE_G0 100 MHz 差分参考时钟，可不接
PCIE_G1_CLKINp/n	100 MHz	PCIE_G1 100 MHz 差分参考时钟，可不接
SATA0_CLKINp/n	100 MHz	SATA0 100 MHz 差分参考时钟，可不接
SATA1_CLKINp/n	100 MHz	SATA1 100 MHz 差分参考时钟，可不接
SATA2_CLKINp/n	100 MHz	SATA2 100 MHz 差分参考时钟，可不接
USB_XI	12 MHz	保留
USB_CLKIN	12 MHz	12 MHz 晶振输入

注：不提供的输入时钟需通过 10Kohm 的电阻接地。

表 2-2. 桥片时钟输出

时钟	频率	说明
CLKOUT33M	33.3MHz	33.3 MHz 单端时钟输出。可以作为内存参考时钟供龙芯 3 号处理器使用。
CLKOUT100M	100 MHz	100 MHz 单端时钟输出。可以作为 HT 的参考时钟供龙芯 3 号处理器使用。
CLKOUT25M <sup>1</sup>	25 MHz	25 MHz 单端时钟输出。可以作为 core 参考时钟供龙芯 3 号处理器使用。
CLKOUTFLEX <sup>1</sup>	可变	频率可变单端时钟输出。默认为 100MHz。

注：1. CLKOUT25M 和 CLKOUTFLEX 引脚可复用为 GPIO 功能。

### 2.2 时钟相关配置引脚

桥片设置了一些引脚来设置桥片时钟的生成方式，这些配置引脚主要作为备份设计，正常的主板设计除了 CLKSEL[7:6]外不需要改变这些配置引脚的值（悬空或者保持为默认值）。桥片时钟相关配置引脚见表 2-3。

表 2-3. 桥片时钟相关配置引脚及说明

引脚	方向	默认值	说明
SYS_CLKSEL[1:0]	I	00b	保留
SYS_CLKSEL[3:2]	I	00b	保留
SYS_CLKSEL[5:4]	I	01b	保留
SYS_CLKSEL[6]	I	0	HT PHY 参考时钟选择。 0: 使用 200MHz 差分输入时钟。 1: 使用 100MHz 系统输入时钟。

SYS_CLKSEL[7]	1	1	HT 频率配置模式（推荐设置为 0）。 0: HT 时钟采用软件配置模式。如果没有使用软件修改 HT 的 PLL 频率, 则 HT 总线频率保持为固定频率 (HT1.0 模式: 200MHz; HT3.0 模式: 400MHz)。 1: HT 时钟仅可采用硬件配置模式。此时软件修改 HT 的 PLL 频率无效, 仅可通过寄存器选择少数几种频率。对于 HT1.0 模式, 2: 400MHz; 5/9: 800MHz; 其它: 200MHz; 。对于 HT3.0 模式, 2: 800MHz; 5/9: 1600MHz; 其它: 400MHz。
SYS_CLKSEL[8]	1	0	保留

### 2.3 时钟功能描述

桥片内部包含了多个 PLL 和时钟分频模块, 用于产生桥片需要的各个时钟。

桥片内部包含 5 个 PLL, 其中每个 PLL 最多可以提供 3 个时钟输出。这 5 个 PLL 的用途分别为:

- 一个设备PLL, 产生USB/SATA、GMAC的时钟;
- 一个图形PLL用于产生GPU、DC以及显存的时钟;
- 一个系统PLL用于产生内部总线、HDA bitclk、flex clkout的时钟;
- 两个PIX PLL用于产生两个独立的像素时钟, 以支持双路独立显示;

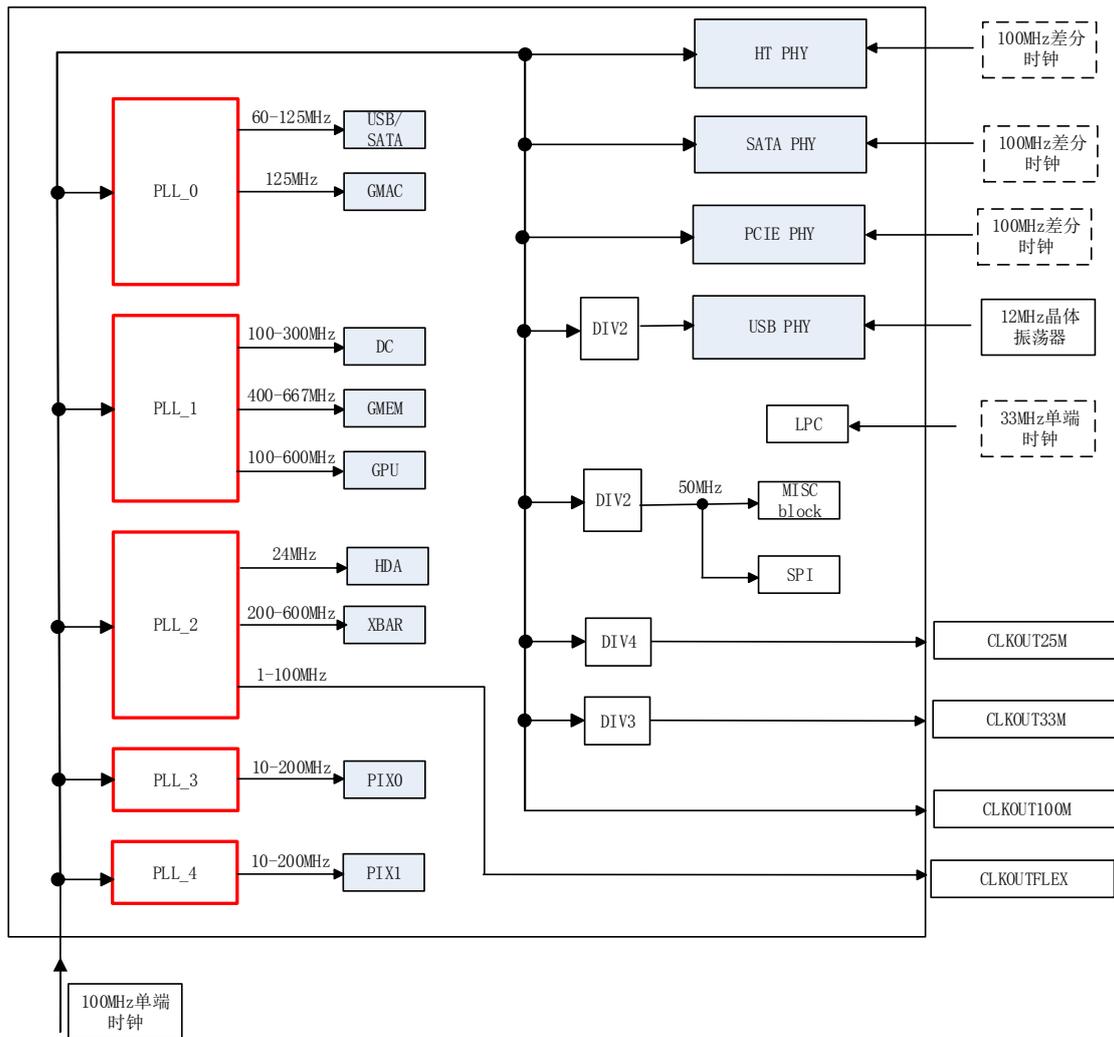


图 2-1. 桥片时钟结构

## 2.4 PLL 功能描述

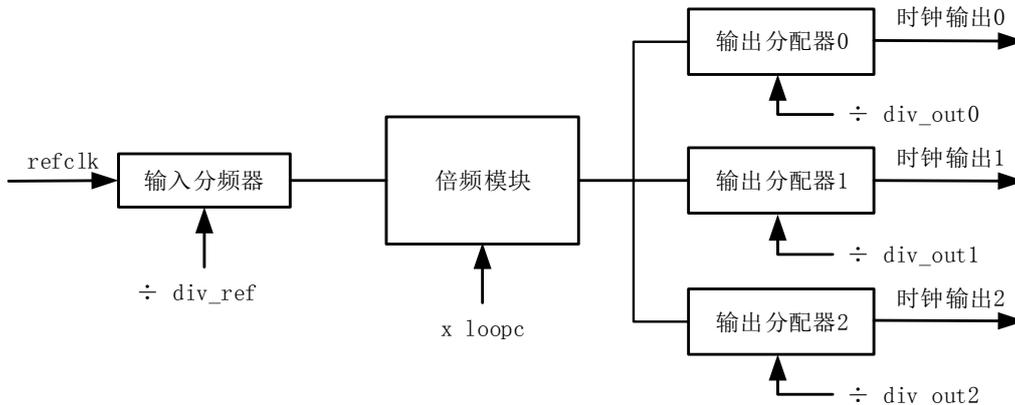


图 2-2. PLL 结构图

输出时钟频率的计算方式如下：

$$\text{clock\_out} = \text{refclk} / \text{div\_ref} * \text{loopc} / \text{divoutN};$$

其中，7A 的 refclk 固定为 100MHz，此外需要保证输入分频器的输出（refclk / div\_ref）在 20 ~ 40MHz 的范围内，倍频模块倍频后的频率（refclk / div\_ref \* loopc）在 1.2GHz ~ 3.2GHz 的范围内。

PLL 相关的配置信号及说明见表 2-4。这些配置信号的位置见[第 4 节 桥片配置寄存器](#)。

表 2-4. PLL 相关配置信号说明表

信号	位数	方向	说明
pll_div_out0	7	R/W	PLL 输出时钟 0 分频数
pll_div_out1	7	R/W	PLL 输出时钟 1 分频数
pll_div_out2	7	R/W	PLL 输出时钟 2 分频数
pll_loopc	9	R/W	PLL 倍频乘数
pll_div_ref	7	R/W	PLL 输入分频数
pll_locked	1	RO	PLL 锁定
sel_pll_out0	1	R/W	选择 PLL 输出时钟 0
sel_pll_out1	1	R/W	选择 PLL 输出时钟 1
sel_pll_out2	1	R/W	选择 PLL 输出时钟 2
set_pll_param	1	R/W	设置 PLL 配置参数
pll_bypass	1	R/W	PLL 内部 bypass
pll_pd	1	R/W	PLL powerdown

## 2.5 PLL 配置方法

当 SYS\_CLKSEL[1:0]为 00b 时表示可通过软件更改 PLL 的输出频率。这种配置下，桥片启动时默认的时钟频率为外部参考时钟频率，需要在处理器启动过程中对桥片时钟进行软件配置。通过软件修改时钟配置的过程如下：

1. 将 sel\_pll\_out\* 设置为 0；
2. 将 pll\_pd 信号设置为 1；
3. 将 set\_pll\_param 设置为 0，
4. 设置 pll\_div\_ref/pll\_loopc/pll\_div\_out\* 的值；
5. 将 set\_pll\_param 设置为 1；

6. 将 pll\_pd 信号设置为 0;
7. 等待 PLL 锁定信号 pll\_locked 变为 1;
8. 设置 sel\_pll\_out\*为 1。

## 3 地址空间

### 3.1 龙芯 3 号+龙芯 7A 地址空间概述

龙芯 7A1000 桥片的地址空间是 mips 架构统一地址空间的一部分。作为 HT 接口的桥片，桥片内部支持 40 位的地址空间。在不使用 SWIOTLB 的情况下，龙芯 3 号处理器+桥片最大支持 1TB 的内存地址空间。为了支持多处理器系统，我们将桥片内部地址的某几位（最多 4 位）作为桥片内部设备 DMA 访问的目的结点号使用。也就是说，桥片最多可以支持 16 个结点的处理器系统。考虑到，实际应用中龙芯最大使用 4 个结点的系统，因此，本节以最大支持 4 个结点进行说明。对于 4 个结点的系统来说，单个处理器结点的地址空间大小为 256GB。

从 CPU 的视角——即 CPU 可访问的设备地址空间——来看，桥片的地址空间包括 3 部分：配置空间、PCI I/O 空间和 PCI MEM 空间。桥片的地址空间与 PCI 定义的地址空间形式相同。

1. 配置空间：该地址空间用来访问桥片内部设备（包括通过 PCIE 总线扩展的设备）的配置头，其地址组成符合 PCI 配置访问的地址组织形式；
2. I/O 空间：该地址空间用于访问 PCI 协议定义的 I/O 地址空间。在桥片中只有 PCIE 有这段地址空间，用于通过 I/O 类型的请求访问 PCIE 控制器的下游设备。
3. MEM 空间：除了以上两种地址空间之外的所有地址空间为 MEM 空间。

桥片的配置空间对应于 HT 总线的 HT 总线配置空间，大小为 32MB。桥片的 PCI I/O 空间对应于 HT 总线 I/O 空间，大小为 32MB。桥片的 PCI MEM 空间对应于 HT 总线的 MEM 空间，大小为 1012GB。PCI MEM 空间用来访问桥片内部 PCIE 设备的 MEM 空间和除 PCIE 设备外的其他设备的 MEM 和 IO 空间，以及桥片的配置寄存器空间。

后两种地址空间（PCI I/O 空间和 PCI MEM 空间）是整个处理器地址空间的一部分，系统软件可以将它们分配到 0~1TB 的任意位置\*，软件在访问时，需要通过处理器的一级 XBAR 将它们映射到 HT1 的地址空间段内或者直接添加 HT1 的地址空间偏移到该访问地址上。

注\*：除了地址段 0x0f000000~0x0ffffff。这段地址不可用作桥片设备地址空间。

从 DMA 访问的视角——即桥片内部设备主动发起的访存地址空间——来看，可使用的地址空间包括：处理器的内存空间和桥片的显存空间。处理器的内存空间大小根据系统的结点个数而不同，总的 DMA 地址空间的大小为 1TB。对于 4 个结点的系统，DMA 的地址空间必须位于结点地址空间的低 256GB 以内，这样桥片可以直接访问最多 4 个结点的内存。桥片内部可以发起 DMA 操作的设备包括：GPU、DC、PCIE、USB、SATA、GMAC、HDA 和 AC97。

上述两类地址（桥片的地址空间和处理器的地址空间）采用统一编址的方式，即处理器的内存空间、处理器的配置空间、桥片的配置访问空间、I/O 空间和 MEM 空间，都位于同一地址空间内，且互不重合。对于单个结点系统来说，这个地址空间的大小最大为 1TB。

桥片内部设备的访问地址（PCI I/O 空间和 PCI MEM 空间）采用软件可配置设计，支持 PCI 体系结构的设备发现与管理。桥片内部的每个设备（设备块）都包含一个 PCI 配置头。软件通过访问配置头可以获得该设备的类型、支持的地址空间大小等信息，并通过配置该设备的 BAR 寄存器设置该设备的地址空间。该方式与 780E 一致。

下面以龙芯 3A+桥片系统为例来说明整个计算机系统的地址空间分配。3A+桥片的一种地址空间划分方式如图 3-1 所示：

7A MEM 高地址空间	MEM_UP_LIMIT ~ 0xfc,ffff,ffff
内存高地址空间	0x8000,0000 ~ MEM_UP_LIMIT
7A MEM 低地址空间	0x4000,0000 ~ 0x7fff,ffff
处理器配置空间	0x3000,0000 ~ 0x3fff,ffff
保留	0x2000,0000 ~ 0x2fff,ffff
处理器低速设备空间	0x1f00,0000 ~ 0x1fff,ffff
处理器 LPC MEM 空间	0x1c00,0000 ~ 0x1dff,ffff
7A I/O 空间和配置空间	0x1800,0000 ~ 0x1bff,ffff
7A 设备固定地址空间	0x1000,0000 ~ 0x17ff,ffff
内存低地址空间	0x0000,0000 ~ 0x0fff,ffff

图 3-1. 龙芯 3 号处理器+龙芯 7A 桥片地址空间划分示例

注：图中地址为低位地址，不包含结点号和高位地址。

在图 3-1 的地址空间分配方式中，

0x0000,0000 ~ 0x0fff,ffff 为系统的低 256MB 内存空间。

0x1000,0000 ~ 0x17ff,ffff 为桥片的固定设备地址空间，这些设备包括中断控制器、HPET、confbus、MISC 低速设备以及 LPC。这段地址通过一级 XBAR 的配置窗口映射到 0xe00,1000,0000 ~ 0xe00,17ff,ffff（HT1 的 MEM 空间）

0x1800,0000 ~ 0x19ff,ffff 为桥片的 PCI I/O 空间，软件可以将桥片内 PCIe 设备的 I/O 空间分配到这段地址空间内，这段地址通过一级 XBAR 的配置窗口映射到 0xefd,fc00,0000 ~ 0xefd,fdff,ffff（HT1 的 I/O 空间）。

0x1a00,0000 ~ 0x1bff,ffff 为桥片的配置空间，用来访问桥片内部设备的配置头，访问方式与 PCI 协议兼容，地址位的 bit[23:8]依次对应 bus 号、设备号、func 号，这段地址通过一级 XBAR 的配置窗口映射到 0xefd,fe00,0000 ~ 0xefd,ffff,ffff（HT1 的总线配置空间）。

0x1c00,0000 ~ 0x1dff,ffff 为 3A 的 LPC MEM 地址空间。

0x1f00,0000 ~ 0x1fff,ffff 为 3A 的低速设备空间。

0x2000,0000 ~ 0x2fff,ffff 为处理器的保留空间。

0x3000,0000 ~ 0x3fff,ffff 为 3A 的配置空间。

0x4000,0000 ~ 0x7fff,ffff 为桥片的 PCI MEM 空间，这段地址通过一级 XBAR 的配置窗口映射到 0xe00,4000,0000~0xe00,7fff,ffff（HT1 的 MEM 空间）。

0x8000,0000 ~ MEM\_UP\_LIMIT 为 3A 的高内存地址空间。

MEM\_UP\_LIMIT ~ 0xfc,ffff,ffff 为桥片的 PCI MEM 空间，这段地址通过一级 XBAR 的配置窗口映射到 0xe00,0000,0000+MEM\_UP\_LIMIT ~ 0xfc,ffff,ffff（HT1 的 MEM 空间）。

### 3.2 PCI 设备和功能

桥片内部具有 DMA 功能的设备和一些其他设备包含了一个标准的 PCI 配置头。包含 PCI 配置头的设备包括：GPU、DC、PCIE、USB、SATA、GMAC、HDA/AC97、LPC 和 SPI。各个设备的总线号、设备号、功能号见表 3-1。

表 3-1. 各个设备的配置头访问对应关系

Bus: Device: Function	Function Description
Bus 0:Device 0:Function 0	HT lo
Bus 0:Device 1:Function 0	HT hi
Bus 0:Device 3:Function 0	GMAC0
Bus 0:Device 3:Function 1	GMAC1
Bus 0:Device 4:Function 0	USB0 OHCI
Bus 0:Device 4:Function 1	USB0 EHCI
Bus 0:Device 5:Function 0	USB1 OHCI
Bus 0:Device 5:Function 1	USB1 EHCI
Bus 0:Device 6:Function 0	GPU
Bus 0:Device 6:Function 1	DC
Bus 0:Device 7:Function 0	HDA <sup>1</sup>
Bus 0:Device 7:Function 1	AC97 <sup>1</sup>
Bus 0:Device 8:Function 0	SATA0
Bus 0:Device 8:Function 1	SATA1
Bus 0:Device 8:Function 2	SATA2
Bus 0:Device 9:Function 0	PCIE_F0 Port0 <sup>2</sup>
Bus 0:Device 10:Function 0	PCIE_F0 Port1 <sup>2</sup>
Bus 0:Device 11:Function 0	PCIE_F0 Port2 <sup>2</sup>
Bus 0:Device 12:Function 0	PCIE_F0 Port3 <sup>2</sup>
Bus 0:Device 13:Function 0	PCIE_F1 Port0 <sup>3</sup>
Bus 0:Device 14:Function 0	PCIE_F1 Port1 <sup>3</sup>
Bus 0:Device 15:Function 0	PCIE_G0 port0 <sup>4</sup>
Bus 0:Device 16:Function 0	PCIE_G0 port1 <sup>4</sup>
Bus 0:Device 17:Function 0	PCIE_G1 port0 <sup>5</sup>
Bus 0:Device 18:Function 0	PCIE_G1 port1 <sup>5</sup>
Bus 0:Device 19:Function 0	PCIE_H port0 <sup>6</sup>
Bus 0:Device 20:Function 0	PCIE_H port1 <sup>6</sup>
Bus 0:Device 22:Function 0	SPI
Bus 0:Device 23:Function 0	LPC <sup>7</sup>

注：

1. 当 hda\_sel 为 1 时，HDA 控制器才可以被发现；当 hda\_sel 为 0 时，AC97 控制器才可以被发现。
2. 当 PCIE\_F0 工作在 x4 模式时，只有 Port 0 可见，Port 1-3 不可见；当 PCIE\_F0 工作在非 x4 模式时，Port 0-3 可见。
3. 当 PCIE\_F1 工作在 x4 模式时，只有 Port 0 可见，Port 1 不可见；当 PCIE\_F1 工作在非 x4 模式时，Port 0-1 可见。
4. 当 PCIE\_G0 工作在 x8 模式时，只有 Port 0 可见，Port 1 不可见；当 PCIE\_G0 工作在 x4 模式时，Port 0-1 可见。
5. 当 PCIE\_G1 工作在 x8 模式时，只有 Port 0 可见，Port 1 不可见；当 PCIE\_G1 工作在 x4 模式时，Port 0-1 可见。

- 当 PCIE\_H 工作在 x8 模式时，只有 Port 0 可见，Port 1 不可见；当 PCIE\_H 工作在 x4 模式时，Port 0-1 可见。
- 当 LPC 模块被使能后，LPC(D23:F0)才可见。

当配置头访问的总线号、设备号、功能号和地址偏移无效时，写操作无效；读操作得到的数据为 0xFFFFFFFF。

### 3.3 PCI 配置访问地址

处理器可以通过两个地址空间来访问桥片的配置空间。一个是 HT 定义的标准配置访问空间（0xFD\_FE00\_0000 – 0xFD\_FFFF\_FFFF），另一个是 HT 的保留地址空间（0xFE\_0000\_0000 – 0xFE\_1FFF\_FFFF）。通过 HT 标准配置访问空间访问的每个桥片设备的配置空间大小为 256 字节；通过保留地址空间访问的每个桥片设备的配置空间大小为 4K 字节。

当使用 HT 定义的标准配置访问空间（0xFD\_FE00\_0000–0xFD\_FFFF\_FFFF）来访问桥片时，每个设备的最大配置空间大小为 256 字节。其中，地址的[39:24]决定配置头类型（0xFDFE 是 Type0，0xFDFh 是 Type1）；[23:16]表示总线号（Bus Number）；[15:11]表示设备号（Device Number）；[10:8]表示功能号（Function Number）；[7:0]表示偏移（offset）。图 3-2 是 CPU 使用 HT 标准配置访问空间访问 PCI 配置空间的地址段含义示意图。

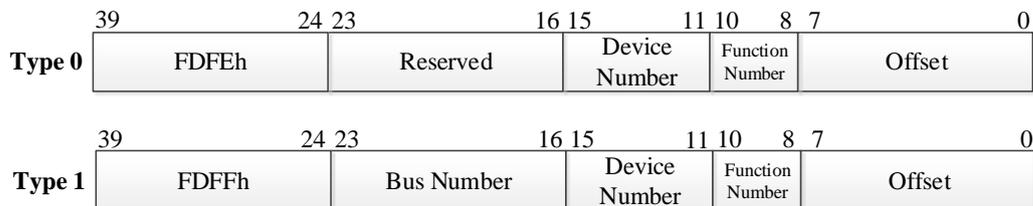


图 3-2. 配置访问地址示意图

当使用 HT 的保留地址空间（0xFE\_0000\_0000 – 0xFE\_1FFF\_FFFF）来访问桥片时，每个设备的最大配置空间大小为 4K 字节。其中，地址的[39:28]决定配置头类型（0xFE0 是 Type0，0xFE1 是 Type1）；[23:16]表示总线号（Bus Number）；[15:11]表示设备号（Device Number）；[10:8]表示功能号（Function Number）；[27:24]和[7:0]组合起来表示偏移（offset）。图 3-3 是 CPU 使用 HT 保留地址空间访问 PCI 配置空间的地址段含义示意图。



图 3-3. 配置访问地址示意图

在一般情况下，推荐使用 HT 标准配置访问空间（0xFD\_FE00\_0000 – 0xFD\_FFFF\_FFFF）来进行 PCI 配置头访问。

### 3.4 桥片设备地址空间分配示例

对桥片设备的访问主要通过 PCI MEM 空间来完成。软件可以在该地址段内任意分配桥片各个设备的访问地址。桥片的内部 PCI 设备包括：GPU/DC、GMEM、PCIE、USB、SATA、GMAC、HDA/AC97、LPC、SPI。所有这些设备可以通过 lspci 看到。这些设备（除 LPC 外）的访问地址可以由软件动态分配。一种分配方式如下：通过扫描 PCI 总线，读取各个设备（PCI 方式方位）的配置空间，获取各个设备使用的 MEM 空间和 I/O 空间大小，系统软件从 0x40000,0000~0x7fff,ffff 这个地址内分配合适大小的 MEM 空间，从 0x1800,0000~0x19ff,ffff 这个地址内分配合适大小的 I/O 空间（PCIE 设备）。

除了这些 PCI 类型的设备外，桥片内还包含一些使用固定地址访问的设备，比如：中断控制器、HPET 控制器、confbus 配置寄存器、MISC 低速设备块和 LPC。

表 3-2 和 3-3 给出了桥片固定地址设备和 PCI 设备的一种地址分配示例，以及它们的地址空间大小和访问类型。访问类型中，B 表示字节访问（1byte），H 表示半字访问（2byte），W 表示字访问（4byte），D 表示双字访问（8byte），Q 表示 4 字访问（16byte），C 表示 cacheline 访问。

表 3-2. 桥片固定地址设备地址空间

模块	地址空间	地址空间大小	访问类型
INT	0x1000,0000~0x1000,0fff	4K	BHW
HPET	0x1000,1000~0x1000,1fff	4K	BW
CONF REG	0x1001,0000~0x1001,ffff	64K	BHW
MISC	0x1008,0000~0x100f,ffff	512K	BW
LPC REG	0x1000,2000~0x1000,2fff	4K	W
LPC MEM	0x1200,0000~0x13ff,ffff	32M	BHWDQC
LPC I/O	0x1800,0000~0x1800,ffff	64K	B
LPC TPM	0x1801,0000~0x1801,ffff	64K	B

表 3-3. 桥片 PCI 设备地址空间分配示例

模块	地址空间	地址空间大小	访问类型
GPU	0x5ff4,0000~0x5ff7,ffff	256K	W
DC	0x5ff8,0000~0x5ff8,ffff	64K	W
Graphic Memory (共享显存)	0x4000,0000~0x4fff,ffff	256M	BHWDQC
PCIE I/O	0x1802,0000~0x19ff,ffff	32M	BHW
PCIE MEM	0x6000,0000~0x7fff,ffff	512M	BHW
SPI MEM	0x5e00,0000~0x5eff,ffff	16M	BHWDQC
USB0-EHCI	0x5fd0,0000~0x5fd0,7fff	32K	W
USB0-OHCI	0x5fd0,8000~0x5fd0,ffff	32K	W
USB1-EHCI	0x5fd1,0000~0x5fd1,7fff	32K	W
USB1-OHCI	0x5fd1,8000~0x5fd1,ffff	32K	W
SATA0	0x5fe0,0000~0x5fe0,1fff	8K	W
SATA1	0x5fe0,2000~0x5fe0,3fff	8K	W
SATA2	0x5fe0,4000~0x5fe0,5fff	8K	W
GMAC0	0x5fe1,0000~0x5fe1,7fff	32K	W
GMAC1	0x5fe1,8000~0x5fe1,ffff	32K	W
HDA	0x5fe2,0000~0x5fe2,ffff	64K	BHW
AC97	0x5fe3,0000~0x5fe3,ffff	64K	W
SPI REG	0x5ff1,1000~0x5ff1,1fff	4K	B

上述设备中，除了 PCIE MEM 和 Graphic Memory 外，其它设备的地址空间大小是固定不变的，软件可以改变地址空间的起始地址。PCIE MEM 地址空间的大小需要根据所接设备来决定。

当使用桥片内部集成的显存时，Graphic Memory 的大小根据所接显存的容量来决定（显存的容量最大为 256MB）。BIOS 需要通过访问桥片通用配置寄存器来修改 GPU 配置头的 BAR

寄存器 2/3 的 MASK 值来配置 Graphic Memory 的大小, 然后软件再通过 PCI 扫描的方式来获得显存的大小。

在使用 PCIE 外接独立显卡的情况下, 独立显卡自带的独立显存空间位于 PCIE MEM 地址空间内, 作为 PCIE 设备统一管理。

## 4 桥片配置寄存器

桥片设置了一些寄存器，用来配置桥片的某些特性，而不是针对特定的接口（PCIe、USB 等）。这些寄存器统一安排桥片的配置寄存器空间（不是 PCI 配置访问空间）。桥片配置寄存器的地址空间大小为 64KB，起始地址（桥片内部空间）由 BIOS 配置。

桥片配置寄存器包含以下几方面的内容：

1. 桥片通用配置（0x0 ~ 0x47f）。
2. PLL 配置（0x480 ~ 0x4cf）。
3. PCIe 控制器和 PHY 配置（0x580 ~ 0x617）。
4. SATA 控制器和 PHY 配置（0x740 ~ 0x76f）。
5. 显存容量配置寄存器（0x3838 ~ 0x383f）。
6. 桥片 ID（0x3ff8 ~ 0x3fff）。

表 4-1. 桥片配置寄存器列表

地址偏移	名称	访问类型	描述
0x0418	HT_ROUTE	R/W	HT 路由配置
0x0420	FUNC_CONFIG0	R/W	功能配置寄存器 0
0x0430	FUNC_CONFIG1	R/W	功能配置寄存器 1
0x0440	PAD_CONFIG	R/W	PAD 复用配置
0x0480	PLL_0	R/W	PLL0 配置
0x0490	PLL_1	R/W	PLL1 配置
0x04a0	PLL_2	R/W	PLL2 配置
0x04b0	PLL_PIX_0	R/W	PLL_PIX0 配置
0x04c0	PLL_PIX_1	R/W	PLL_PIX1 配置
0x04d0	FREQSCALE	R/W	设备分频配置
0x0580	PCIE_F0_REG	R/W	PCIE_F0 配置寄存器
0x0590	PCIE_F0_PHY	R/W	PCIE_F0 PHY 配置访问寄存器
0x05a0	PCIE_F1_REG	R/W	PCIE_F1 配置寄存器
0x05b0	PCIE_F1_PHY	R/W	PCIE_F1 PHY 配置访问寄存器
0x0bc0	PCIE_H_REG	R/W	PCIE_H 配置寄存器
0x05d0	PCIE_H_PHY_LO	R/W	PCIE_H PHY Lo 配置访问寄存器
0x05d8	PCIE_H_PHY_HI	R/W	PCIE_H PHY Hi 配置访问寄存器
0x05e0	PCIE_G0_REG	R/W	PCIE_G0 配置寄存器
0x05f0	PCIE_G0_PHY_LO	R/W	PCIE_G0 PHY Lo 配置访问寄存器
0x05f8	PCIE_G0_PHY_HI	R/W	PCIE_G0 PHY Hi 配置访问寄存器
0x0600	PCIE_G1_REG	R/W	PCIE_G1 配置寄存器
0x0610	PCIE_G1_PHY_LO	R/W	PCIE_G1 PHY Lo 配置访问寄存器
0x0618	PCIE_G1_PHY_HI	R/W	PCIE_G1 PHY Hi 配置访问寄存器
0x0740	SATA0_REG	R/W	SATA0 的配置
0x0748	SATA0_PHY	R/W	SATA0 的 PHY 配置访问寄存器
0x0750	SATA1_REG	R/W	SATA1 的配置
0x0758	SATA1_PHY	R/W	SATA1 的 PHY 配置访问寄存器
0x0760	SATA2_REG	R/W	SATA2 的配置
0x0768	SATA2_PHY	R/W	SATA2 的 PHY 配置访问寄存器
0x3838	GMEM_BAR_MASK	R/W	显存容量配置寄存器
0x3ff8	CHIP_ID	RO	芯片版本号

## 4.1 HT 时钟使能与 DMA 路由配置

偏移地址： 0418-041Bh                      属性： R/W  
默认值： 3h                                      大小： 32 位

位域	名称	访问	描述
31:2	Reserved	R/W	保留
1	ht_hi_clken	R/W	HT 控制器 1 时钟使能 0: 关闭时钟 1: 打开时钟
0	ht_lo_clken	R/W	HT 控制器 0 时钟使能 0: 关闭时钟 1: 打开时钟

地址偏移： 041C-041Fh                      属性： R/W  
默认值： 000a\_a800h                      大小： 32 位

此寄存器用来配置设备 DMA 访问的路由信息（即：DMA 访问的目的处理器和经过的 HT 控制器）。由于 HT 总线只支持 40 位地址，而处理器空间（以及 DMA 访问空间）支持 64 位地址，因此需要在经过 HT 总线前后对地址进行变换，以便保留地址路由信息。此功能需要两方面的支持：1. 桥片将结点号信息保存在 HT 总线地址的某几位；2. 在处理器端，通过 HT 接收窗口的地址转换功能将结点信息重新映射到处理器的结点位域。

LS7A1000 实现了 DMA 访问结点号转换功能，通过配置该寄存器，可以将设备发出的 64 位地址空间中的结点号自动映射到 HT 地址空间中。

位域	名称	访问	描述
31:16	dma_dest_ht	R/W	DMA 访问目的结点路由配置。共 16 个结点，每一位对应一个结点号。bit31~16 分别对应结点 15~0 的 DMA 访问。 1: 路由给 HT 控制器 1 0: 路由给 HT 控制器 0
15:13	dma_node_id_offset_mapped	R/W	映射后的 DMA 访问结点号在 HT 地址空间的地址偏移（相对于 bit32）。 0: 结点号在 HT 地址空间中的位置从 bit32 开始 1: 结点号在 HT 地址空间中的位置从 bit33 开始 ..... 7: 结点号在 HT 地址空间中的位置从 bit39 开始 此寄存器决定了 DMA 访问对于单个结点的最大地址范围。比如，当该寄存器配置为 0，而 bit[3:0]不为 0 时，则单个结点内的 DMA 访问的最大地址空间为 $2^{32}=4GB$ 。
12:8	dma_node_id_offset	R/W	DMA 访问中的结点号所在的地址偏移（相对于 bit36）。
7:4	Reserved	R/W	保留
3:0	dma_node_id_mask	R/W	DMA 访问中的结点号掩码。此寄存器决定了设备 DMA 访问能够访问的结点个数。 0: 1 个结点 1: 2 个结点 3: 4 个结点 7: 8 个结点 15: 16 个结点

## 4.2 通用配置寄存器 0

地址偏移： 0420-0423h                      属性： R/W  
默认值： CCCC\_3CE0h                      大小： 32 位

本寄存器包含 PCIe、图形处理单元（GPU、显示控制器、显存）相关的配置信息。

位域	名称	访问	描述
31	pcie_g1_p1_clken	R/W	使能 pcie_g1 的 port1 时钟 0: 关闭时钟 1: 打开时钟

30	pcie_g1_p0_clken	R/W	使能 pcie_g1 的 port0 时钟 0: 关闭时钟 1: 打开时钟
29	pcie_g1_enable	R/W	使能 pcie_g1 控制器 0: 禁止访问 1: 允许访问
28	pcie_g1_soft_reset	R/W	pcie_g1 的软件复位 0: 解除复位 1: 保持复位
27	pcie_g0_p1_clken	R/W	使能 pcie_g0 的 port1 时钟 0: 关闭时钟 1: 打开时钟
26	pcie_g0_p0_clken	R/W	使能 pcie_g0 的 port0 时钟 0: 关闭时钟 1: 打开时钟
25	pcie_g0_enable	R/W	使能 pcie_g0 控制器 0: 禁止访问 1: 允许访问
24	pcie_g0_soft_reset	R/W	pcie_g0 的软件复位 0: 解除复位 1: 保持复位
23	pcie_h_p1_clken	R/W	使能 pcie_h 的 port1 时钟 0: 关闭时钟 1: 打开时钟
22	pcie_h_p0_clken	R/W	使能 pcie_h 的 port0 时钟 0: 关闭时钟 1: 打开时钟
21	pcie_h_enable	R/W	使能 pcie_h 控制器 0: 禁止访问 1: 允许访问
20	pcie_h_soft_reset	R/W	pcie_h 的软件复位 0: 解除复位 1: 保持复位
19	pcie_f1_p1_clken	R/W	使能 pcie_f1 的 port1 时钟 0: 关闭时钟 1: 打开时钟
18	pcie_f1_p0_clken	R/W	使能 pcie_f1 的 port0 时钟 0: 关闭时钟 1: 打开时钟
17	pcie_f1_enable	R/W	使能 pcie_f1 控制器 0: 禁止访问 1: 允许访问
16	pcie_f1_soft_reset	R/W	pcie_f1 的软件复位 0: 解除复位 1: 保持复位
15:14	Reserved	R/W	保留
13	pcie_f0_p3_clken	R/W	使能 pcie_f0 的 port3 时钟 0: 关闭时钟 1: 打开时钟
12	pcie_f0_p2_clken	R/W	使能 pcie_f0 的 port2 时钟 0: 关闭时钟 1: 打开时钟
11	pcie_f0_p1_clken	R/W	使能 pcie_f0 的 port1 时钟 0: 关闭时钟 1: 打开时钟
10	pcie_f0_p0_clken	R/W	使能 pcie_f0 的 port0 时钟 0: 关闭时钟 1: 打开时钟

9	pcie_f0_enable	R/W	使能 pcie_f0 控制器 0: 禁止访问 1: 允许访问
8	pcie_f0_soft_reset	R/W	pcie_f0 的软件复位 0: 解除复位 1: 保持复位
7	dc_clken	R/W	使能 dc 的时钟 0: 关闭时钟 1: 打开时钟
6	gpu_clken	R/W	使能 gpu 的时钟 0: 关闭时钟 1: 打开时钟
5	gmem_clken	R/W	使能 gmem 的时钟 0: 关闭时钟 1: 打开时钟
4:3	Reserved	R/W	保留
2	pcie_clkssel	R/W	pcie 的时钟选择。 0: 选择 PAD 输入时钟 1: 选择内部参考时钟 如果 fix_pcie_clkssel 为 1,那么该信号恒为 1。
1	Reserved	R/W	保留
0	default_route_cfg0	R/W	使用固定地址访问 PCIE、图形设备。 0: 使用 PCI 配置头对设备地址进行配置 1: 使用固定地址访问设备 如果 fix_default_route 为 1,那么该信号恒为 1。

地址偏移: 0424-0427h

属性: R/W, RO

默认值: 0000\_0000h

大小: 32 位

位域	名称	访问	描述
31:25	Reserved	R/W	保留
24	disable_gmem_confspace	R/W	禁止访问 GMEM 配置空间 0: 允许访问 1: 禁止访问
23:20	Reserved	R/W	保留
19	pcie_g1_p1_clk_ok	RO	pcie_g1 端口 1 时钟 ready 0: 没有时钟 1: 时钟正常
18	pcie_g1_p0_clk_ok	RO	pcie_g1 端口 0 时钟 ready 0: 没有时钟 1: 时钟正常
17	pcie_g0_p1_clk_ok	RO	pcie_g0 端口 1 时钟 ready 0: 没有时钟 1: 时钟正常
16	pcie_g0_p0_clk_ok	RO	pcie_g0 端口 0 时钟 ready 0: 没有时钟 1: 时钟正常
15	pcie_h_p1_clk_ok	RO	pcie_h 端口 1 时钟 ready 0: 没有时钟 1: 时钟正常
14	pcie_h_p0_clk_ok	RO	pcie_h 端口 0 时钟 ready 0: 没有时钟 1: 时钟正常
13	pcie_f1_p1_clk_ok	RO	pcie_f1 端口 1 时钟 ready 0: 没有时钟 1: 时钟正常
12	pcie_f1_p0_clk_ok	RO	pcie_f1 端口 0 时钟 ready 0: 没有时钟 1: 时钟正常

11	pcie_f0_p0_clk_ok	RO	pcie_f0 端口 3 时钟 ready 0: 没有时钟 1: 时钟正常
10	pcie_f0_p0_clk_ok	RO	pcie_f0 端口 2 时钟 ready 0: 没有时钟 1: 时钟正常
9	pcie_f0_p0_clk_ok	RO	pcie_f0 端口 1 时钟 ready 0: 没有时钟 1: 时钟正常
8	pcie_f0_p0_clk_ok	RO	pcie_f0 端口 0 时钟 ready 0: 没有时钟 1: 时钟正常
5	pcie_g1_uca_en	R/W	pcie_g1 uncached 访问加速使能 0: 关闭访问加速 1: 打开访问加速
4	pcie_g0_uca_en	R/W	pcie_g0 uncached 访问加速使能 0: 关闭访问加速 1: 打开访问加速
3	pcie_h_uca_en	R/W	pcie_h uncached 访问加速使能 0: 关闭访问加速 1: 打开访问加速
2	pcie_f1_uca_en	R/W	pcie_f1 uncached 访问加速使能 0: 关闭访问加速 1: 打开访问加速
1	pcie_f0_uca_en	R/W	pcie_f0 uncached 访问加速使能 0: 关闭访问加速 1: 打开访问加速
0	graphic_uca_en	R/W	GPU/DC uncached 访问加速使能 0: 关闭访问加速 1: 打开访问加速

### 4.3 通用配置寄存器 1

地址偏移: 0430-0433h

属性: R/W

默认值: 00F9\_BBF2h

大小: 32 位

本寄存器包含 USB、SATA、GMAC、HDA/AC97、LPC、SPI 相关的配置信息。

位域	名称	访问	描述
31	lpc_uca_en	R/W	LPC uncached 加速使能 0: 关闭访问加速 1: 打开访问加速
30	spi_uca_en	R/W	SPI uncached 加速使能 0: 关闭访问加速 1: 打开访问加速
29	conf_uca_en	R/W	配置寄存器 uncached 加速使能 0: 关闭访问加速 1: 打开访问加速
28	misc_uca_en	R/W	低速 misc 设备 uncached 加速使能 0: 关闭访问加速 1: 打开访问加速
27	aud_uca_en	R/W	HDA/AC97 uncached 加速使能 0: 关闭访问加速 1: 打开访问加速
26	gmac_uca_en	R/W	gmac uncached 加速使能 0: 关闭访问加速 1: 打开访问加速

25	sata_uca_en	R/W	sata uncache 加速使能 0: 关闭访问加速 1: 打开访问加速
24	usb_uca_en	R/W	usb uncache 加速使能 0: 关闭访问加速 1: 打开访问加速
23:16	Reserved	R/W	保留
15	usb1_clken	R/W	usb1 时钟使能 0: 没有时钟 1: 时钟正常
14	usb1_en	R/W	usb_1 访问使能 0: 禁止访问 1: 允许访问
13	usb1_phy_soft_reset	R/W	usb1 PHY 软件复位 0: 解除复位 1: 保持复位
12	usb1_cntl_soft_reset	R/W	usb1 控制器软件复位 0: 解除复位 1: 保持复位
11	usb0_clken	R/W	usb0 时钟使能 0: 没有时钟 1: 时钟正常
10	usb0_en	R/W	usb0 访问使能 0: 禁止访问 1: 允许访问
9	usb0_phy_soft_reset	R/W	usb0 PHY 软件复位 0: 解除复位 1: 保持复位
8	usb0_cntl_soft_reset	R/W	usb0 控制器软件复位 0: 解除复位 1: 保持复位
7	gmac1_clken	R/W	gmac1 时钟使能 0: 没有时钟 1: 时钟正常
6	gmac1_sdb_flowctrl	R/W	gmac1 流控使能 0: 流控关闭 1: 流控打开
5	gmac0_clken	R/W	gmac0 时钟使能 0: 没有时钟 1: 时钟正常
4	gmac0_sdb_flowctrl	R/W	gmac0 流控使能 0: 流控关闭 1: 流控打开
3:2	usb_ref_clk_sel	R/W	USB PHY 参考时钟选择 00b: 使用外部 12MHz 晶振 10b: 使用内部参考时钟
1	usb_ehci_dma64_en	R/W	使能 usb EHCI 64 位 DMA 地址模式 0: 使用 32 位 DMA 地址模式 1: 使用 64 位 DMA 地址模式
0	default_route_cfg1	R/W	使用固定地址访问 USB、SATA、GMAC 等设备。 0: 使用 PCI 配置头对设备地址进行配置 1: 使用固定地址访问设备 如果 fix_default_route 为 1,那么该信号恒为 1。

注：为了支持 USB 休眠唤醒功能，USB 参考时钟必须使用 12MHz 外部晶振。

地址偏移：0434-0437h

属性：R/W,

默认值：1209\_9900h

大小：32 位

位域	名称	访问	描述
----	----	----	----

28	hda_dma_64	R/W	使能 HDA64 位 DMA 地址模式 0: 使用 32 位 DMA 地址模式 1: 使用 64 位 DMA 地址模式
27	rtc_restart	R/W	RTC 晶体振荡器重启
26:24	rtc_ds	R/W	RTC 晶体振荡器驱动配置
19	sata2_clk_en	R/W	SATA2 时钟使能 0: 没有时钟 1: 时钟正常
18	sata2_en	R/W	SATA2 访问使能 0: 禁止访问 1: 允许访问
16	sata2_cntl_soft_reset	R/W	SATA2 控制器软件复位 0: 解除复位 1: 保持复位
15	sata1_clken	R/W	SATA1 时钟使能 0: 没有时钟 1: 时钟正常
14	sata1_en	R/W	SATA1 访问使能 0: 禁止访问 1: 允许访问
12	sata1_cntl_soft_reset	R/W	SATA1 控制器软件复位 0: 解除复位 1: 保持复位
11	sata0_clken	R/W	SATA0 时钟使能 0: 没有时钟 1: 时钟正常
10	sata0_en	R/W	SATA0 访问使能 0: 禁止访问 1: 允许访问
8	sata0_cntl_soft_reset	R/W	SATA0 控制器软件复位 0: 解除复位 1: 保持复位
7:1	Reserved	R/W	保留
0	lpc_en	R/W	LPC 控制器使能 0: 禁止访问 1: 允许访问

#### 4.4 引脚复用配置寄存器

地址偏移: 0440-0443h

属性: R/W

默认值: FFFF\_FFFFh

大小: 32 位

本寄存器包含引脚复用的相关配置信息。

位域	名称	访问	描述
31	uart3_enable	R/W	引脚 UART_RI/DCD 的 UART 工作模式选择 (当选择为 UART 模式时) 0: 是否使用由 bit28 决定 1: 工作在两线 UART3 模式
30	uart2_enable	R/W	引脚 UART_DTR/DSR 的 UART 工作模式选择 (当选择为 UART 模式时) 0: 是否使用由 bit28 决定 1: 工作在两线 UART2 模式
29	uart1_enable	R/W	引脚 UART_RTS/CTS 的 UART 工作模式选择 (当选择为 UART 模式时) 0: 是否使用由 bit28 决定 1: 工作在两线 UART1 模式

28	uart0_full_func	R/W	引脚 UART_TXD/RXD 的 UART 工作模式选择（当选择为 UART 模式时） 0: 工作在两线 UART0 模式 1: 工作在全功能 UART0 模式 当 bit[31:29]不等于 0 时，不管该位的值是什么，UART_TXD/RXD 都工作在两线 UART 模式。
27	clkoutflex_sel	R/W	引脚 CLKOUTFLEX 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 CLKOUTFLEX 模式
26	clkout25m_sel	R/W	引脚 CLKOUT25M 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 CLKOUT25M 模式
25	lpc_sel	R/W	LPC 引脚（LPC_AD0~3/LPC_SERIRQ/LPC_FRAMEn）的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 LPC 模式
24	uart_dtr_dsr_sel_i2c	R/W	引脚 UART_DTR/DSR 的工作模式选择（与 bit20 共同决定） [bit24, bit20]: 00b: 工作在 GPIO 模式 x1b: 工作在 UART 模式（由 bit[31:28]决定是否工作在全功能模式） 10b: 工作在 I2C 模式
23	uart_ri_dcd_sel_i2c	R/W	引脚 UART_RI/DCD 的工作模式选择（与 bit19 共同决定） [bit23, bit19]: 00b: 工作在 GPIO 模式 x1b: 工作在 UART 模式（由 bit[31:28]决定是否工作在全功能模式） 10b: 工作在 I2C 模式
22	uart_txd_rxd_sel_uart	R/W	引脚 UART_TXD/RXD 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 UART 模式（由 bit[31:28]决定是否工作在全功能模式）
21	uart_rts_cts_sel_uart	R/W	引脚 UART_RTS/CTS 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 UART 模式（由 bit[31:28]决定是否工作在全功能模式）
20	uart_dtr_dsr_sel_uart	R/W	引脚 UART_DTR/DSR 的工作模式选择（与 bit24 共同决定） [bit24, bit20]: 00b: 工作在 GPIO 模式 x1b: 工作在 UART 模式（由 bit[31:28]决定是否工作在全功能模式） 10b: 工作在 I2C 模式
19	uart_ri_dcd_sel_uart	R/W	引脚 UART_RI/DCD 的工作模式选择（与 bit23 共同决定） [bit23, bit19]: 00b: 工作在 GPIO 模式 x1b: 工作在 UART 模式（由 bit[31:28]决定是否工作在全功能模式） 10b: 工作在 I2C 模式
18	usb_oc2_sel	R/W	引脚 USB_OC2 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 USB_OC 模式
17	usb_oc1_sel	R/W	引脚 USB_OC1 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 USB_OC 模式
16	usb_oc0_sel	R/W	引脚 USB_OC0 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 USB_OC 模式
15	sata2_ledn_sel	R/W	引脚 SATA2_LEDn 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 SATA 模式

14	sata1_ledn_sel	R/W	引脚 SATA1_LEDn 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 SATA 模式
13	sata0_ledn_sel	R/W	引脚 SATA0_LEDn 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 SATA 模式
12:11	hda_ac97_sel	R/W	HDA 引脚的工作模式选择。 对于引脚 HDA_BITCLK/HDA_SYNC/HDA_RESETh/HDA_SDO/HDA_SDI0, 由 bit[12:11]决定工作模式: 00b: GPIO 模式 10b: AC97 模式 x1b: HDA 模式 对于引脚 HDA_SDI1/HDA_SDI2, 由 bit[11]决定工作模式: 0: GPIO 模式 1: HDA 模式
10	spi_sel	R/W	引脚 SPI_SCK/SDI/SDO 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 SPI 模式
9:8	spi_csn_23_sel_spi	R/W	引脚 SPI_CS <sub>n</sub> 2/3 的工作模式选择 00b: 工作在 GPIO 模式 x1b: 工作在 SPI 模式 10b: 工作在 I2C 模式
7:6	spi_csn_01_sel_spi	R/W	引脚 SPI_CS <sub>n</sub> 0/1 的工作模式选择 00b: 工作在 GPIO 模式 x1b: 工作在 SPI 模式 10b: 工作在 I2C 模式
5	i2c1_sel	R/W	引脚 I2C1_SCL/SDA 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 I2C 模式
4	i2c0_sel	R/W	引脚 I2C0_SCL/SDA 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 I2C 模式
3	pwm3_sel	R/W	引脚 PWM3 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 PWM 模式
2	pwm2_sel	R/W	引脚 PWM2 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 PWM 模式
1	pwm1_sel	R/W	引脚 PWM1 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 PWM 模式
0	pwm0_sel	R/W	引脚 PWM0 的工作模式选择 0: 工作在 GPIO 模式 1: 工作在 PWM 模式

VS<sub>B</sub>\_GATE<sub>n</sub> 引脚和 GPIO01 的复用关系由电源管理模块内部的寄存器 (PMCON\_RESUME) 配置, 参见 [12.3 寄存器描述](#)。

芯片引脚复用对照表见[附录 1 芯片引脚复用表](#)。

## 4.5 PLL0 配置寄存器

PLL 的具体用法请参考[第 2.5 节 PLL 配置方法](#)。

该寄存器用来设置 PLL0, 其中输出时钟 1 用来产生 GMAC 需要的 125MHz 时钟, 输出时钟 0 用来产生 USB/SATA 的控制器时钟。

地址偏移: 0480-0483h

属性: R/W

默认值: 0000\_0000h 大小: 32 位

位域	名称	访问	描述
31:30	Reserved	R/W	保留
29:21	pll_loopc	R/W	PLL 倍频乘数
20:14	pll_div_out2	R/W	PLL 输出时钟 2 分频数
13:7	pll_div_out1	R/W	PLL 输出时钟 1 分频数
6:0	pll_div_out0	R/W	PLL 输出时钟 0 分频数

地址偏移: 0484-0487h 属性: R/W

默认值: 0000\_0000h 大小: 32 位

位域	名称	访问	描述
31:14	Reserved	R/W	保留
13	pll_pd	R/W	PLL powerdown
12	pll_bypass	R/W	PLL 内部 bypass
11	set_pll_param	R/W	设置 PLL 配置参数
10	sel_pll_out2	R/W	选择 PLL 输出时钟 2
9	sel_pll_out1	R/W	选择 PLL 输出时钟 1
8	sel_pll_out0	R/W	选择 PLL 输出时钟 0
7	pll_locked	RO	PLL 锁定
6:0	pll_div_ref	R/W	PLL 输入分频数

## 4.6 PLL1 配置寄存器

PLL 的具体用法请参考[第 2.5 节 PLL 配置方法](#)。

该寄存器用来设置 PLL1, 其中输出时钟 2 用来产生 GPU 的时钟, 输出时钟 1 用来产生 GMEM 的时钟, 输出时钟 0 用来产生 DC 的时钟, 。

地址偏移: 0490-0493h 属性: R/W

默认值: 0000\_0000h 大小: 32 位

位域	名称	访问	描述
31:30	Reserved	R/W	保留
29:21	pll_loopc	R/W	PLL 倍频乘数
20:14	pll_div_out2	R/W	PLL 输出时钟 2 分频数
13:7	pll_div_out1	R/W	PLL 输出时钟 1 分频数
6:0	pll_div_out0	R/W	PLL 输出时钟 0 分频数

地址偏移: 0494-0497h 属性: R/W

默认值: 0000\_0000h 大小: 32 位

位域	名称	访问	描述
31:14	Reserved	R/W	保留
13	pll_pd	R/W	PLL powerdown
12	pll_bypass	R/W	PLL 内部 bypass
11	set_pll_param	R/W	设置 PLL 配置参数
10	sel_pll_out2	R/W	选择 PLL 输出时钟 2
9	sel_pll_out1	R/W	选择 PLL 输出时钟 1
8	sel_pll_out0	R/W	选择 PLL 输出时钟 0
7	pll_locked	RO	PLL 锁定
6:0	pll_div_ref	R/W	PLL 输入分频数

## 4.7 PLL2 配置寄存器

PLL 的具体用法请参考[第 2.5 节 PLL 配置方法](#)。

该寄存器用来设置 PLL2, 其中输出时钟 2 用来产生 CLKOUTFLEX 的时钟, 输出时钟 1 用来产生内部总线的时钟, 输出时钟 0 用来产生 HDA 需要的 24MHz bitclk 时钟。

地址偏移: 04A0-04A3h 属性: R/W

默认值: 0000\_0000h 大小: 32 位

位域	名称	访问	描述
31:30	Reserved	R/W	保留
29:21	pll_loopc	R/W	PLL 倍频乘数
20:14	pll_div_out2	R/W	PLL 输出时钟 2 分频数
13:7	pll_div_out1	R/W	PLL 输出时钟 1 分频数
6:0	pll_div_out0	R/W	PLL 输出时钟 0 分频数

地址偏移: 04A4-04A7h

属性: R/W

默认值: 0000\_0000h

大小: 32 位

位域	名称	访问	描述
31:14	Reserved	R/W	保留
13	pll_pd	R/W	PLL powerdown
12	pll_bypass	R/W	PLL 内部 bypass
11	set_pll_param	R/W	设置 PLL 配置参数
10	sel_pll_out2	R/W	选择 PLL 输出时钟 2
9	sel_pll_out1	R/W	选择 PLL 输出时钟 1
8	sel_pll_out0	R/W	选择 PLL 输出时钟 0
7	pll_locked	RO	PLL 锁定
6:0	pll_div_ref	R/W	PLL 输入分频数

## 4.8 PLL\_PIX\_0 配置寄存器

PLL 的具体用法请参考[第 2.5 节 PLL 配置方法](#)。

该寄存器用来设置 PLL\_PIX\_0，其中输出时钟 0 用来产生 PIX0 时钟。

地址偏移: 04B0-04B3h

属性: R/W

默认值: 0000\_0000h

大小: 32 位

位域	名称	访问	描述
31:30	Reserved	R/W	保留
29:21	pll_loopc	R/W	PLL 倍频乘数
20:7	Reserved	R/W	保留
6:0	pll_div_out0	R/W	PLL 输出时钟 0 分频数

地址偏移: 04B4-04B7h

属性: R/W

默认值: 0000\_0000h

大小: 32 位

位域	名称	访问	描述
31:14	Reserved	R/W	保留
13	pll_pd	R/W	PLL powerdown
12	pll_bypass	R/W	PLL 内部 bypass
11	set_pll_param	R/W	设置 PLL 配置参数
10:9	Reserved	R/W	保留
8	sel_pll_out0	R/W	选择 PLL 输出时钟 0
7	pll_locked	RO	PLL 锁定
6:0	pll_div_ref	R/W	PLL 输入分频数

## 4.9 PLL\_PIX\_1 配置寄存器

PLL 的具体用法请参考[第 2.5 节 PLL 配置方法](#)。

该寄存器用来设置 PLL\_PIX\_1，其中输出时钟 0 用来产生 PIX1 时钟。

地址偏移: 04C0-04C3h

属性: R/W

默认值: 0000\_0000h

大小: 32 位

位域	名称	访问	描述
31:30	Reserved	R/W	保留
29:21	pll_loopc	R/W	PLL 倍频乘数
20:7	Reserved	R/W	保留
6:0	pll_div_out0	R/W	PLL 输出时钟 0 分频数

地址偏移：04C4-04C7h

属性：R/W

默认值：0000\_0000h

大小：32 位

位域	名称	访问	描述
31:14	Reserved	R/W	保留
13	pll_pd	R/W	PLL powerdown
12	pll_bypass	R/W	PLL 内部 bypass
11	set_pll_param	R/W	设置 PLL 配置参数
10:9	Reserved	R/W	保留
8	sel_pll_out0	R/W	选择 PLL 输出时钟 0
7	pll_locked	RO	PLL 锁定
6:0	pll_div_ref	R/W	PLL 输入分频数

#### 4.10 PCIE\_F0 PHY 配置寄存器

本组寄存器包含对 PCIE\_F0 PHY 的控制信号。

地址偏移：0588-058Bh

属性：R/W, RO

默认值：0006\_0000h

大小：32 位

位域	名称	访问	描述
27	cfg_x4_mode_en	R/W	使能软件配置 PCIE_F0 的工作模式 0: 由硬件引脚决定工作模式 1: 由软件配置 (bit26) 决定工作模式
26	cfg_x4_mode	R/W	软件配置 PCIE_F0 的工作模式 0: 工作在 x1 模式 1: 工作在 x4 模式
24	phy_powerdown	R/W	设置 PHY 进入低功耗模式

#### 4.11 PCIE\_F0 PHY 配置访问寄存器

本组寄存器用来控制产生 PCIE\_F0 PHY 内部控制寄存器的配置访问操作。该寄存器控制 PCIE\_F0 的 4 个数据链路。

地址偏移：0590-0593h

属性：R/W

默认值：0000\_0000h

大小：32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时，将数据先写入该寄存，然后再执行写操作；在读操作时，从 PHY 返回的读数据存储到该寄存器。
15:0	phy_cfg_addr	R/W	PHY 配置地址

地址偏移：0594-0597h

属性：R/W,

默认值：0000\_0000h

大小：32 位

位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位，高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成，指示此次对 PHY 的读写完成。写完成表示写的的数据已经写入 PHY 内部寄存器，读完成表示读的数据已经返回到 phy_cfg_data 寄存器
1	phy_cfg_disable	R/W	0-对该组寄存器读写会触发 PHY 配置访问操作 1-对该组寄存器读写不触发 PHY 配置访问操作，仅为简单的寄存器读写
0	phy_cfg_R/W	R/W	开始读操作或写操作。 0: 读操作 1: 写操作

## 4.12 PCIE\_F1 PHY 配置寄存器

本组寄存器包含对 PCIE\_F1 PHY 的控制信号。

地址偏移：05A8-05ABh

属性：R/W, RO

默认值：0006\_0000h

大小：32 位

位域	名称	访问	描述
27	cfg_x4_mode_en	R/W	使能软件配置 PCIE_F1 的工作模式 0: 由硬件引脚决定工作模式 1: 由软件配置 (bit26) 决定工作模式
26	cfg_x4_mode	R/W	软件配置 PCIE_F1 的工作模式 0: 工作在 x1 模式 1: 工作在 x4 模式
24	phy_powerdown	R/W	设置 PHY 进入低功耗模式

## 4.13 PCIE\_F1 PHY 配置访问寄存器

本组寄存器用来控制产生 PCIE\_F1 PHY 内部控制寄存器的配置访问操作。该寄存器控制 PCIE\_F1 的 4 个数据链路。

地址偏移：05B0-05B3h

属性：R/W

默认值：0000\_0000h

大小：32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时，将数据先写入该寄存，然后再执行写操作；在读操作时，从 PHY 返回的读数据存储在到该寄存器。
15:0	phy_cfg_addr	R/W	PHY 配置地址

地址偏移：05B4-05B7h

属性：R/W,

默认值：0000\_0000h

大小：32 位

位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位，高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成，指示此次对 PHY 的读写完成。写完成表示写的已经写入 PHY 内部寄存器，读完成表示读的数据已经返回到 phy_cfg_data 寄存器
1	phy_cfg_disable	R/W	0--对该组寄存器读写会触发 PHY 配置访问操作 1-对该组寄存器读写不触发 PHY 配置访问操作，仅为简单的寄存器读写
0	phy_cfg_R/W	R/W	开始读操作或写操作。 0: 读操作 1: 写操作

## 4.14 PCIE\_H PHY 配置寄存器

本组寄存器包含对 PCIE\_H PHY 的控制信号。

地址偏移：05C8-05CBh

属性：R/W, RO

默认值：0006\_0000h

大小：32 位

位域	名称	访问	描述
27	cfg_x4_mode_en	R/W	使能软件配置 PCIE_H 的工作模式 0: 由硬件引脚决定工作模式 1: 由软件配置 (bit26) 决定工作模式
26	cfg_x4_mode	R/W	软件配置 PCIE_H 的工作模式 0: 工作在 x8 模式 1: 工作在 x4 模式
25	phy_powerdown_hi	R/W	设置 PHY 高四位进入低功耗模式

24	phy_powerdown_lo	R/W	设置 PHY 低四位进入低功耗模式
----	------------------	-----	-------------------

#### 4.15 PCIE\_H PHY LO 配置访问寄存器

本组寄存器用来控制产生 PCIE\_H PHY LO 内部控制寄存器的配置访问操作。该寄存器控制 PCIE\_H 的低 4 个数据链路 (lane0~3)。

地址偏移: 05D0-05D3h 属性: R/W  
默认值: 0000\_0000h 大小: 32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时, 将数据先写入该寄存, 然后再执行写操作; 在读操作时, 从 PHY 返回的读数据存储到该寄存器。
15:0	phy_cfg_addr	R/W	PHY 配置地址

地址偏移: 05D4-05D7h 属性: R/W,  
默认值: 0000\_0000h 大小: 32 位

位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位, 高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成, 指示此次对 PHY 的读写完成。写完成表示写的数 据已经写入 PHY 内部寄存器, 读完成表示读的数据已经返回到 phy_cfg_data 寄存器
1	phy_cfg_disable	R/W	0--对该组寄存器读写会触发 PHY 配置访问操作 1-对该组寄存器读写不触发 PHY 配置访问操作, 仅为简单的寄存器读写 开始读操作或写操作。
0	phy_cfg_R/W	R/W	0: 读操作 1: 写操作

#### 4.16 PCIE\_H PHY HI 配置访问寄存器

本组寄存器用来控制产生 PCIE\_H PHY HI 内部控制寄存器的配置访问操作。该寄存器控制 PCIE\_H 的高 4 个数据链路 (lane4~7)。

地址偏移: 05D8-05DBh 属性: R/W  
默认值: 0000\_0000h 大小: 32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时, 将数据先写入该寄存, 然后再执行 写操作; 在读操作时, 从 PHY 返回的读数据存储到该寄存器。
15:0	phy_cfg_addr	R/W	PHY 配置地址

地址偏移: 05DC-05DFh 属性: R/W,  
默认值: 0000\_0000h 大小: 32 位

位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位, 高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成, 指示此次对 PHY 的读写完成。写完成表示写的数 据已经写入 PHY 内部寄存器, 读完成表示读的数据已经返回到 phy_cfg_data 寄存器
1	phy_cfg_disable	R/W	0--对该组寄存器读写会触发 PHY 配置访问操作 1-对该组寄存器读写不触发 PHY 配置访问操作, 仅为简单的寄存器读写 开始读操作或写操作。
0	phy_cfg_R/W	R/W	0: 读操作 1: 写操作

## 4.17 PCIE\_G0 PHY 配置寄存器

本组寄存器包含对 PCIE\_G0 PHY 的控制信号。

地址偏移：05E8-05EBh                      属性：R/W, RO  
默认值：0006\_0000h                      大小：32 位

位域	名称	访问	描述
27	cfg_x4_mode_en	R/W	使能软件配置 PCIE_G0 的工作模式 0: 由硬件引脚决定工作模式 1: 由软件配置 (bit26) 决定工作模式
26	cfg_x4_mode	R/W	软件配置 PCIE_G0 的工作模式 0: 工作在 x8 模式 1: 工作在 x4 模式
25	phy_powerdown_hi	R/W	设置 PHY 高四位进入低功耗模式
24	phy_powerdown_lo	R/W	设置 PHY 低四位进入低功耗模式

## 4.18 PCIE\_G0 PHY LO 配置访问寄存器

本组寄存器用来控制产生 PCIE\_G0 PHY LO 内部控制寄存器的配置访问操作。该寄存器控制 PCIE\_G0 的低 4 个数据链路 (lane0~3)。

地址偏移：05F0-05F3h                      属性：R/W  
默认值：0000\_0000h                      大小：32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时，将数据先写入该寄存，然后再执行写操作；在读操作时，从 PHY 返回的读数据存储到该寄存器。
15:0	phy_cfg_addr	R/W	PHY 配置地址

地址偏移：05F4-05F7h                      属性：R/W,  
默认值：0000\_0000h                      大小：32 位

位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位，高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成，指示此次对 PHY 的读写完成。写完成表示写的已经写入 PHY 内部寄存器，读完成表示读的数据已经返回到 phy_cfg_data 寄存器
1	phy_cfg_disable	R/W	0-对该组寄存器读写会触发 PHY 配置访问操作 1-对该组寄存器读写不触发 PHY 配置访问操作，仅为简单的寄存器读写
0	phy_cfg_R/W	R/W	开始读操作或写操作。 0: 读操作 1: 写操作

## 4.19 PCIE\_G0 PHY HI 配置访问寄存器

本组寄存器用来控制产生 PCIE\_G0 PHY HI 内部控制寄存器的配置访问操作。该寄存器控制 PCIE\_G0 的高 4 个数据链路 (lane4~7)。

地址偏移：05F8-05FBh                      属性：R/W  
默认值：0000\_0000h                      大小：32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时，将数据先写入该寄存，然后再执行写操作；在读操作时，从 PHY 返回的读数据存储到该寄存器。
15:0	phy_cfg_addr	R/W	PHY 配置地址

地址偏移：05FC-05FFh                      属性：R/W,  
默认值：0000\_0000h                      大小：32 位

位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位，高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成，指示此次对 PHY 的读写完成。写完成表示写的 数据已经写入 PHY 内部寄存器，读完成表示读的数据已经返回 到 phy_cfg_data 寄存器
1	phy_cfg_disable	R/W	0--对该组寄存器读写会触发 PHY 配置访问操作 1-对该组寄存器读写不触发 PHY 配置访问操作，仅为简单的寄存 器读写
0	phy_cfg_R/W	R/W	开始读操作或写操作。 0: 读操作 1: 写操作

## 4.20 PCIE\_G1 PHY 配置寄存器

本组寄存器包含对 PCIE\_G1 PHY 的控制信号。

地址偏移：0608-060Bh                      属性：R/W, RO  
默认值：0006\_0000h                      大小：32 位

位域	名称	访问	描述
31:30	Reserved	R/W	保留
27	cfg_x4_mode_en	R/W	使能软件配置 PCIE_G1 的工作模式 0: 由硬件引脚决定工作模式 1: 由软件配置 (bit26) 决定工作模式
26	cfg_x4_mode	R/W	软件配置 PCIE_G1 的工作模式 0: 工作在 x8 模式 1: 工作在 x4 模式
25	phy_powerdown_hi	R/W	设置 PHY 高四位进入低功耗模式
24	phy_powerdown_lo	R/W	设置 PHY 低四位进入低功耗模式

## 4.21 PCIE\_G1 PHY LO 配置访问寄存器

本组寄存器用来控制产生 PCIE\_G1 PHY LO 内部控制寄存器的配置访问操作。该寄存器控制 PCIE\_G1 的低 4 个数据链路 (lane0~3)。

地址偏移：0610-0613h                      属性：R/W  
默认值：0000\_0000h                      大小：32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时，将数据先写入该寄存，然后再执 行写操作；在读操作时，从 PHY 返回的读数据存储到该寄存器。
15:0	phy_cfg_addr	R/W	PHY 配置地址

地址偏移：0614-0617h                      属性：R/W,  
默认值：0000\_0000h                      大小：32 位

位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位，高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成，指示此次对 PHY 的读写完成。写完成表示写的 数据已经写入 PHY 内部寄存器，读完成表示读的数据已经返回 到 phy_cfg_data 寄存器
1	phy_cfg_disable	R/W	0--对该组寄存器读写会触发 PHY 配置访问操作 1-对该组寄存器读写不触发 PHY 配置访问操作，仅为简单的寄存 器读写
0	phy_cfg_R/W	R/W	开始读操作或写操作。 0: 读操作 1: 写操作

## 4.22 PCIE\_G1 PHY HI 配置访问寄存器

本组寄存器用来控制产生 PCIE\_G1 PHY HI 内部控制寄存器的配置访问操作。该寄存器控制 PCIE\_G1 的高 4 个数据链路 (lane4~7)。

地址偏移: 0618-061Bh

属性: R/W

默认值: 0000\_0000h

大小: 32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时, 将数据先写入该寄存, 然后再执行写操作; 在读操作时, 从 PHY 返回的读数据存储在到该寄存器。
15:0	phy_cfg_addr	R/W	PHY 配置地址

地址偏移: 061C-061Fh

属性: R/W,

默认值: 0000\_0000h

大小: 32 位

位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位, 高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成, 指示此次对 PHY 的读写完成。写完成表示写的数 据已经写入 PHY 内部寄存器, 读完成表示读的数据已经返回到 phy_cfg_data 寄存器
1	phy_cfg_disable	R/W	0-对该组寄存器读写会触发 PHY 配置访问操作 1-对该组寄存器读写不触发 PHY 配置访问操作, 仅为简单的寄存 器读写
0	phy_cfg_R/W	R/W	开始读操作或写操作。 0: 读操作 1: 写操作

## 4.23 SATA0 PHY 配置寄存器

本寄存器用来配置 SATA0 PHY 的一些控制参数。

地址偏移: 0740-0743h

属性: R/W

默认值: FF9F\_0403h

大小: 32 位

位域	名称	访问	描述
3	Port_reset	R/W	链路复位
2	PHY_reset	R/W	PHY 软件复位 0: 解除复位 1: 保持复位
1	ref_use_pad	R/W	PHY 参考时钟选择 0: 使用内部参考时钟 1: 使用外部参考时钟
0	Reserved	R/W	保留

地址偏移: 0744-0747h

属性: R/W

默认值: 7FFF\_FFFFh

大小: 32 位

位域	名称	访问	描述
31	Phy_power_down	R/W	PHY Powerdown

## 4.24 SATA0 PHY 配置访问寄存器

本组寄存器用来控制产生对 SATA0 PHY 内部控制寄存器的配置访问操作。

地址偏移: 0748-074Bh

属性: R/W

默认值: 0000\_0000h

大小: 32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时, 将数据先写入该寄存, 然后再执行写操作; 在读操作时, 从 PHY 返回的读数据存储在到该寄存器。

15:0	phy_cfg_addr	R/W	PHY 配置地址
地址偏移: 074C-074Fh		属性: R/W,	
默认值: 0000_0000h		大小: 32 位	
位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位, 高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成, 指示此次对 PHY 的读写完成。写完成表示写的 数据已经写入 PHY 内部寄存器, 读完成表示读的数据已经返回 到 phy_cfg_data 寄存器
1	phy_cfg_disable	R/W	0--对该组寄存器读写会触发 PHY 配置访问操作 1-对该组寄存器读写不触发 PHY 配置访问操作, 而是作为对该寄 存器的读写操作
0	phy_cfg_R/W	R/W	开始读操作或写操作。 0: 读操作 1: 写操作

## 4.25 SATA1 PHY 配置寄存器

本寄存器用来配置 SATA1 PHY 的一些控制参数。

地址偏移: 0750-0753h 属性: R/W  
默认值: FF9F\_0403h 大小: 32 位

位域	名称	访问	描述
3	Port_reset	R/W	链路复位
2	PHY_reset	R/W	PHY 软件复位 0: 解除复位 1: 保持复位
1	ref_use_pad	R/W	PHY 参考时钟选择 0: 使用内部参考时钟 1: 使用外部参考时钟
0	Reserved	R/W	保留

地址偏移: 0754-0757h 属性: R/W  
默认值: 7FFF\_FFFFh 大小: 32 位

位域	名称	访问	描述
31	Phy_power_down	R/W	PHY Powerdown

## 4.26 SATA1 PHY 配置访问寄存器

本组寄存器用来控制产生对 SATA1 PHY 内部控制寄存器的配置访问操作。

地址偏移: 0758-075Bh 属性: R/W  
默认值: 0000\_0000h 大小: 32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时, 将数据先写入该寄存, 然后再执 行写操作; 在读操作时, 从 PHY 返回的读数据存储到该寄存器。
15:0	phy_cfg_addr	R/W	PHY 配置地址
地址偏移: 075C-075Fh		属性: R/W,	
默认值: 0000_0000h		大小: 32 位	
位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位, 高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成, 指示此次对 PHY 的读写完成。写完成表示写 的数据已经写入 PHY 内部寄存器, 读完成表示读的数据已经返回 到 phy_cfg_data 寄存器

1	phy_cfg_disable	R/W	0--对该组寄存器读写会触发 PHY 配置访问操作 1-对该组寄存器读写不触发 PHY 配置访问操作，而是作为对该寄存器的读写操作
0	phy_cfg_R/W	R/W	开始读操作或写操作。 0: 读操作 1: 写操作

#### 4.27 SATA2 PHY 配置寄存器

本寄存器用来配置 SATA2 PHY 的一些控制参数。

地址偏移: 0760-0763h                      属性: R/W  
默认值: FF9F\_0403h                      大小: 32 位

位域	名称	访问	描述
3	Port_reset	R/W	链路复位
2	PHY_reset	R/W	PHY 软件复位 0: 解除复位 1: 保持复位
1	ref_use_pad	R/W	PHY 参考时钟选择 0: 使用内部参考时钟 1: 使用外部参考时钟
0	Reserved	R/W	保留

地址偏移: 0764-0767h                      属性: R/W  
默认值: 7FFF\_FFFFh                      大小: 32 位

位域	名称	访问	描述
31	Phy_power_down	R/W	PHY Powerdown

#### 4.28 SATA2 PHY 配置访问寄存器

本组寄存器用来控制产生对 SATA2 PHY 内部控制寄存器的配置访问操作。

地址偏移: 0768-076Bh                      属性: R/W  
默认值: 0000\_0000h                      大小: 32 位

位域	名称	访问	描述
31:16	phy_cfg_data	R/W	PHY 配置读写数据。在写操作时，将数据先写入该寄存，然后再执行写操作；在读操作时，从 PHY 返回的读数据存储到该寄存器。
15:0	phy_cfg_addr	R/W	PHY 配置地址

地址偏移: 076C-076Fh                      属性: R/W,  
默认值: 0000\_0000h                      大小: 32 位

位域	名称	访问	描述
31:7	Reserved	R/W	保留
6	phy_cfg_reset	R/W	PHY 配置复位，高有效
5:3	phy_cfg_state	RO	PHY 配置状态机状态指示
2	phy_cfg_done	R/W	PHY 一次访问完成，指示此次对 PHY 的读写完成。写完成表示写的已经写入 PHY 内部寄存器，读完成表示读的数据已经返回到 phy_cfg_data 寄存器
1	phy_cfg_disable	R/W	0: 对该组寄存器读写会触发 PHY 配置访问操作 1: 对该组寄存器读写不触发 PHY 配置访问操作，而是作为对该寄存器的读写操作
0	phy_cfg_R/W	R/W	开始读操作或写操作。 0: 读操作 1: 写操作

## 4.29 显存容量配置寄存器

本组寄存器用来配置显存的容量。本寄存器表示显存 BAR 寄存器的掩码，0 表示显存 BAR 寄存器的对应位可写，1 表示不可写。1 的个数代表了显存的容量。默认的显存容量为 256MB。

地址偏移：3838-383Bh                      属性：R/W  
默认值：0FFF\_FFFFh                      大小：32 位

位域	名称	访问	描述
31:0	gmem_bar_mask	R/W	显存 BAR 寄存器掩码的低 32 位。 0: 显存 BAR 对应位可写 1: 显存 BAR 对应位不可写

地址偏移：383C-383Fh                      属性：R/W，  
默认值：0000\_0000h                      大小：32 位

位域	名称	访问	描述
31:0	gmem_bar_mask	R/W	显存 BAR 寄存器掩码的高 32 位。 0: 显存 BAR 对应位可写 1: 显存 BAR 对应位不可写

## 4.30 桥片标识寄存器

本寄存器包含桥片的标识 ID 和修订号。

地址偏移：3FF8-3FFBh                      属性：RO  
默认值：见下表描述                      大小：32 位

位域	名称	访问	描述
31:24	fix_id	RO	桥片固定 ID (0x7A)。
23:0	variable_id	RO	桥片可变 ID。

地址偏移：3FFC-3FFFh                      属性：RO  
默认值：见下表描述                      大小：32 位

位域	名称	访问	描述
31:24	revision_number	RO	桥片修订号。
23:0	Reserved	RO	保留

## 5 中断控制器

桥片内部集成了高级可编程中断控制器。桥片内部的中断控制器最多支持 64 个中断源，并支持两路中断输出。桥片支持通过中断线和 HT 消息两种方式传输中断。在中断线方式下，桥片的中断输出引脚连接到处理器的中断输入引脚上，处理器通过中断引脚被中断。在 HT 消息方式下，不需要额外的中断引脚连接，桥片通过 HT 数据包的方式，将中断向量发送到处理器的 HT 控制器寄存器中，处理器通过 HT 控制器中断被中断。桥片只支持使用这两种中断方式中的一种，且对所有 64 个中断源同时生效。

桥片支持输出双路中断，也就是说可以将中断信息路由给两个处理器。中断源和中断输出的对应关系是可配置，这个配置对中断线和 HT 消息包两种中断方式都有效。

在中断线中断模式下，桥片内部所有具有中断功能的设备的中断线直接送给桥片的中断控制器，外接 PCIE 设备通过 legacy 中断的方式，将中断发送到桥片内部的 PCIE 控制器，然后 PCIE 控制器通过中断线将中断信息送给桥片的中断控制器，桥片的中断控制器最终通过桥片的中断引脚信号中断处理器。

在 HT 消息中断模式下，桥片内部除了 PCIE 外的所有其他设备通过中断线将中断信息送给桥片的中断控制器，中断控制器将中断信息转换成 HT 消息包，然后通过 HT 总线发给处理器。对于 PCIE 设备，有两种中断模式，一种是设备仍然使用 legacy 中断，通过桥片的 PCIE 控制器的中断线将中断信息送给桥片的中断控制器，由中断控制器负责将中断信息转换成 HT 消息包；另一种是使能 PCIE 设备的 MSI 中断功能，设备的 MSI 中断消息经过桥片 PCIE 控制器内部的转换模块转换成 HT 消息包。需要注意，在后一种模式下，PCIE 设备的中断消息包不支持中断路由，只能发送给桥片的 HT IO 控制器。

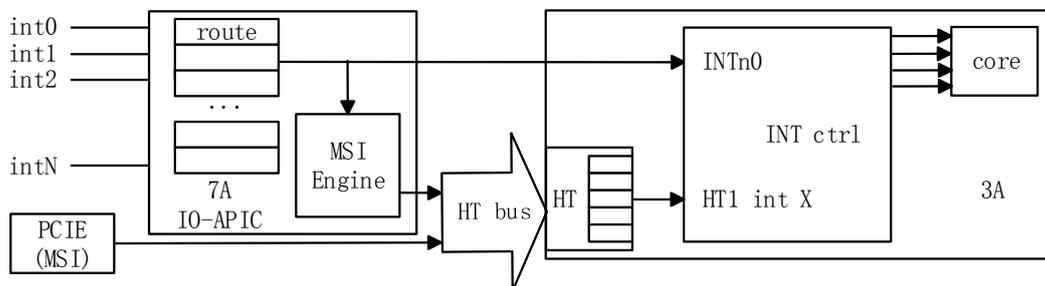


图 5-1. 3A+7A 的中断系统示意图

图 5-1 以 3A+7A 计算机系统为例来说明中断涉及的硬件模块及过程。图中表示了两种中断方式的过程，上部表示的是通过中断线 INTn0 来中断，下部表示的是通过 HT 消息包来中断。设备（除了工作在 MSI 模式的 PCIE 设备）发出的中断 intX 送给 7A 内部中断控制器，经过中断路由后送到桥片引脚或者转换成 HT 消息包发给 3A 的 HT 控制器，3A 的中断控制器通过外部中断引脚或者 HT 控制器中断接收到该中断，并经过中断路由中断某个处理器核。

桥片中断控制器的地址空间大小为 4KB，起始地址（桥片内部空间）由 BIOS 配置。

### 5.1 中断源分配

桥片内部设备都通过中断线连接到中断控制器。中断控制器的中断引脚分配见表 5-1。其中，四个 UART 控制器共用一个中断引脚，6 个 I2C 控制器共用一个中断引脚，HPET 的三个 timer 共用一个中断引脚，AC97 中断包括 AC97 控制器中断和 DMA 中断，它们占用不同的中断引脚，AC97 控制器和 HDA 控制器共用一个中断引脚，GPIO0~3 分别独占一个中断引脚，其他的 GPIO 共用一个中断引脚。

表 5-1. 桥片中断控制器中断源分配

中断引脚	中断源	中断引脚	中断源
0	-	32	pcie_f0_0
1	-	33	pcie_f0_1
2	-	34	pcie_f0_2
3	-	35	pcie_f0_3
4	-	36	pcie_f1_0
5	-	37	pcie_f1_1
6	-	38	pcie_h_lo
7	-	39	pcie_h_hi
8	uart[3:0]	40	pcie_g0_lo
9	i2c[5:0]	41	pcie_g0_hi
10	-	42	pcie_g1_lo
11	-	43	pcie_g1_hi
12	gmac0_sbd	44	toy[0]
13	gmac0_pmt	45	toy[1]
14	gmac1_sbd	46	toy[2]
15	gmac1_pmt	47	acpi_int
16	sata[0]	48	usb_0_ehci
17	sata[1]	49	usb_0_ohci
18	sata[2]	50	usb_1_ehci
19	lpc	51	usb_1_ohci
20	-	52	rtc[0]
21	-	53	rtc[1]
22	-	54	rtc[2]
23	-	55	hpet_int
24	pwm[0]	56	ac97_dma[0]
25	pwm[1]	57	ac97_dma[1]
26	pwm[2]	58	ac97/hda
27	pwm[3]	59	gpio_hi
28	dc	60	gpio[0]
29	gpu	61	gpio[1]
30	gmem	62	gpio[2]
31	thsens	63	gpio[3]

## 5.2 中断相关寄存器描述

桥片的中断控制器针对每一个中断源，有一套控制和状态寄存器。

表 5-2. 中断控制和状态寄存器

寄存器名	位宽	访问类型	说明	默认值
INT_MASK	1	R/W	中断屏蔽寄存器。 0: 使能该中断; 1: 屏蔽该中断。	1
HTMSI_EN	1	R/W	HT 消息包中断使能寄存器。 0: 关闭 HT 消息包方式; 1: 使能 HT 消息包方式。	0
INTEDGE	1	R/W	触发方式设置寄存器。 0: 电平触发中断; 1: 边沿触发中断。	0
INTCLR	1	WO	边沿触发中断清除寄存器。 写 1 清除该中断, 写 0 无效。	N/A

AUTO_CTRL0	1	R/W	中断分发模式控制寄存器（与 AUTO_CTRL1 合用）。 {AUTO_CTRL1, AUTO_CTRL0}: 00b: 固定分发模式; 01b: 轮转分发模式; 10b: 空闲分发模式; 11b: 忙碌分发模式。	0
AUTO_CTRL1	1	R/W	中断分发模式控制寄存器（与 AUTO_CTRL0 合用）。 {AUTO_CTRL1, AUTO_CTRL0}: 00b: 固定分发模式; 01b: 轮转分发模式; 10b: 空闲分发模式; 11b: 忙碌分发模式。	0
ROUTE_ENTRY	8	R/W	中断路由寄存器。 用来配置将该中断路由给哪个处理器, 该寄存器按照位图的形式组织。 bit0: 路由给 INTn0/HT 控制器 lo; bit1: 路由给 INTn1/HT 控制器 hi。 bit7:2: 保留。	01b
HTMSI_VECTOR	8	R/W	HT 消息包中断向量寄存器。	见下文
INTISR_CHIP0	1	RO	路由到 INTn0 的中断状态（在服务）寄存器。 0: 无中断; 1: 有中断。	0
INTISR_CHIP1	1	RO	路由到 INTn1 的中断状态（在服务）寄存器。 0: 无中断; 1: 有中断。	0
INTIRR	1	RO	中断请求寄存器。 0: 没有中断请求; 1: 有中断请求。	0
INTISR	1	RO	中断状态（在服务）寄存器。 0: 没有中断被接收; 1: 有中断被接收。	0
INT_POLARITY	1	R/W	中断电平触发极性选择寄存器。 对于电平触发类型: 0: 高电平触发; 1: 低电平触发。	0

中断控制器相关寄存器的地址分布见表 5-3。

表 5-3. 中断寄存器地址分布

寄存器名	地址偏移	访问	说明
INT_ID	0x000	RO	中断控制器标识寄存器
INT_MASK	0x020	R/W	中断屏蔽寄存器
HTMSI_EN	0x040	R/W	HT 消息包中断使能寄存器
INTEDGE	0x060	R/W	触发方式设置寄存器
INTCLR	0x080	WO	边沿触发中断清除寄存器
AUTO_CTRL0	0x0c0	R/W	中断分发模式控制寄存器 0
AUTO_CTRL1	0x0e0	R/W	中断分发模式控制寄存器 1
ROUTE_ENTRY_0	0x100	R/W	中断路由寄存器[ 7- 0]
ROUTE_ENTRY_8	0x108	R/W	中断路由寄存器[15- 8]
ROUTE_ENTRY_16	0x110	R/W	中断路由寄存器[23-16]
ROUTE_ENTRY_24	0x118	R/W	中断路由寄存器[31-24]
ROUTE_ENTRY_32	0x120	R/W	中断路由寄存器[39-32]
ROUTE_ENTRY_40	0x128	R/W	中断路由寄存器[47-40]
ROUTE_ENTRY_48	0x130	R/W	中断路由寄存器[55-48]

ROUTE_ENTRY_56	0x138	R/W	中断路由寄存器[63-56]
HTMSI_VECTOR0	0x200	R/W	HT 中断向量寄存器[7-0]
HTMSI_VECTOR8	0x208	R/W	HT 中断向量寄存器[15-8]
HTMSI_VECTOR16	0x210	R/W	HT 中断向量寄存器[23-16]
HTMSI_VECTOR24	0x218	R/W	HT 中断向量寄存器[31-24]
HTMSI_VECTOR32	0x220	R/W	HT 中断向量寄存器[39-32]
HTMSI_VECTOR40	0x228	R/W	HT 中断向量寄存器[47-40]
HTMSI_VECTOR48	0x230	R/W	HT 中断向量寄存器[55-48]
HTMSI_VECTOR56	0x238	R/W	HT 中断向量寄存器[63-56]
INTISR_0	0x300	RO	路由到 INTn0 的中断状态（在服务）寄存器
INTISR_1	0x320	RO	路由到 INTn1 的中断状态（在服务）寄存器
INTIRR	0x380	RO	中断请求寄存器
INTISR	0x3a0	RO	中断状态（在服务）寄存器
INT_POLARITY	0x3e0	R/W	中断触发电平选择寄存器

### 中断控制器标识寄存器

地址偏移：000-003h

属性：RO

默认值：07000000h

大小：32 位

位域	名称	访问	描述
31:24	id	RO	中断控制器 ID
23:0	Reserved	RO	保留

地址偏移：004-007h

属性：RO

默认值：003F0001h

大小：32 位

位域	名称	访问	描述
31:24	Reserved	RO	保留
23:16	int_num	RO	支持的中断源个数。实际中断个数等于该字段的值加 1。
15:8	Reserved	RO	保留
7:0	version	RO	中断控制器版本号

### 中断掩码寄存器

地址偏移：020-023h

属性：R/W

默认值：FFFFFFFh

大小：32 位

位域	名称	访问	描述
31:0	int_mask	R/W	中断掩码寄存器的低 32 位（bit[31:0]）

地址偏移：024-027h

属性：R/W

默认值：FFFFFFFh

大小：32 位

位域	名称	访问	描述
31:0	int_mask	R/W	中断掩码寄存器的高 32 位（bit[63:32]）

### HT 中断消息包使能寄存器

地址偏移：040-043h

属性：R/W

默认值：00000000h

大小：32 位

位域	名称	访问	描述
31:0	htmsi_en	R/W	HT 中断消息包使能寄存器的低 32 位（bit[31:0]）

地址偏移：044-047h

属性：R/W

默认值：00000000h

大小：32 位

位域	名称	访问	描述
31:0	htmsi_en	R/W	HT 中断消息包使能寄存器的高 32 位（bit[63:32]）

### 中断触发控制寄存器

地址偏移：060-063h

属性：R/W

默认值：00000000h

大小：32 位

位域	名称	访问	描述
31:0	int_edge	R/W	中断触发控制寄存器的低 32 位 (bit[31:0])
地址偏移: 064-067h		属性: R/W	
默认值: 00000000h		大小: 32 位	
位域	名称	访问	描述
31:0	int_edge	R/W	中断触发控制寄存器的高 32 位 (bit[63:32])

### 中断清除寄存器

地址偏移: 080-083h 属性: WO  
默认值: N/A 大小: 32 位

位域	名称	访问	描述
31:0	int_clear	WO	中断清除寄存器的低 32 位 (bit[31:0])
地址偏移: 084-087h		属性: WO	
默认值: 00000000h		大小: 32 位	
位域	名称	访问	描述
31:0	int_clear	WO	中断清除寄存器的高 32 位 (bit[63:32])

### INT\_AUTO\_CTRL0 寄存器

地址偏移: 0C0-0C3h 属性: R/W  
默认值: 00000000h 大小: 32 位

位域	名称	访问	描述
31:0	int_auto_ctrl0	R/W	中断智能分发控制寄存器 0 的低 32 位 (bit[31:0])
地址偏移: 0C4-0C7h		属性: R/W	
默认值: 00000000h		大小: 32 位	
位域	名称	访问	描述
31:0	int_auto_ctrl0	R/W	中断智能分发控制寄存器 0 的高 32 位 (bit[63:32])

### INT\_AUTO\_CTRL1 寄存器

地址偏移: 0E0-0E3h 属性: R/W  
默认值: 00000000h 大小: 32 位

位域	名称	访问	描述
31:0	int_auto_ctrl1	R/W	中断智能分发控制寄存器 1 的低 32 位 (bit[31:0])
地址偏移: 0E4-0E7h		属性: R/W	
默认值: 00000000h		大小: 32 位	
位域	名称	访问	描述
31:0	int_auto_ctrl1	R/W	中断智能分发控制寄存器 1 的高 32 位 (bit[63:32])

### 中断路由配置寄存器

地址偏移: 100-103h 属性: R/W  
默认值: 01010101h 大小: 32 位

位域	名称	访问	描述
31:0	Reserved	R/W	保留
地址偏移: 104-107h		属性: R/W	
默认值: 01010101h		大小: 32 位	
位域	名称	访问	描述
31:0	Reserved	R/W	保留
地址偏移: 108-10Bh		属性: R/W	
默认值: 01010101h		大小: 32 位	
位域	名称	访问	描述
31:16	Reserved	R/W	保留
9:8	i2c_int_route	R/W	I2C 中断路由配置寄存器

1:0	uart_int_route	R/W	UART 中断路由配置寄存器
地址偏移: 10C-10Fh		属性: R/W	
默认值: 01010101h		大小: 32 位	
位域	名称	访问	描述
25:24	gmac1_pmt_int_route	R/W	GMAC1_PMT 中断路由配置寄存器
17:16	gmac1_sbd_int_route	R/W	GMAC1_SBD 中断路由配置寄存器
9:8	gmac0_pmt_int_route	R/W	GMAC0_PMT 中断路由配置寄存器
1:0	gmac0_sbd_int_route	R/W	GMAC0_SBD 中断路由配置寄存器
地址偏移: 110-113h		属性: R/W	
默认值: 01010101h		大小: 32 位	
位域	名称	访问	描述
25:24	lpc_int_route	R/W	LPC 中断路由配置寄存器
17:16	SATA2_int_route	R/W	SATA2 中断路由配置寄存器
9:8	SATA1_int_route	R/W	SATA1 中断路由配置寄存器
1:0	SATA0_int_route	R/W	SATA0 中断路由配置寄存器
地址偏移: 114-117h		属性: R/W	
默认值: 01010101h		大小: 32 位	
位域	名称	访问	描述
31:0	Reserved	R/W	保留
地址偏移: 118-11Bh		属性: R/W	
默认值: 01010101h		大小: 32 位	
位域	名称	访问	描述
25:24	pwm3_int_route	R/W	PWM3 中断路由配置寄存器
17:16	pwm2_int_route	R/W	PWM2 中断路由配置寄存器
9:8	pwm1_int_route	R/W	PWM1 中断路由配置寄存器
1:0	pwm0_int_route	R/W	PWM0 中断路由配置寄存器
地址偏移: 11C-11Fh		属性: R/W	
默认值: 01010101h		大小: 32 位	
位域	名称	访问	描述
25:24	thsens_int_route	R/W	Thsensor 中断路由配置寄存器
17:16	gpu_int_route	R/W	GPU 中断路由配置寄存器
9:8	gmem_int_route	R/W	GMEM 中断路由配置寄存器
1:0	dc_int_route	R/W	DC 中断路由配置寄存器
地址偏移: 120-123h		属性: R/W	
默认值: 01010101h		大小: 32 位	
位域	名称	访问	描述
25:24	pcie_f0_p3_int_route	R/W	PCIE_F0 控制器 3 中断路由配置寄存器
17:16	pcie_f0_p2_int_route	R/W	PCIE_F0 控制器 2 中断路由配置寄存器
9:8	pcie_f0_p1_int_route	R/W	PCIE_F0 控制器 1 中断路由配置寄存器
1:0	pcie_f0_p0_int_route	R/W	PCIE_F0 控制器 0 中断路由配置寄存器
地址偏移: 124-127h		属性: R/W	
默认值: 01010101h		大小: 32 位	
位域	名称	访问	描述
25:24	pcie_h_p1_int_route	R/W	PCIE_H 控制器 1 中断路由配置寄存器
17:16	pcie_h_p0_int_route	R/W	PCIE_H 控制器 0 中断路由配置寄存器
9:8	pcie_f1_p1_int_route	R/W	PCIE_F1 控制器 1 中断路由配置寄存器
1:0	pcie_f1_p0_int_route	R/W	PCIE_F1 控制器 0 中断路由配置寄存器
地址偏移: 128-12Bh		属性: R/W	
默认值: 01010101h		大小: 32 位	
位域	名称	访问	描述
25:24	pcie_g1_p1_int_route	R/W	PCIE_G1 控制器 1 中断路由配置寄存器
17:16	pcie_g1_p0_int_route	R/W	PCIE_G1 控制器 0 中断路由配置寄存器
9:8	pcie_g0_p1_int_route	R/W	PCIE_G0 控制器 1 中断路由配置寄存器
1:0	pcie_g0_p0_int_route	R/W	PCIE_G0 控制器 0 中断路由配置寄存器

地址偏移: 12C-12Fh 属性: R/W  
默认值: 01010101h 大小: 32 位

位域	名称	访问	描述
25:24	acpi_int_route	R/W	ACPI 中断路由配置寄存器
17:16	toy2_int_route	R/W	TOY2 中断路由配置寄存器
9:8	toy1_int_route	R/W	TOY1 中断路由配置寄存器
1:0	toy0_int_route	R/W	TOY0 中断路由配置寄存器

地址偏移: 130-133h 属性: R/W  
默认值: 01010101h 大小: 32 位

位域	名称	访问	描述
25:24	usb1_ohci_int_route	R/W	USB1 OHCI 控制器中断路由配置寄存器
17:16	usb1_ehci_p2_int_route	R/W	USB1 EHCI 控制器中断路由配置寄存器
9:8	usb0_ohci_int_route	R/W	USB0 OHCI 控制器中断路由配置寄存器
1:0	usb0_ehci_int_route	R/W	USB0 EHCI 控制器中断路由配置寄存器

地址偏移: 134-137h 属性: R/W  
默认值: 01010101h 大小: 32 位

位域	名称	访问	描述
25:24	hpet_int_route	R/W	HPET 中断路由配置寄存器
17:16	rtc2_int_route	R/W	RTC2 中断路由配置寄存器
9:8	rtc1_int_route	R/W	RTC1 中断路由配置寄存器
1:0	rtc0_int_route	R/W	RTC0 中断路由配置寄存器

地址偏移: 138-13Bh 属性: R/W  
默认值: 01010101h 大小: 32 位

位域	名称	访问	描述
25:24	gpio_hi_int_route	R/W	GPIO 高位 (bit[56:4]) 中断路由配置寄存器
17:16	ac97/hda_int_route	R/W	AC97/HDA 控制器中断路由配置寄存器
9:8	ac97_dma1_int_route	R/W	AC97 DMA1 中断路由配置寄存器
1:0	ac97_dma0_int_route	R/W	AC97 DMA0 中断路由配置寄存器

地址偏移: 13C-13Fh 属性: R/W  
默认值: 01010101h 大小: 32 位

位域	名称	访问	描述
25:24	gpio3_int_route	R/W	GPIO3 中断路由配置寄存器
17:16	gpio2_int_route	R/W	GPIO2 中断路由配置寄存器
9:8	gpio1_int_route	R/W	GPIO1 中断路由配置寄存器
1:0	gpio0_int_route	R/W	GPIO0 中断路由配置寄存器

### HT 消息包中断向量配置寄存器

地址偏移: 200-203h 属性: R/W  
默认值: 03020100h 大小: 32 位

位域	名称	访问	描述
31:0	Reserved	R/W	保留

地址偏移: 204-207h 属性: R/W  
默认值: 070605040h 大小: 32 位

位域	名称	访问	描述
31:0	Reserved	R/W	保留

地址偏移: 208-20Bh 属性: R/W  
默认值: 0B0A0908h 大小: 32 位

位域	名称	访问	描述
31:16	Reserved	R/W	保留
15:8	i2c_int_route	R/W	I2C HT 中断向量配置寄存器
7:0	uart_int_route	R/W	UART HT 中断向量配置寄存器

地址偏移: 20C-20Fh 属性: R/W  
默认值: 0E0F0D0Ch 大小: 32 位

位域	名称	访问	描述

31:24	gmac1_pmt_int_route	R/W	GMAC1_PMT HT 中断向量配置寄存器
23:16	gmac1_sbd_int_route	R/W	GMAC1_SBD HT 中断向量配置寄存器
15:8	gmac0_pmt_int_route	R/W	GMAC0_PMT HT 中断向量配置寄存器
7:0	gmac0_sbd_int_route	R/W	GMAC0_SBD HT 中断向量配置寄存器

地址偏移: 210-213h

属性: R/W

默认值: 13121110h

大小: 32 位

位域	名称	访问	描述
31:24	lpc_int_route	R/W	LPC HT 中断向量配置寄存器
23:16	SATA2_int_route	R/W	SATA2 HT 中断向量配置寄存器
15:8	SATA1_int_route	R/W	SATA1 HT 中断向量配置寄存器
7:0	SATA0_int_route	R/W	SATA0 HT 中断向量配置寄存器

地址偏移: 214-217h

属性: R/W

默认值: 17161514h

大小: 32 位

位域	名称	访问	描述
31:0	Reserved	R/W	保留

地址偏移: 218-21Bh

属性: R/W

默认值: 1B1A1918h

大小: 32 位

位域	名称	访问	描述
31:24	pwm3_int_route	R/W	PWM3 HT 中断向量配置寄存器
23:16	pwm2_int_route	R/W	PWM2 HT 中断向量配置寄存器
15:8	pwm1_int_route	R/W	PWM1 HT 中断向量配置寄存器
7:0	pwm0_int_route	R/W	PWM0 HT 中断向量配置寄存器

地址偏移: 21C-21Fh

属性: R/W

默认值: 1E1F1D1Ch

大小: 32 位

位域	名称	访问	描述
31:24	thsens_int_route	R/W	Thsensor HT 中断向量配置寄存器
23:16	gpu_int_route	R/W	GPU HT 中断向量配置寄存器
15:8	gmem_int_route	R/W	GMEM HT 中断向量配置寄存器
7:0	dc_int_route	R/W	DC HT 中断向量配置寄存器

地址偏移: 220-223h

属性: R/W

默认值: 43424140h

大小: 32 位

位域	名称	访问	描述
31:24	pcie_f0_p3_int_route	R/W	PCIE_F0 控制器 3 HT 中断向量配置寄存器
23:16	pcie_f0_p2_int_route	R/W	PCIE_F0 控制器 2 HT 中断向量配置寄存器
15:8	pcie_f0_p1_int_route	R/W	PCIE_F0 控制器 1 HT 中断向量配置寄存器
7:0	pcie_f0_p0_int_route	R/W	PCIE_F0 控制器 0 HT 中断向量配置寄存器

地址偏移: 224-227h

属性: R/W

默认值: 47464544h

大小: 32 位

位域	名称	访问	描述
31:24	pcie_h_p1_int_route	R/W	PCIE_H 控制器 1 HT 中断向量配置寄存器
23:16	pcie_h_p0_int_route	R/W	PCIE_H 控制器 0 HT 中断向量配置寄存器
15:8	pcie_f1_p1_int_route	R/W	PCIE_F1 控制器 1 HT 中断向量配置寄存器
7:0	pcie_f1_p0_int_route	R/W	PCIE_F1 控制器 0 HT 中断向量配置寄存器

地址偏移: 228-22Bh

属性: R/W

默认值: 4B4A4948h

大小: 32 位

位域	名称	访问	描述
31:24	pcie_g1_p1_int_route	R/W	PCIE_G1 控制器 1 HT 中断向量配置寄存器
23:16	pcie_g1_p0_int_route	R/W	PCIE_G1 控制器 0 HT 中断向量配置寄存器
15:8	pcie_g0_p1_int_route	R/W	PCIE_G0 控制器 1 HT 中断向量配置寄存器
7:0	pcie_g0_p0_int_route	R/W	PCIE_G0 控制器 0 HT 中断向量配置寄存器

地址偏移: 22C-22Fh

属性: R/W

默认值: 4F4E4D4Ch

大小: 32 位

位域	名称	访问	描述
31:24	acpi_int_route	R/W	ACPI HT 中断向量配置寄存器
23:16	toy2_int_route	R/W	TOY2 HT 中断向量配置寄存器

15:8	toy1_int_route	R/W	TOY1 HT 中断向量配置寄存器
7:0	toy0_int_route	R/W	TOY0 HT 中断向量配置寄存器

地址偏移: 230-233h 属性: R/W  
默认值: 53525150h 大小: 32 位

位域	名称	访问	描述
31:24	usb1_ohci_int_route	R/W	USB1 OHCI 控制器 HT 中断向量配置寄存器
23:16	usb1_ehci_p2_int_route	R/W	USB1 EHCI 控制器 HT 中断向量配置寄存器
15:8	usb0_ohci_int_route	R/W	USB0 OHCI 控制器 HT 中断向量配置寄存器
7:0	usb0_ehci_int_route	R/W	USB0 EHCI 控制器 HT 中断向量配置寄存器

地址偏移: 234-237h 属性: R/W  
默认值: 57565554h 大小: 32 位

位域	名称	访问	描述
31:24	hpet_int_route	R/W	HPET HT 中断向量配置寄存器
23:16	rtc2_int_route	R/W	RTC2 HT 中断向量配置寄存器
15:8	rtc1_int_route	R/W	RTC1 HT 中断向量配置寄存器
7:0	rtc0_int_route	R/W	RTC0 HT 中断向量配置寄存器

地址偏移: 238-23Bh 属性: R/W  
默认值: 5B5A5958h 大小: 32 位

位域	名称	访问	描述
31:24	gpio_hi_int_route	R/W	GPIO 高位 (bit[56:4]) HT 中断向量配置寄存器
23:16	ac97/hda_int_route	R/W	AC97/HDA 控制器 HT 中断向量配置寄存器
15:8	ac97_dma1_int_route	R/W	AC97 DMA1 HT 中断向量配置寄存器
7:0	ac97_dma0_int_route	R/W	AC97 DMA0 HT 中断向量配置寄存器

地址偏移: 23C-23Fh 属性: R/W  
默认值: 5F5E5D5Ch 大小: 32 位

位域	名称	访问	描述
31:24	gpio3_int_route	R/W	GPIO3 HT 中断向量配置寄存器
23:16	gpio2_int_route	R/W	GPIO2 HT 中断向量配置寄存器
15:8	gpio1_int_route	R/W	GPIO1 HT 中断向量配置寄存器
7:0	gpio0_int_route	R/W	GPIO0 HT 中断向量配置寄存器

### 路由到 INTn0 的中断在服务状态寄存器

地址偏移: 300-303h 属性: RO  
默认值: 00000000h 大小: 32 位

位域	名称	访问	描述
31:0	int_isr_0	R/W	路由到 INTn0 的中断在服务状态寄存器的低 32 位 (bit[31:0])

地址偏移: 304-307h 属性: RO  
默认值: 00000000h 大小: 32 位

位域	名称	访问	描述
31:0	int_isr_0	R/W	路由到 INTn0 的中断在服务状态寄存器的高 32 位 (bit[63:32])

### 路由到 INTn1 的中断在服务状态寄存器

地址偏移: 320-323h 属性: RO  
默认值: 00000000h 大小: 32 位

位域	名称	访问	描述
31:0	int_isr_1	R/W	路由到 INTn1 的中断在服务状态寄存器的低 32 位 (bit[31:0])

地址偏移: 324-327h 属性: RO  
默认值: 00000000h 大小: 32 位

位域	名称	访问	描述
31:0	int_isr_1	R/W	路由到 INTn1 的中断在服务状态寄存器的高 32 位 (bit[63:32])

### 中断请求寄存器

地址偏移：380-383h 属性：RO  
默认值：00000000h 大小：32 位

位域	名称	访问	描述
31:0	int_irr	R/W	中断请求寄存器的低 32 位 (bit[31:0])

地址偏移：384-387h 属性：R/W  
默认值：00000000h 大小：32 位

位域	名称	访问	描述
31:0	int_irr	R/W	中断请求寄存器的高 32 位 (bit[63:32])

### 中断在服务状态寄存器

地址偏移：3A0-3A3h 属性：RO  
默认值：00000000h 大小：32 位

位域	名称	访问	描述
31:0	int_isr	R/W	中断在服务状态寄存器的低 32 位 (bit[31:0])

地址偏移：3A4-3A7h 属性：R/W  
默认值：00000000h 大小：32 位

位域	名称	访问	描述
31:0	int_isr	R/W	中断在服务状态寄存器的高 32 位 (bit[63:32])

### 中断电平触发极性寄存器

地址偏移：3E0-3E3h 属性：R/W  
默认值：00000000h 大小：32 位

位域	名称	访问	描述
31:0	int_polarity	R/W	中断电平触发极性寄存器的低 32 位 (bit[31:0])

地址偏移：3E4-3E7h 属性：R/W  
默认值：00000000h 大小：32 位

位域	名称	访问	描述
31:0	int_polarity	R/W	中断电平触发极性寄存器的高 32 位 (bit[63:32])

## 5.3 设备中断类型

对于桥片来说，AC97 DMA 中断为边沿触发类型，gpio 中断根据需要可以配置成电平触发或者边沿触发，其余中断均为电平触发，且高电平有效。

对于 PCIE 设备，一种方式是使用桥片内部的 PCIE 控制器的中断线传送中断；另一种方式是直接使用 PCIE 设备的 MSI 中断。

在 PCIE MSI 中断方式下，桥片内部的 PCIE 控制器接收到 MSI 中断时，会将它直接转换成 HT 中断消息包发给 HT 控制器。因此，软件需要注意将 PCIE 设备的 MSI 中断向量和桥片内部设备配置的 HT 中断向量区分开来。

## 5.4 中断分发模式

桥片支持双路中断输出，因此可以将不同的中断源或者同一个中断源的多次中断在这两路中断输出之间进行分发。桥片支持中断硬件负载均衡功能，使得中断可以在软件预设的两路输出之间进行分发，分为四种模式：

1. 固定分发模式——按照中断路由配置寄存器配置的路由方式进行分发。在此种模式下，路由配置寄存器必须为 one-hot 编码，也就是说一个中断只能路由给一路中断输出。
2. 轮转分发模式——这种模式下每个新中断产生时，会按照 Route\_Entry 寄存器中路由向量的配置，路由到下一个有效中断输出上。

3. 空闲分发模式——跳转到空闲的中断输出。这种模式下，每个新中断产生时，会按照 Entry 寄存器中路由向量的配置，首先检测下一个中断输出上是否已有未被处理的中断，如果没有，则路由到该中断输出；如果下一个中断输出上已经存在未被处理的中断，则继续检测下一个处理器核。
4. 忙碌分发模式——当前中断输出忙碌则跳转到其左边（0->1->2->3）的候选中断输出上。这种模式下每个新中断产生时，会首先检测上次中断的中断输出上是否已有未被处理的中断，如果没有，则继续中断该中断输出，如果存在未被处理的中断，则按照 Entry 寄存器的配置，路由到下一个中断输出上。

需要注意的是，一旦配置完 AUTO\_CTRL0/1 后不应该在运行中途修改。

建议软件使用固定分发模式。

## 5.5 中断处理过程详细说明

在中断线中断方式下，桥片的中断控制器接收到设备中断后，会根据中断路由配置将对应的中断输出引脚置低，处理器通过中断输入引脚接收到该中断，处理器通过读取桥片中断控制器内对应的 ISR（中断在服务寄存器）寄存器获得当前路由给自己的中断来源。中断处理过程为：

1. 桥片的中断控制器接收到设备中断；（硬件）
2. 桥片的中断控制器将中断输出引脚置低；（硬件）
3. 处理器的中断控制器接收到中断引脚中断；（硬件）
4. 处理器关中断。（软件）
5. 处理器读取自己的中断控制器得知是外部中断；（软件）
6. 处理器读桥片的中断控制器得到中断向量；（软件）
7. 处理器写桥片的中断控制器屏蔽对应的中断源；（软件）
8. 处理器开中断。（软件）
9. 处理器调用中断服务程序处理中断；（软件）
10. 处理器写桥片的中断控制器清除边沿触发的中断；（软件）
11. 处理器写桥片的中断控制器打开对应的中断源。（软件）
12. 处理器中断返回。（软件）

在 HT 消息包中断方式下，桥片的中断控制器和 PCIE 控制器接收到设备中断后，可以直接将中断向量发送到处理器的 HT 控制器，从而避免了处理器查询桥片内部中断向量的过程。中断处理过程为：

1. 桥片的中断控制器接收到设备中断；（硬件）
2. 桥片的中断控制器将中断向量发送给处理器的 HT 控制器；（硬件）
3. 处理器的中断控制器接收到 HT 中断；（硬件）
4. 处理器关中断。（软件）
5. 处理器读自己的中断控制器得知是 HT 中断；（软件）
6. 处理器读自己的 HT 控制器得到中断向量；（软件）
7. 处理器写自己的 HT 控制器清除中断；（软件）
8. 处理器开中断。（软件）
9. 处理器调用中断服务程序处理中断；（软件）
10. 处理器写桥片的中断控制器清除中断（如果是 PCIE 设备发出的 MSI 中断，则不需要）。（软件）
11. 处理器中断返回。（软件）

软件可以配置桥片内部设备对应的 HT 中断向量。

## 6 HPET 控制器

HPET 控制器兼容标准规范。内部包括一个 64 位的主计数器（main counter）以及三个 32 位的定时器（comparator）。在这三个定时器中，定时器 0 同时支持周期性中断（periodic-capable）和非周期性中断，定时器 1 和 2 仅支持非周期性中断。

### 6.1 访问地址

HPET 控制器的地址空间大小为 4KB，起始地址（桥片内部空间）由 BIOS 配置。

HPET 控制器内部寄存器的物理地址构成如下：

地址位	构成	备注
[11:08]	0	保留
[07:00]	REG	内部寄存器地址

注：HPET 控制器只支持 4 字节的访问。软件如果需要使用 HPET 的 64 位主计数器作为时间戳，需要注意处理分两次读取高 32 位和低 32 位数值而引入的数据进位问题。

### 6.2 寄存器描述

表 6-1. HPET 寄存器列表

寄存器偏移地址	描述
000-007h	General Capabilities and ID Register
008-00Fh	Reserved
010-017h	General Configuration Register
018-01Fh	Reserved
020-027h	General Interrupt Status Register
028-0EFh	Reserved
0F0-0F7h	Main Counter Value Register
100-107h	Timer 0 Configuration and Capability Register
108-10Fh	Timer 0 Comparator Value Register
110-11Fh	Reserved
120-127h	Timer 1 Configuration and Capability Register
128-12Fh	Timer 1 Comparator Value Register
130-13Fh	Reserved
140-147h	Timer 2 Configuration and Capability Register
148-14Fh	Timer 2 Comparator Value Register
150-15Fh	Reserved

#### General Capabilities and ID Register

地址偏移：00-07h                      属性：RO  
默认值：见描述                      大小：8

位域	名称	描述	访问
63:32	COUNTER_CLK_PERIOD	主计时器的计时频率，以 fps ( $10^{-15}$ s) 为单位。 默认值：1312D00h（时钟周期为 20ns）。	RO
31:16	VENDOR_ID	生产商 ID。值：0014h	RO
15:14	Reserved	保留	RO
13	COUNT_SIZE_CAP	主计时器的宽度。本芯片为 64 位主计时器。值：1b。 0: 32 bits 1: 64 bits	RO
12:8	NUM_TIM_CAP	定时器个数；这个域的值指示最后一个定时器的编号。本芯片包含 3 个定时器。值：2h。	RO
7:0	REV_ID	版本号；值：02h	RO

### General Configuration Register

地址偏移: 10-17h                      属性: RO, R/W  
默认值: 0h                              大小: 8

位域	名称	描述	访问
63:1	Reserved	保留	RO
0	ENABLE_CNF	HPET 使能控制。 0: 主计时器停止计时且所有的定时器都不再产生中断; 1: 主计时器计时且允许定时器产生中断;	R/W

### General Interrupt Status Register

地址偏移: 20-27h                      属性: RO, R/WC  
默认值: 0h                              大小: 8

位域	名称	描述	访问
63: 3	Reserved	保留	RO
2	T2_INT_STS	定时器 2 中断状态。功能同 TO_INT_STS。	R/WC
1	T1_INT_STS	定时器 1 中断状态。功能同 TO_INT_STS。	R/WC
0	TO_INT_STS	定时器 0 中断状态。 当定时器的中断触发模式是电平触发模式: 这位默认是 0。当对应的定时器发生中断, 那么有硬件将其置 1。一旦被置位, 软件往这位写 1 将会清空这位。往这位写 0, 则无意义。 当定时器的中断触发模式是边沿触发模式: 软件将忽略这位。软件通常往这位写 0。	R/WC

各个定时器的中断触发模式由各自 Configuration and Capability 寄存器的 Tn\_TYPE\_CNF 位确定。

### Main Counter Value Register

地址偏移: F0-F7h                      属性: R/W  
默认值: 0h                              大小: 8

位域	名称	描述	访问
63: 0	Main_Counter	主计时器。只有当主计时器停止计时时, 才允许修改这个寄存器的值。	R/W

### Timer 0 Configuration and Capabilities Register

地址偏移: 100-107h                      属性: RO, R/W  
默认值: 10h                              大小: 8

位域	名称	描述	访问
63:9	Reserved	保留	RO
8	TO_32MODE_CNF	定时器 0 32-bit 模式配置。当定时器为 64 位时, 软件向该位写 1, 把定时器当作 32 位来使用。本版本定时器不支持 64 位, 该位不可写。	RO
7	Reserved	保留	RO
6	TO_VAL_SET_CNF	定时器 0 值设置。只有能产生周期性中断的定时器才会使用这个域。通过对这位写 1, 软件能直接修改周期性定时器的累加器。软件无需对这位清 0。	R/W
5	TO_SIZE_CAP	定时器 0 宽度指示。 0: 32 位宽 1: 64 位宽	RO
4	TO_PER_INT_CAP	定时器 0 周期中断指示。 1: 定时器能产生周期性中断; 0: 定时器不能产生周期性中断;	RO

3	TO_TYPE_CNF	定时器 0 周期中断配置。 如果对应的 TO_PER_INT_CAP 位为 0, 那么这位为只读, 且默认为 0。 若对应的 TO_PER_INT_CAP 位为 1, 那么这位可读可写。 用作使能相应的定时器产生周期性中断。 1: 使能定时器产生周期性中断 0: 使能定时器产生非周期性中断	R/W
2	TO_INT_ENB_CNF	使能定时器 0 产生中断	R/W
1	TO_INT_TYPE_CNF	定时器 0 中断类型配置。 0: 定时器的中断触发模式为边沿触发; 这意味着对应的定时器将产生边沿触发中断。若另外的的中断产生, 那么将产生另外的边沿。 1: 定时器的中断触发模式为电平触发; 这意味着对应的定时器将产生电平触发中断。这个中断将一直有效直到被软件清掉(General Interrupt Status Register)。	R/W
0	Reserved	保留	RO

### Timer 0 Comparator Value Register

地址偏移: 108-10Fh

属性: R/W

默认值: FFFFFFFFh

大小: 8

位域	名称	描述	访问
63: 32	Reserved	保留	RO
31: 0	TO_Com_VAL	定时器 0 比较器的值; 当对应的定时器配置为非周期性模式时: 这个寄存器的值将与主计时器寄存器的值做比较; 若主计时器的值与比较器的值相等时, 则产生定时中断 (如果; 对应的中断使能打开)。 比较器的值不会因为中断的产生而发生变化 若对应的定时器配置为周期性模式时: 当主计时器的值域比较器的值相等时, 产生中断 (如果对应的中断使能被打开); 如果产生中断, 那么比较器的值将累加最后一次软件写入比较器的值。比如当比较器的值被写入 0x0123h, 那么当主计时器的值为 0x123h 时, 产生中断; 比较器的值被硬件修改为 0x246h; 当主计时器的值达到 0x246h 时, 产生另外一个中断; 比较器的值被硬件修改为 0x369h。 只要产生中断, 那么比较器的值都会累加; 直到比较器的值达到最大 (0xffffffff), 那么累加器的值将会继续累加。比如当比较器的值是 FFFF000h, 而最后一次由软件写入比较器的值是 20000。当中断发生后, 比较器的值变为 00010000h。	R/W

### Timer 1 Configuration and Capabilities Register

地址偏移: 120-127h

属性: RO, R/W

默认值: 00h

大小: 8

定时器 1 配置和功能寄存器。同定时器 0。

### Timer 1 Comparator Value Register

地址偏移: 128-12Fh

属性: R/W

默认值: FFFFFFFFh

大小: 8

定时器 1 比较器的值。同定时器 0。

### Timer 2 Configuration and Capabilities Register

地址偏移: 140-147h

属性: RO, R/W



# 7 HT 控制器

桥片 HT 接口最高支持双向 16 位数据宽度及 2.0 GHz 的运行频率。在系统自动初始化建立连接后，用户可以通过修改协议中相应的配置寄存器，实现对宽度和运行频率的更改，并重新进行初始化。

桥片 HT 接口的主要特征如下：

- 支持 HT1.0/3.0 协议
- 支持 200/400/800/1600/2000 MHz 运行频率
- 支持 8/16 位宽度
- 支持双路处理器与桥片直连（每路链接只能工作在 8 位模式）

## 7.1 HT 使用说明

### HT 工作模式

当芯片引脚 HT\_8x2 配置为 0 时，桥片工作在单路模式，此时只有一个处理器通过 HT 总线和桥片直接相连，桥片内部只有一个 HT 控制器（HT lo）处于工作状态，另一个 HT 控制器（HT hi）不可用，用户可以关闭该控制器的时钟以降低功耗（见 4.3 节 HT 时钟使能与 DMA 路由配置）。HT 链路可以工作在 8 位模式，也可以工作在 16 位模式，软件可以配置使用的数据宽度（最大可用宽度同时取决于 PCB 板硬件连接），此时数据链路都由控制器 lo 控制。

当芯片引脚 HT\_8x2 配置为 1 时，桥片工作在双路模式，此时可以有两个处理器通过 HT 总线和桥片直接相连，桥片内部的两个 HT 控制器同时处于工作状态，分别控制数据链路的低 8 位和高 8 位。软件可以通过两个处理器的 HT 总线分别控制这两个 HT 控制器。工作在双路模式时，软件需要配置 HT 的 DMA 路由配置（见 4.3 节 HT 时钟使能与 DMA 路由配置），以将 DMA 访问发送到对应的 HT 控制器。

### HT 地址空间

处理器访问的地址空间描述见第 3 节。

HT 模块内部设置了几个地址窗口用于对 CPU 访问和 DMA 访问进行配置。对于 CPU 访问，桥片作为被访问者，相应的配置窗口称为接收窗口；对于 DMA 访问，桥片作为访问的发起者，相应的窗口称为发送窗口。

接收窗口包括两类：P2P 访问窗口和正常访问窗口。落在 P2P 访问窗口内的访问将作为 P2P 命令直接转发回 HT 总线而不会发给桥片内部设备；落在正常访问窗口内的访问将作为对桥片内部设备的访问发给内部设备。其中，P2P 访问窗口的优先级高于正常访问窗口。对于在这两类接收窗口中都没有命中的访问，则作为 P2P 命令直接转发回 HT 总线。

DMA 访问默认通过 HT 的 non-Post 通道发出去，桥片内部设置了 Post 发送窗口用于将 DMA 访问通过 HT 的 Post 通道发出去。也就是说，在 Post 发送窗口命中的 DMA 访问通过 HT 的 Post 通道发给 HT 总线，不在 Post 发送窗口命中的 DMA 访问通过 HT 的 non-Post 通道发给 HT 总线。一般情况下，不应该使能 Post 发送窗口，所有的 DMA 访问都应该通过 HT 的 non-Post 通道发出去。

## 7.2 HT 配置寄存器

表 7-1. HT 配置寄存器



默认值： 2000h

大小： 16 位

位域	名称	访问	描述
15:14	Reserved	RO	保留
13	LDTSTOP# Tristate Enable	R/W	当 HT 总线进入 HT Disconnect 状态时, 是否关闭 HT PHY。0: 不关闭; 1: 关闭。
12:10	Reserved	RO	保留
9	CRC Error (hi)	R/W	高 8 位发生 CRC 错
8	CRC Error (lo)	R/W	低 8 位发生 CRC 错
7	Trans off	R/W	HT PHY 关闭控制。处于 16 位总线工作方式时, 1: 关闭高/低 8 位 HT PHY; 0: 使能低 8 位 HT PHY, 高 8 位 HT PHY 由 bit 0 控制
6	End of Chain	RO	HT 总线末端
5	Init Complete	RO	HT 总线初始化完成
4	Link Fail	RO	连接失败指示
3:2	Reserved	RO	保留
1	CRC Flood Enable	R/W	发生 CRC 错误时, 是否 flood HT 总线
0	Trans off (hi)	R/W	使用 16 位 HT 总线运行 8 位协议时, 高 8 位 PHY 关闭控制。0: 使能高 8 位 HT PHY; 1: 关闭高 8 位 HT PHY。

### LKWDS0-链路数据宽度状态和控制寄存器

地址偏移： 46-47h

属性： R/W, RO

默认值： 0011h 或 0000h

大小： 16 位

位域	名称	访问	描述
15	Reserved	RO	保留
14:12	Link TX Width	R/W	链路发送端宽度。 冷复位后的值为当前连接的最大宽度, 写入此寄存器的值将会在下次热复位或是 HT Disconnect 之后生效。 000b: 8 位; 001b: 16 位。
11	Reserved	RO	保留
10:8	Link RX Width	R/W	链路发送端宽度。 冷复位后的值为当前连接的最大宽度, 写入此寄存器的值将会在下次热复位或是 HT Disconnect 之后生效。 000b: 8 位; 001b: 16 位。
7	TX DW FC	RO	发送端支持双字流控。 0: 不支持; 1: 支持。
6:4	Link TX Max Width	RO	链路发送端最大宽度。 000b: 8 位; 001b: 16 位。
3	RX DW FC	RO	接收端支持双字流控。 0: 不支持; 1: 支持。
2:0	Link RX Max Width	RO	链路接收端最大宽度。 000b: 8 位; 001b: 16 位。

注：当 HT\_8x2 为 0 时, 默认值为 0011h; 当 HT\_8x2 为 1 时, 默认值为 0000h。

### LKFREQCFG0-链路频率配置寄存器

地址偏移： 4C-4Dh

属性： R/W, RO

默认值： 0060h

大小： 32 位

位域	名称	访问	描述
15:14	Reserved	RO	保留
13	Overflow Error	RO	HT 总线包溢出
12	Protocol Error	RO	协议错误，指 HT 总线上收到不可识别的命令
11:8	Link Frequency Control	R/W	HT 总线工作频率配置，配置值与 Link Frequency Capability 的比特位相对应。比如，将该寄存器设置为 4，则代表将 HT 总线频率配置为 600MHz（Link Frequency Capability 的 bit4 代表的频率）。写入该寄存器的值必须是 Link Frequency Capability 寄存器指示的可用的值（对应的比特位等于 1）。写入此寄存器的值后将在下次热复位或是 HT Disconnect 之后生效（当使用软件配置 PLL（0x1F4）时，该位无意义）
7:0	Revision ID	RO	控制器版本号。

地址偏移：4E-4Fh

属性：RO

默认值：0000h

大小：16 位

位域	名称	访问	描述
15:0	Link Frequency Capability	RO	支持的 HT 总线频率，根据外部 PLL 的设置产生不同的值（当使用软件配置 PLL（0x1F4）时，该位无意义）。每个比特位代表一种 HT 总线频率，当该比特位为 1 时表示支持该频率；当该比特位为 0 时表示不支持该频率。各比特位代表的频率如下： bit0: 200MHz bit1: 300MHz bit2: 400MHz bit3: 500MHz bit4: 600MHz bit5: 800MHz bit6: 1.0GHz bit7: 1.2GHz bit8: 1.4GHz bit9: 1.6GHz bit10: 1.8GHz bit11: 2.0GHz bit12: 2.2GHz bit13: 2.4GHz bit14: 2.6GHz bit15: 3.2GHz

## RXWIN——接收地址窗口

接收地址窗口命中的访问才会发给桥片内部设备。接收地址窗口包括以下几个字段：

位域	名称	访问	描述
64:48	WIN_BASE	R/W	窗口基地址
47:32	WIN_MASK	R/W	窗口掩码
31	WIN_EN	R/W	窗口使能
30	WIN_TRANS_EN	R/W	窗口地址转换使能
29:0	WIN_TRANS	R/W	窗口转换后的地址高位，地址的 bit[53:24]

当窗口使能时，地址窗口命中条件为： $(ADDR \& WIN\_MASK) == (WIN\_BASE \& WIN\_MASK)$ 。如果使能了地址转换，则输出地址为： $(ADDR \& \sim WIN\_MASK) | WIN\_TRANS$ ；如果没有使能地址转换，则输出地址为原地址。

注：这里的 ADDR 指地址的高 16 位（bit[39:24]，HT 总线发过来的地址只有 40 位）。

需要说明的是，配置地址窗口寄存器时，MASK 高位应全为 1，低位应全为 0。例如，1111111100000000b,1100000000000000b 都是合法的配置，而

1011111100000000b,1101000000000000b 都是不合法的配置。MASK 中 0 的个数表示了地址窗口的大小。

### RXWIN0-接收窗口寄存器 0

地址偏移: 140-147h 属性: R/W  
默认值: 0000F00080000000h 大小: 64 位

位域	名称	访问	描述
64:48	RXWIN0_BASE	R/W	接收窗口 0 基地址
47:32	RXWIN0_MASK	R/W	接收窗口 0 掩码
31	RXWIN0_EN	R/W	接收窗口 0 使能
30	RXWIN0_TRANS_EN	R/W	接收窗口 0 地址转换使能
29:0	RXWIN0_TRANS	R/W	接收窗口 0 转换后的高位地址, 地址的 bit[53:24]

### RXWIN1-接收窗口寄存器 1

地址偏移: 148-14Fh 属性: R/W  
默认值: FDFCFFF800000000h 大小: 64 位

位域	名称	访问	描述
64:48	RXWIN1_BASE	R/W	接收窗口 1 基地址
47:32	RXWIN1_MASK	R/W	接收窗口 1 掩码
31	RXWIN1_EN	R/W	接收窗口 1 使能
30	RXWIN1_TRANS_EN	R/W	接收窗口 1 地址转换使能
29:0	RXWIN1_TRANS	R/W	接收窗口 1 转换后的高位地址, 地址的 bit[53:24]

### RXWIN2-接收窗口寄存器 2

地址偏移: 150-147h 属性: R/W  
默认值: 0000000000000000h 大小: 64 位

位域	名称	访问	描述
64:48	RXWIN2_BASE	R/W	接收窗口 2 基地址
47:32	RXWIN2_MASK	R/W	接收窗口 2 掩码
31	RXWIN2_EN	R/W	接收窗口 2 使能
30	RXWIN2_TRANS_EN	R/W	接收窗口 2 地址转换使能
29:0	RXWIN2_TRANS	R/W	接收窗口 2 转换后的高位地址, 地址的 bit[53:24]

### RXWIN3-接收窗口寄存器 3

地址偏移: 158-14Fh 属性: R/W  
默认值: 0000000000000000h 大小: 64 位

位域	名称	访问	描述
64:48	RXWIN3_BASE	R/W	接收窗口 3 基地址
47:32	RXWIN3_MASK	R/W	接收窗口 3 掩码
31	RXWIN3_EN	R/W	接收窗口 3 使能
30	RXWIN3_TRANS_EN	R/W	接收窗口 3 地址转换使能
29:0	RXWIN3_TRANS	R/W	接收窗口 3 转换后的高位地址, 地址的 bit[53:24]

### RXWIN4-接收窗口寄存器 4

地址偏移: 160-147h 属性: R/W  
默认值: 0000000000000000h 大小: 64 位

位域	名称	访问	描述
64:48	RXWIN4_BASE	R/W	接收窗口 4 基地址
47:32	RXWIN4_MASK	R/W	接收窗口 4 掩码
31	RXWIN4_EN	R/W	接收窗口 4 使能
30	RXWIN4_TRANS_EN	R/W	接收窗口 4 地址转换使能

29:0	RXWIN4_TRANS	R/W	接收窗口 4 转换后的高位地址，地址的 bit[53:24]
------	--------------	-----	--------------------------------

### TXPOSTWIN——快速发送窗口

快速发送窗口命中的访问会直接给出响应，从而加快请求发起者的请求速度。快速发送窗口包括以下几个字段：

位域	名称	访问	描述
64:48	WIN_BASE	R/W	窗口基地址
47:32	WIN_MASK	R/W	窗口掩码
31	WIN_EN	R/W	窗口使能
30:0	Reserved	RO	保留

当窗口使能时，地址窗口命中条件为： $(ADDR \& WIN\_MASK) == (WIN\_BASE \& WIN\_MASK)$ 。

注：这里的 ADDR 指地址的高 16 位（bit[39:24]，发给 HT 总线的地址只有 40 位）。

需要说明的是，配置地址窗口寄存器时，MASK 高位应全为 1，低位应全为 0。例如，1111111100000000b,1100000000000000b 都是合法的配置，而 1011111100000000b,1101000000000000b 都是不合法的配置。MASK 中 0 的个数表示了地址窗口的大小。

### TXPOSTWIN0-快速发送窗口寄存器 0

地址偏移：170-177h 属性：R/W，RO  
默认值：0000000000000000h 大小：64 位

位域	名称	访问	描述
64:48	TXPOSTWIN0_BASE	R/W	快速发送窗口 0 基地址
47:32	TXPOSTWIN0_MASK	R/W	快速发送窗口 0 掩码
31	TXPOSTWIN0_EN	R/W	快速发送窗口 0 使能
30:0	Reserved	RO	保留

### TXPOSTWIN1-快速发送窗口寄存器 1

地址偏移：178-17Fh 属性：R/W，RO  
默认值：0000000000000000h 大小：64 位

位域	名称	访问	描述
64:48	TXPOSTWIN1_BASE	R/W	快速发送窗口 1 基地址
47:32	TXPOSTWIN1_MASK	R/W	快速发送窗口 1 掩码
31	TXPOSTWIN1_EN	R/W	快速发送窗口 1 使能
30:0	Reserved	RO	保留

### RXP2PWIN——P2P 接收窗口

P2P 接收窗口命中的访问会直接作为 P2P 命令发送回 HT 总线。P2P 接收窗口的优先级高于普通接收窗口。P2P 接收窗口包括以下几个字段：

位域	名称	访问	描述
64:48	WIN_BASE	R/W	窗口基地址
47:32	WIN_MASK	R/W	窗口掩码
31	WIN_EN	R/W	窗口使能
30:0	Reserved	RO	保留

当窗口使能时，地址窗口命中条件为： $(ADDR \& WIN\_MASK) == (WIN\_BASE \& WIN\_MASK)$ 。

注：这里的 ADDR 指地址的高 16 位（bit[39:24]，发给 HT 总线的地址只有 40 位）。

需要说明的是，配置地址窗口寄存器时，MASK 高位应全为 1，低位应全为 0。例如，1111111100000000b,1100000000000000b 都是合法的配置，而

101111110000000b,110100000000000b 都是不合法的配置。MASK 中 0 的个数表示了地址窗口的大小。

### RXP2PWIN0-P2P 接收窗口寄存器 0

地址偏移: 180-187h 属性: R/W, RO  
默认值: 000000000000000h 大小: 64 位

位域	名称	访问	描述
64:48	RXP2PWIN0_BASE	R/W	P2P 接收窗口 0 基地址
47:32	RXP2PWIN0_MASK	R/W	P2P 接收窗口 0 掩码
31	RXP2PWIN0_EN	R/W	P2P 接收窗口 0 使能
30:0	Reserved	RO	保留

### RXP2PWIN1-P2P 接收窗口寄存器 1

地址偏移: 188-18Fh 属性: R/W, RO  
默认值: 000000000000000h 大小: 64 位

位域	名称	访问	描述
64:48	RXP2PWIN1_BASE	R/W	P2P 接收窗口 1 基地址
47:32	RXP2PWIN1_MASK	R/W	P2P 接收窗口 1 掩码
31	RXP2PWIN1_EN	R/W	P2P 接收窗口 1 使能
30:0	Reserved	RO	保留

### HTPLLCTRL-HT PLL 控制寄存器

该寄存器用来使能软件配置 HT 的 PLL, 用来修改 HT PHY 和控制器的频率。

地址偏移: 1F4-1F7h 属性: R/W, RO  
默认值: 0000000h 大小: 32 位

位域	名称	访问	描述
31:26	Reserved	R/W	保留
25:22	pll_div_phy_lo	R/W	PHY 低位输出分频
21:18	pll_div_phy_hi	R/W	PHY 高位输出分频
17:16	pll_div_refc	R/W	HT PLL 输入分频
15:9	pll_loopc	R/W	HT PLL 倍频乘数
8:5	pll_div_ctrl	R/W	控制器输出分频
4	Reserved	RO	保留
3	pll locked	RO	PLL 锁定
2	Controller bypass	R/W	控制器时钟 bypass 模式
1	pll config enable	R/W	PLL 配置使能 0: 禁用 PLL 配置 1: 使能 PLL 配置
0	Reserved	RO	保留

## 8 MISC 低速设备

MISC 低速设备包括：UART、I2C、PWM、ACPI、RTC 和 GPIO。这些设备的运行频率固定为 50MHz。

### 8.1 MISC 低速设备配置寄存器

MISC 低速设备块的地址空间大小为 512KB，起始地址（桥片内部空间）由 BIOS 配置。

### 8.2 内部设备地址路由

MISC 低速设备块内部多个设备由地址位的 bit[18:16]进行区分，不同的设备只支持特定类型的访问。设备路由及支持的访问类型见表 7-2。

表 7-2. MISC 低速设备地址路由及访问类型

bit[18:16]	0	1	2	5	6
设备	UART	I2C	PWM	ACPI/RTC	GPIO
访问类型	B	B	W	W	B

对于 UART、I2C、PWM、ACPI/RTC 来说，由于包含多个控制器，它们需要进一步的路由。这些设备块的内部路由见表 7-3。不同的设备块需要的路由地址位数是不同的。

表 7-3. MISC 低速设备地址路由

	0	1	2	3	4	5
UART (bit[9:8])	UART0	UART1	UART2	UART3	-	-
I2C (bit[10:8])	I2C0	I2C1	I2C2	I2C3	I2C4	I2C5
PWM (bit[9:8])	PWM0	PWM1	PWM2	PWM3	-	-
ACPI/RTC (bit[8])	ACPI	RTC	-	-	-	-

后续章节将分别对这些低速设备进行介绍。

## 9 UART 控制器

桥片集成的 UART 控制器遵守 RS232 标准，控制器在设计上兼容 16550A。UART 控制器的内部时钟频率为 50MHz。UART 总线支持的最高波特率为 460800。

桥片集成了 4 个 UART 控制器，统一安排在一个 UART 模块内。其中，UART1、UART2、UART3 只能工作在两线 UART 模式，UART0 可以工作在全功能 UART 模式，也可以工作在两线 UART 模式。UART 引脚的工作模式见表 9-1。此外，UART 还可复用为 GPIO 功能，部分 UART 引脚可以复用为 I2C 功能。与 UART 相关的引脚复用配置寄存器见第 4.4 节。

表 9-1. UART 功能复用

UART_TXD/RXD	UART_RTS/CTS	UART_DTR/DSR	UART_RI/DCD
UART0			
UART0	UART1	UART2	UART3

### 9.1 访问地址

UART 控制器的访问基地址为 MISC 低速设备块的基地址加偏移 0x0。

**注意：**UART 模块仅支持按字节访问。

4 个 UART 控制器由 bit[9:8]区分，UART 模块内部物理地址划分见表 9-2。

表 9-2. UART 模块物理地址构成

地址位	构成	备注
[15:10]	0	保留
[09:08]	UART 号	0x0 - 0x3，分别表示各个 UART 控制器
[07:00]	REG	内部寄存器地址

### 9.2 寄存器描述

#### 数据寄存器（DAT）

偏移量：0x00      复位值：0x00

位域	位域名称	位宽	访问	描述
7:0	Tx FIFO	8	W	数据传输寄存器

#### 中断使能寄存器（IER）

偏移量：0x01      复位值：0x00

位域	位域名称	位宽	访问	描述
7:4	Reserved	4	R/W	保留
3	IME	1	R/W	Modem 状态中断使能 0: 关闭 1: 打开
2	ILE	1	R/W	接收器线路状态中断使能 0: 关闭 1: 打开
1	ITxE	1	R/W	传输保存寄存器为空中断使能 0: 关闭 1: 打开
0	IRxE	1	R/W	接收有效数据中断使能 0: 关闭 1: 打开

### 中断标识寄存器 (IIR)

偏移量: 0x02      复位值: 0xc1

位域	位域名称	位宽	访问	描述
7:4	Reserved	4	R	保留
3:1	II	3	R	中断源表示位, 详见下表
0	INTp	1	R	中断表示位

### 中断控制功能表:

Bit 3	Bit 2	Bit 1	优先级	中断类型	中断源	中断复位控制
0	1	1	1st	接收线路状态	奇偶、溢出或帧错误, 或打断中断	读 LSR
0	1	0	2nd	接收到有效数据	FIFO 的字符个数达到 trigger 的水平	FIFO 的字符个数低于 trigger 的值
1	1	0	2nd	接收超时	在 FIFO 至少有一个字符, 但在 4 个字符时间内没有任何操作, 包括读和写操作	读接收 FIFO
0	0	1	3rd	传输保存寄存器为空	传输保存寄存器为空	写数据到 THR 或者多 IIR
0	0	0	4th	Modem 状态	CTS, DSR, RI or DCD.	读 MSR

### FIFO 控制寄存器 (FCR)

偏移量: 0x02      复位值: 0xc0

位域	位域名称	位宽	访问	描述
7:6	TL	2	W	接收 FIFO 提出中断申请的 trigger 值 00b: 1 字节 01b: 4 字节 10b: 8 字节 11b: 14 字节
5:3	Reserved	3	W	保留
2	Txset	1	W	清除发送 FIFO 的内容, 复位其逻辑
1	Rxset	1	W	清除接收 FIFO 的内容, 复位其逻辑
0	Reserved	1	W	保留

### 线路控制寄存器 (LCR)

偏移量: 0x03      复位值: 0x03

位域	位域名称	位宽	访问	描述
7	dlab	1	R/W	分频锁存器访问位 1: 访问操作分频锁存器。 0: 访问操作正常寄存器。
6	bcb	1	R/W	打断控制位 1: 此时串口的输出被置为 0 (打断状态)。 0: 正常操作。
5	spb	1	R/W	指定奇偶校验位 0: 不用指定奇偶校验位。 1: 如果 LCR[4]位是 1, 则传输和检查奇偶校验位为 0; 如果 LCR[4]位是 0, 则传输和检查奇偶校验位为 1。
4	eps	1	R/W	奇偶校验位选择 0: 在每个字符中有奇数个 1 (包括数据和奇偶校验位)。 1: 在每个字符中有偶数个 1。
3	pe	1	R/W	奇偶校验位使能 0: 没有奇偶校验位。 1: 在输出时生成奇偶校验位, 输入则判断奇偶校验位。

2	sb	1	R/W	定义生成停止位的位数 0: 1 个停止位。 1: 在 5 位字符长度时是 1.5 个停止位, 其他长度是 2 个停止位。
1:0	bec	2	R/W	设定每个字符的位数 00b: 5 位。 01b: 6 位。 10b: 7 位。 11b: 8 位。

### MODEM 控制寄存器 (MCR)

偏移量: 0x04      复位值: 0x00

位域	位域名称	位宽	访问	描述
7:5	Reserved	3	W	保留
4	Loop	1	W	回环模式控制位 0: 正常操作。 1: 回环模式。 在回环模式中, TXD 输出一直为 1, 输出移位寄存器直接连到输入移位寄存器中。其他连接如下: DTR - DSR RTS - CTS Out1 - RI Out2 - DCD
3	OUT2	1	W	在回环模式中连到 DCD 输入
2	OUT1	1	W	在回环模式中连到 RI 输入
1	RTSC	1	W	RTS 信号控制位
0	DTRC	1	W	DTR 信号控制位

### 线路状态寄存器 (LSR)

偏移量: 0x05      复位值: 0x00

位域	位域名称	位宽	访问	描述
7	ERROR	1	R	错误表示位 0: 没有错误。 1: 至少有奇偶校验位错误, 帧错误或打断中断的一个。
6	TE	1	R	传输为空表示位 0: 有数据。 1: 传输 FIFO 和传输移位寄存器都为空。给传输 FIFO 写数据时清零。
5	TFE	1	R	传输 FIFO 位空表示位 0: 有数据。 1: 当前传输 FIFO 为空, 给传输 FIFO 写数据时清零。
4	BI	1	R	打断中断表示位 0: 没有打断。 1: 接收到 起始位+数据+奇偶位+停止位都是 0, 即有打断中断。
3	FE	1	R	帧错误表示位 0: 没有错误。 1: 接收的数据没有停止位。
2	PE	1	R	奇偶校验位错误表示位 0: 没有奇偶错误。 1: 当前接收数据有奇偶错误。
1	OE	1	R	数据溢出表示位 0: 无溢出。 1: 有数据溢出。

0	DR	1	R	接收数据有效表示位 0: 在 FIFO 中无数据。 1: 在 FIFO 中有数据。
---	----	---	---	---

对这个寄存器进行读操作时, LSR[4:1]和 LSR[7]被清零, LSR[6:5]在给传输 FIFO 写数据时清零, LSR[0]则对接收 FIFO 进行判断。

### MODEM 状态寄存器 (MSR)

偏移量: 0x06          复位值: 0x00

位域	位域名称	位宽	访问	描述
7	CDCD	1	R	DCD 输入值的反, 或者在回环模式中连到 Out2
6	CRI	1	R	RI 输入值的反, 或者在回环模式中连到 OUT1
5	CDSR	1	R	DSR 输入值的反, 或者在回环模式中连到 DTR
4	CCTS	1	R	CTS 输入值的反, 或者在回环模式中连到 RTS
3	DDCD	1	R	DDCD 指示位
2	TERI	1	R	RI 边沿检测。RI 状态从低到高变化
1	DDSR	1	R	DDSR 指示位
0	DCTS	1	R	DCTS 指示位

### 分频锁存器

偏移量: 0x00          复位值: 0x00

位域	位域名称	位宽	访问	描述
7:0	LSB	8	R/W	存放分频锁存器的低 8 位

偏移量: 0x01          复位值: 0x00

位域	位域名称	位宽	访问	描述
7:0	MSB	8	R/W	存放分频锁存器的高 8 位

分频锁存器的值 {MSB,LSB} 的计算方式为:  $50\text{MHz}/16/\text{波特率}$ 。比如, 如果要配置串口波特率为 115200, 则分频锁存器的值 =  $50,000,000/16/115,200 \approx 27$ 。

## 10 I2C 控制器

桥片共集成了 6 个 I2C 控制器，I2C 控制器的运行频率为 50MHz。I2C 总线支持的最高传送速率为 400kbps。

### 10.1 访问地址及引脚复用

I2C 控制器的访问基地址为 MISC 低速设备块的基地址加偏移 0x10000。

**注意：**I2C 模块仅支持按字节访问。

I2C 模块内部寄存器的物理地址构成如下：

地址位	构成	备注
[15:11]	0	保留
[10:8]	I2C 控制器编号	0x0-0x5 分别代表 I2C0-I2C5
[7:3]	0	保留
[2:0]	REG	内部寄存器地址

对于 I2C 模块，使用时要注意将对应的引脚设置为相应的功能。与 I2C 相关的引脚设置见[第 4.4 节](#)。

### 10.2 I2C 控制器寄存器说明

#### 分频锁存器低字节寄存器（PRERlo）

偏移量：0x00      复位值：0xff

位域	位域名称	位宽	访问	描述
7:0	PRERlo	8	R/W	存放分频锁存器的低 8 位

#### 分频锁存器高字节寄存器（PRERhi）

偏移量：0x01      复位值：0xff

位域	位域名称	位宽	访问	描述
7:0	PRERhi	8	R/W	存放分频锁存器的高 8 位

假设分频锁存器的值为 Prescaler，I2C 控制器的频率为 50MHz，如果需要 I2C 总线的时钟频率为 clock\_s，则 Prescaler 应等于： $50M/(5*clock\_s) - 1$ 。

#### 控制寄存器（CTR）

偏移量：0x02      复位值：0x00

位域	位域名称	位宽	访问	描述
7	EN	1	R/W	模块使能位 0: 模块关闭 1: 模块使能
6	IEN	1	R/W	中断使能位 0: 关闭中断 1: 打开中断
5:0	Reserved	6	R/W	保留

#### 发送数据寄存器（TXR）

偏移量：0x03      复位值：0x00

位域	位域名称	位宽	访问	描述
----	------	----	----	----

7:1	DATA[7:1]/ADDR	7	W	当传送数据时，存放将要发送的数据（bit[7:1]）； 当传送地址时，存放 I2C 从设备的地址。
0	DATA[0]/RW	1	W	当传送数据时，存放将要发送的数据（bit[0]）； 当传送地址时，存放读写状态： 0: 写 1: 读

### 接收数据寄存器（RXR）

偏移量：0x03          复位值：0x00

位域	位域名称	位宽	访问	描述
7:0	RXR	8	R	存放接收到的数据

### 命令寄存器（CR）

偏移量：0x04          复位值：0x00

位域	位域名称	位宽	访问	描述
7	STA	1	W	产生 START 信号
6	STO	1	W	产生 STOP 信号
5	RD	1	W	产生读信号
4	WR	1	W	产生写信号
3	ACK	1	W	应答信号的值。 0: 此次传输结束时控制器发送 ack 1: 此次传输结束时控制器不发送 ack
2:1	Reserved	2	W	保留
0	IACK	1	W	中断应答信号。软件向该位写 1，清除中断。

这些位在 I2C 发送数据后硬件自动清零。对这些位读操作时候总是返回0。

### 状态寄存器（SR）

偏移量：0x04          复位值：0x00

位域	位域名称	位宽	访问	描述
7	RxACK	1	R	收到应答位 0: 收到应答位 1: 没收到应答位
6	Busy	1	R	I2C 总线忙标志位 0: 总线空闲 1: 总线忙
5	AL	1	R	当控制器失去 I2C 总线控制权时，该位置 1
4:2	Reserved	3	R	保留
1	TIP	1	R	指示传输的过程 0: 表示数据传输完毕 1: 表示正在传输数据
0	IF	1	R	中断标志位。一个数据传输完，或另外一个器件发起数据传输，该位置 1

# 11 PWM 控制器

桥片桥片里实现了四路脉冲宽度输出/计数控制器，以下简称 PWM。四路 PWM 的工作和控制方式完全相同。每路 PWM 引脚既可作为脉冲输出信号，也可作为脉冲宽度测量输入信号。PWM 控制器的时钟频率为 50MHz，计数寄存器和参考寄存器均为 32 位数据宽度。

## 11.1 访问地址及引脚复用

PWM 控制器的访问基地址为 MISC 低速设备块的基地址加偏移 0x20000。

**注意：**PWM 模块仅支持按 4 字节访问。

PWM 控制器内部寄存器的物理地址构成如下：

地址位	构成	备注
[15:10]	0	保留
[9:8]	PWM 编号	取值 0x0-0x3 分别代表 PWM0-PWM3
[7:4]	0	保留
[3:0]	REG	内部寄存器地址

对于 PWM 模块，使用时要注意将对应的引脚设置为相应的功能。与 PWM 相关的引脚设置见[第 4.4 节](#)。

## 11.2 寄存器描述

每路控制器共有三个寄存器，具体描述如下：

表 11-1. PWM 寄存器列表

名称	地址	宽度	访问	说明
low_buffer	Base + 0x4	32	R/W	低脉冲宽度寄存器
full_buffer	Base + 0x8	32	R/W	脉冲周期宽度寄存器
CTRL	Base + 0xC	11	R/W	控制寄存器

### PWM 控制寄存器设置

位域	名称	访问	复位值	说明
0	EN	R/W	0	PWM 使能位 1: PWM 使能 0: PWM 关闭
2: 1	Reserved	R/W	0	预留
3	OE	R/W	0	引脚脉冲输出使能控制位，低有效。当设置为 1 时，可以将 PWM 用作周期中断产生模块，而不改变 PWM 引脚的值（保持为 0）。 0: 脉冲输出使能 1: 脉冲输出屏蔽
4	SINGLE	R/W	0	单脉冲控制位，非测量模式有效。 1: 脉冲仅产生一次 0: 脉冲持续产生
5	INTE	R/W	0	中断使能位。在非测量模式下，每计量一个脉冲周期，产生一次中断；在测量模式下，当输入的脉冲周期大于 0xFFFF_FFF9 时，产生一次中断。 1: 产生中断 0: 不产生中断

6	INT	R/W	0	中断状态位。向该位写 1，清中断 1: 表示有中断产生; 0: 表示没有中断
7	RST	R/W	0	计数器重置 1: 计数器重置 0: 计数器正常工作
8	CAPTE	R/W	0	测量脉冲使能 1: 测量脉冲模式 0: 非测量脉冲模式（一般而言则是脉冲输出模式）
9	INVERT	R/W	0	输出翻转使能，非测量模式有效。 1: 使脉冲在输出发生信号翻转（周期以高电平开始） 0: 使脉冲保持原始输出（周期以低电平开始）
10	DZONE	R/W	0	防死区功能使能，非测量模式有效。 1: 该 PWM 启用防死区功能 0: 该 PWM 不启用防死区功能

## 11.3 功能说明

### 11.3.1 脉宽调制功能

low\_buffer 和 full\_buffer 寄存器用来分别配置 PWM 输出的周期信号的低电平和总周期的长度，单位为 PWM 模块的时钟周期（20ns）。例如：如果要产生宽度为 PWM 模块时钟周期 50 倍的低脉宽和 90 倍的高脉宽，应该在 low\_buffer 中配置值 50，在 full\_buffer 中配置值 (50+90)=140。

脉冲宽度寄存器的数值写入应当先于 CTRL 控制寄存器。在向脉冲宽度寄存器写入新数前，应先将控制寄存器 EN 位清零，在写入新数之后再 EN 位置 1。

如果对两个缓冲寄存器都写 0，则一直输出为低电平；如果对 low\_buffer 写 0，对 full\_buffer 写 1，则一直输出高电平；如果写入 Low\_buffer 的值不小于 full\_buffer 的值，则输出低电平。

### 11.3.2 脉冲测量功能

将待测脉冲信号连在 PWM 输入接口上，在设置完 CTRL 控制寄存器后，PWM 不断采样输入的信号电平，当检测到输入脉冲信号下跳变时，内部计数器从 1 开始计数，当检测到上跳变时，将计数器的值移入 low\_buffer 寄存器，并继续累加，当再次检测到下跳变时，将计数器的值移入 full\_buffer 寄存器。例如：如果输入脉冲为系统时钟 50 倍的低脉宽和 90 倍的高脉宽，在 low\_buffer 中最终读出的值为 50，在 full\_buffer 寄存器中读出的值为(50+90)=140。

应当注意：待测脉冲应当是周期信号，且脉冲周期不应超出 32 位计数器能计量的范围。若出现持续的脉冲周期超过 0xFFFF\_FFF9 的脉冲，控制寄存器 INT 位会被置 1，表示待测脉冲超出了计量范围。

### 11.3.3 防死区功能

多路 PWM 之间配备了防死区功能，可以防止多路脉冲输出同时发生跳变。如果要使用防死区功能，则防死区功能的多路 PWM 编号必须从 0 开始，且是连续的，而且它们的防死区功能必须全部开启。也就是说，使用防死区功能时，必须使用 PWM0/1、PWM0/1/2 和 PWM0/1/2/3 中的一种。

对于 PWM\_0、PWM\_1、PWM\_2、PWM\_3，它们的优先级为 0>1>2>3，如果它们同时产生跳变，在 PWM\_0 跳变之后 PWM\_1 才能跳变（低优先级的信号被“抹去”一个时钟周期），依此类推。该优先级是固定的，不可更改。

一个典型的防死区示例如下（PWM\_\*为未开防死区的输出，PWM\_\*\*为打开防死区后的输出）：

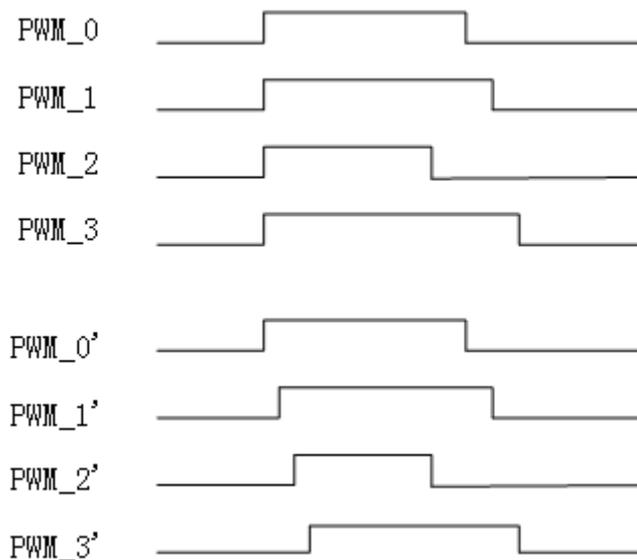


图 11-1. 防死区功能

## 12 电源管理模块 (ACPI)

桥片电源管理模块提供系统功耗管理功能。支持 Advanced Configuration and Power Interface, Version 4.0a(ACPI), 提供相应的功耗管理功能。

- 系统休眠与唤醒, 支持ACPI S3 (待机到内存), ACPI S4 (待机到硬盘), ACPI S5 (软关机), 并且支持电源失效检测和自动系统恢复。支持多种唤醒方式 (USB, GMAC, 电源开关等)。
- 系统时钟控制, 模块时钟门控, 多种方式调节频率。
- 集成一个看门狗。最大定时时间约82 s。

### 12.1 访问地址

电源管理模块的访问基地址为 MISC 低速设备块的基地址加偏移 0x50000。

**注意:** ACPI 模块仅支持按 4 字节访问。

ACPI 模块的内部寄存器物理地址构成如下:

地址位	构成	备注
[15:8]	0	保留
[7:0]	REG	内部寄存器地址

### 12.2 电源级别

表 12-1. ACPI 状态说明

状态	描述
G0/S0	全部工作, 该模式下系统全部工作。
G1/S1	暂不支持
G1/S3	Suspend to RAM(STR), 上下文保存到内存
G1/S4	Suspend to Disk(STD), 保存到硬盘, 除唤醒电路全部掉电
G2/S5	Soft off, 只有唤醒电路上电
G3	Mechanical off, 所有供电失效

### 12.3 寄存器描述

本节介绍电源管理相关寄存器。寄存器电压域表示寄存器的该位所属电压域。

#### PMCON\_SOC : SOC General PM Configuration Register

地址偏移	电压域	属性
0x00	SOC	R/W, RO
位域	描述	
25	<b>PWRBTN_LVL - RO</b> 该位指示当前 PWRBTNn 信号状态。	
24	<b>PWRTYP - RO</b> 该位指示供电模式 1: AC (适配器) 0: Battery (电池)	
23:0	保留	

#### PMCON\_RESUME : RESUME General PM Configuration Register

地址偏移	电压域	属性
0x04	RESUME	R/W, RO, R/WC
位域	描述	
31:14	保留	
13	<b>VSb_GATEn_EN - R/W</b> 是否使能 VSb_GATEn 功能。0: 关闭; 1: 使能。 如果 RSMRSTn 有效过, 该位为 1。重新上电后由系统配置该位。如果主板使用 VSb_GATEn 引脚作为电源管理控制信号, 系统软件必须将该位写 1。	
12:11	<b>VSb_GATEn_DLY - R/W</b> 用来控制 S0 到 S3 以及 S3 到 S0 时, VSb_GATEn 信号相对 S3n 的持续时间 (休眠时提前的时间, 唤醒时延后的时间)。 2'b00: 休眠时提前 31.25ms, 唤醒时延后 125ms; 2'b01: 休眠时提前 62.5ms, 唤醒时延后 250ms; 2'b10: 休眠时提前 125ms, 唤醒时延后 500ms; 2'b11: 休眠时提前 250ms, 唤醒时延后 1s; 如果 RSMRSTn 有效过, 该字段为 2'b0。重新上电后由系统配置该字段。	
10:8	保留	
7	<b>USB_GMAC_OK - R/W</b> 如果 RSMRSTn 有效过, 该位为 0, 表示 USB 和 GMAC 没有配置, 不能唤醒系统。重新上电后由系统配置该位。	
6	<b>CTT_STS - R/WC</b> 系统在 S0 状态时发生 temperature trip, 系统进入 G2/S5 状态, 该位为重新上电后系统检测记录事件状态	
5	<b>CTT_EN - R/W</b> 使能 temperature trip 保护机制	
4	<b>LID_OPEN - RO</b> 显示屏状态检测位 1: 显示屏打开 0: 显示屏合上	
3	保留	
2	<b>SRS (System Reset Status) - R/WC</b> 0: SYS_RESEtN 没有被按下 1: SYS_RESEtN 被按下过, 系统重新复位后需检查此位并作出相应清除操作。	
1	<b>PWROK_FLR (PWROK Failure) - R/WC</b> 当系统在 S0 状态时, PWROK 信号变无效该位置 1, 软件通过写 1 将该位清除。	
0	<b>DRAM_INIT - R/W</b> 该位不影响硬件功能, PMON 在进行 DRAM 初始化前将该位置 1, 结束 DRAM 初始化后将该位写 0, 软件可通过此位检查 DRAM 初始化是否被打断过。	

**PMCON\_RTC : RTC General PM Configuration Register**

地址偏移	电压域	属性
0x08	RTC	R/W, R/WC
位域	描述	
31:9	保留	
8	<b>WOL_EN - R/W</b> 控制系统在低功耗状态时, SLPLANn 信号的是否有效; 当系统在工作状态时, SLPLANn 保持为高。 0: SLPLANn 无效; 1: 如果系统由电源供电, 将 SLPLANn 拉低; 如果系统由电池供电, 由 WOL_BAT_EN 决定是否将 SLPLANn 拉低;	
7	<b>WOL_BAT_EN - R/W</b>	

	当系统进入低功耗状态且使用电池供电且 WOL_EN 为高时： 0: SLPLANn 无效； 1: SLPLANn 拉低；
6:5	<b>S3_ASSERTION_WIDTH - R/W</b> 这 2 bit 值代表 S3n 信号从有效到重新无效的最小时间间隔。 11: 1s 10: 125ms 01: 1ms 00: 60us
4:3	<b>S4_ASSERTION_WIDTH - R/W</b> 这 2 bit 值代表 S4n 信号从有效到重新无效的最小时间间隔。 11: 4 s 10: 2 s 01: 1 s 00: 125 us
2	<b>S4_ASSERTION_EN - R/W</b> 0: S4n 信号从有效到重新无效的间隔为几个 RTC 周期。 1: S4n 信号从有效到重新无效的间隔为 S4_ASSERTION_WIDTH 决定。
1	<b>PWR_FLR (Power Failure) - R/WC.</b> 该位在 RTC 域，只能被 RTC_RSTn 复位。 如果置 1 表示系统发生过电源失效（进入 G3 状态），即除 RTC 以外所有供电失效过（RSMRSTn 有效过），软件通过写 1 将该位清除。
0	<b>AFTERG3_EN - R/W</b> 该位决定系统进入 G3 状态后重新供电后的动作。 0: 系统在供电恢复后将自动回复到 S0 状态。 1: 系统将恢复到 S5 状态，如果发生电源失效时系统在 S4 状态，重新供电后系统恢复到 S4 状态。 该位会被 power button override 和 thermal trip 事件置 1。

**PM1\_STS : Power Management 1 Status Register**

地址偏移		电压域	属性
0x0C		RESUME/RTC/SOC	R/WC
位域	描述		电压域
31:16	Reserved		
15	<b>WAK_STS (Wake Status) - R/WC</b> 0: 软件写 1 将该位清除。 1: 如果系统从任何一个休眠状态被唤醒事件唤醒，硬件将该位置 1。		Resume
14	<b>PCIEXP_WAKE_STS - R/WC.</b> 1: PCIE 唤醒事件发生 0: 软件写 1 将该位清除		Resume
13:12	Reserved		
11	<b>PRBTNOR_STS (Power Button Override Status) - R/WC</b> 0: 软件写 1 将该位清除 1: 当 power button override 发生时，该位置 1，系统无条件进入 G2/S5 状态，同时将 AFTERG3_EN 位置 1。		RTC
10	<b>RTC_STS (RTC Status) - R/WC</b> 0: 软件写 1 将该位清除 1: 当 RTC 产生 alarm 时该位置 1。此外当 RTC_EN 有效时，该位产生唤醒事件。		Resume
9	Reserved		
8	<b>PWRBTN_STS (Power Button Status) - R/WC</b>		Resume

	0: 软件写 1 将该位清除。Thermal trip 会清除该位。 1: 当按下 PWRBTNn 保持 16ms 以上 (4s 以下) 时, 该位会置 1。 在 S0 状态时, 当 PWRBTN_EN 和 PWRBTN_STS 同时有效时, 将产生中断。 在 S3-S5 任何休眠状态时, 如果 PWRBTN_STS 置位, 系统将恢复。	
7:1	保留	
0	<b>TMROF_STS (PM Timer Overflow Status) - R/W</b> 0: 软件写 1 将该位清除 1: 当 24bit 计数器 (一个时钟周期 20ns) 的最高位翻转时, 该位置 1。 记时功能推荐使用 HPET 完成。	SOC

### PM1\_EN : Power Management 1 Enable Register

地址偏移	电压域	属性
0x10	RESUME/RTC/SOC	R/W
位域	描述	电压域
31:15	保留	
14	<b>PCIEXP_WAKE_DIS - R/W</b> 当置位时, 不产生 PCIE 唤醒事件, 但是该位的值不影响 PCIEXP_WAKE_STS 的值。	resume
13:11	保留	
10	<b>RTC_EN (RTC Event Enable) - R/W</b> RTC 唤醒和中断使能	rtc
9	保留	
8	<b>PWRBTN_EN (Power Button Enable) - R/W.</b> PWRBTN 中断事件产生使能, 该位不影响 PWRBTN 唤醒事件产生。	resume
7:1	保留	
0	<b>TMROF_EN (PM Timer Overflow Enable) - R/W.</b> 如果该位置位, TMROF_STS 将产生中断。	SOC

### PM1\_CNT : Power Management 1 Control Register

地址偏移	电压域	属性
0x14	RESUME/RTC/SOC	R/W
位域	描述	电压域
31:14	保留	
13	<b>SLP_EN (Sleep Enable) - R/W.</b> 该位写 1 将会使系统进入 SLP_TYP 声明的休眠状态, 进入相关休眠状态后该位自动恢复为 0。	resume
12:10	<b>SLP_TYP (Sleep Type) - R/W.</b> 该 3bit 表示系统的休眠状态。 000: 表示 S0 状态。 001: Reserved. 010: Reserved. 011: Reserved. 100: Reserved. 101: Suspend-to-RAM. S3n 信号有效, 进入 S3 状态。 110: Suspend-to-Disk. S3n, S4n 信号有效, 进入 S4 状态。 111: Soft Off. S3n, S4n, S5n 信号有效, 进入 S5 状态。	rtc
9:1	Reserved	
0	<b>INT_EN - R/W</b> 中断使能开关, 使能电源管理控制器中断信号的产生。	SOC

**PM1\_TMR : Power Management 1 Timer**

地址偏移	电压域	属性
0x18	SOC	RO
位域	描述	
31:24	保留	
23:0	<b>TMR_VAL (Timer Value) - RO.</b> 计数器计数, 周期 8ns。当 23 位翻转时, 置位 TNROF_STS 位。 推荐使用 HPET。	

**GPE0\_STS : General Purpose Event0 Status Register**

地址偏移	电压域	属性
0x28	RESUME	R/WC
位域	描述	
31:16	保留	
15:10	<b>USB[5:0]_STS - R/WC.</b> 只有第 10 位有意义, 15:11 位暂无意义。 0: 软件写 1 将该位清除。 1: 当 USB 发生 wake 事件时这些位被置位, 当 USBx_EN 位有效时, 产生唤醒事件或中断。	
9	保留	
8	<b>RI_STS - R/WC.</b> 0: 软件写 1 将该位清除。 1: 当 Rin 信号有效时被置位。	
7	<b>BATLOW_STS - R/WC.</b> 0: 软件写 1 将该位清除。 1: 当 BATLOWn 信号有效时被置位; 如果 BATLOW_EN 有效, BATLOW_STS 置位时将产生中断。该位不产生唤醒事件。	
6	<b>GMAC1_STS - R/WC.</b> 0: 软件写 1 将该位清除。 1: 当 GMAC1 发生 wake 事件时这些位被置位, 当 GMAC1_EN 位有效时, 产生唤醒事件或中断。	
5	<b>GMAC0_STS - R/WC.</b> 0: 软件写 1 将该位清除。 1: 当 GMAC0 发生 wake 事件时这些位被置位, 当 GMAC0_EN 位有效时, 产生唤醒事件或中断。	
4	<b>LID_STS - R/WC.</b> 0: 软件写 1 将该位清除。 1: 当 LID_EN 位有效时, 产生唤醒事件。	
3	<b>CTW_STS - R/WC.</b> thermal warning 发生	
2	<b>CTA_STS - R/WC.</b> thermal alert 发生	
1	<b>PWRSWITCH_STS - R/WC.</b> 供电状态发生变化, PWRTYP 变化。该位会产生中断。	
0	保留	

**GPE0\_EN : General Purpose Event0 Status Register**

地址偏移	电压域	属性
0x2C	RESUME/RTC	R/W
位域	描述	电压域

31:16	保留	
15:10	<b>USB[5:0]_EN - R/W.</b> 0: 无效 1: 使能 USBx_STS 产生唤醒事件, 当回到 S0 将产生中断信号。	
9	保留	
8	<b>RI_EN - R/W.</b> 0: 无效 1: 使能 RI <sub>n</sub> _STS 产生唤醒事件, 当回到 S0 将产生中断信号。	RTC
7	<b>BATLOW_EN - R/W.</b> 0: 无效 1: 使能 BATLOW <sub>n</sub> 产生中断事件。	RTC
6	<b>GMAC1_EN - R/W.</b> 0: 无效 1: 使能 GMAC1_STS 产生唤醒事件, 当回到 S0 将产生中断信号。	RTC
5	<b>GMAC0_EN - R/W.</b> 0: 无效 1: 使能 GMAC0_STS 产生唤醒事件, 当回到 S0 将产生中断信号。	
4	<b>LID_EN - R/W.</b> 0: 无效 1: 使能 LID_STS 产生唤醒事件, S0 状态时将产生中断信号。	
3	<b>CTW_EN - R/W</b> 使能 THERMAL WARNING 产生中断。	
2	<b>CTA_EN - R/W</b> 使能 THERMAL ALERT 产生中断。	
1	<b>PWRSWITCH_EN - R/W</b> 使能 PWRSWITCH_STS 产生中断。	
0	<b>LID_POL - R/W</b> 该位设置 LID 的极性。	

#### RST\_CNT : Reset Control Register

地址偏移	电压域	属性
0x30	SOC	R/W
位域	描述	
31:2	保留	
1	<b>WD_EN - R/W</b> Watch dog 功能使能	
0	<b>OS_RST - R/W</b> 软件写该位使系统复位。	

#### WD\_SET : Watch Dog Set Register

地址偏移	电压域	属性
0x34	SOC	WO
位域	描述	
31:1	保留	
0	当 WD_EN 为 1 时, 写该位将重填内部 watch dog 计数器, 充填的值为 WD_Timer. 注意, watch dog 计数器的工作频率为 50MHz。	

#### WD\_Timer : Watch Dog Timer Register

地址偏移	电压域	属性
0x38	SOC	R/W
位域	描述	
31:0	该寄存器的值为 watch dog 重填的值，复位值为全 1 。	

**GEN\_RTC\_1 : General RTC Register 1**

地址偏移	电压域	属性
0x50	RTC	R/W
位域	描述	
31:0	RTC 通用寄存器	

**GEN\_RTC\_2 : General RTC Register 2**

地址偏移	电压域	属性
0x54	RTC	R/W
位域	描述	
31:0	RTC 通用寄存器	

# 13 RTC

实时时钟（RTC）单元可以在主板上电后进行配置，当主板断电后，该单元仍然运作，可以仅靠板上的电池供电就正常运行。RTC 单元运行时电流仅几个微安。

RTC 包含振荡器，结合外部 32.768KHZ 晶体产生工作时钟。该时钟用于时间信息的维护以及产生各种定时和计数中断。

RTC 模块中包含两个计数器，分别为 TOY（Time of Year）计数器和 RTC 计数器。其中 TOY 计数器按年月日时分秒计数，精度为以 0.1 秒；RTC 计数器以 32.768KHz 时钟计数，宽度为 32 位。

## 13.1 访问地址

RTC 模块的访问基地址为 MISC 低速设备块的基地址加偏移 0x50100。

**注意：**RTC 模块仅支持按 4 字节访问。

RTC 模块的内部寄存器物理地址构成见表 13-1。

表 13-1. RTC 地址构成

地址位	构成	备注
[15:9]	0	保留
[8]	1	保留
[7:0]	REG	内部寄存器地址

## 13.2 寄存器描述

表 13-2. RTC 寄存器列表

名称	偏移地址	位宽	R/W	描述
sys_toytrim	0x20	32	R/W	软件必须初始化为 0
sys_toywrite0	0x24	32	WO	TOY 低 32 位数值写入
sys_toywrite1	0x28	32	WO	TOY 高 32 位数值写入
sys_toyread0	0x2C	32	RO	TOY 低 32 位数值读出
sys_toyread1	0x30	32	RO	TOY 高 32 位数值读出
sys_toymatch0	0x34	32	R/W	TOY 定时中断 0
sys_toymatch1	0x38	32	R/W	TOY 定时中断 1
sys_toymatch2	0x3C	32	R/W	TOY 定时中断 2
sys_rtctrl	0x40	32	R/W	TOY 和 RTC 控制寄存器 软件必须初始化
sys_rtctrim	0x60	32	R/W	软件必须初始化为 0
sys_rtcwrite0	0x64	32	WO	RTC 定时计数写入
sys_rtcread0	0x68	32	RO	RTC 定时计数读出
sys_rtcmatch0	0x6C	32	R/W	RTC 时钟定时中断 0
sys_rtcmatch1	0x70	32	R/W	RTC 时钟定时中断 1
sys_rtcmatch2	0x74	32	R/W	RTC 时钟定时中断 2

### 13.2.1 SYS\_TOYWRITE0

地址偏移：24-27h

属性：WO

默认值：N/A

大小：4

位域	位域名称	访问	描述
31:26	TOY_MONTH	WO	月，范围 1~12
25:21	TOY_DAY	WO	日，范围 1~31
20:16	TOY_HOUR	WO	小时，范围 0~23

15:10	TOY_MIN	WO	分, 范围 0~59
9:4	TOY_SEC	WO	秒, 范围 0~59
3:0	TOY_MILLISEC	WO	0.1 秒, 范围 0~9

### 13.2.2 SYS\_TOYWRITE1

地址偏移: 28-2Bh                      属性: WO  
默认值: N/A                              大小: 4

位域	位域名称	访问	描述
31:0	TOY_YEAR	WO	年, 范围 0~16383

### 13.2.3 SYS\_TOYREAD0

地址偏移: 2C-2Fh                      属性: RO  
默认值: 00000000h                      大小: 4

位域	位域名称	访问	描述
31:26	TOY_MONTH	RO	月, 范围 1~12
25:21	TOY_DAY	RO	日, 范围 1~31
20:16	TOY_HOUR	RO	小时, 范围 0~23
15:10	TOY_MIN	RO	分, 范围 0~59
9:4	TOY_SEC	RO	秒, 范围 0~59
3:0	TOY_MILLISEC	RO	0.1 秒, 范围 0~9

### 13.2.4 SYS\_TOYREAD1

地址偏移: 30-33h                      属性: RO  
默认值: 00000000h                      大小: 4

位域	位域名称	访问	描述
31:0	TOY_YEAR	RO	年, 范围 0~16383

### 13.2.5 SYS\_TOYMATCH0

地址偏移: 34-37h                      属性: R/W  
默认值: 00000000h                      大小: 4

位域	位域名称	访问	描述
31:26	YEAR	R/W	年, 范围 0~16383
25:22	MONTH	R/W	月, 范围 1~12
21:17	DAY	R/W	日, 范围 1~31
16:12	HOUR	R/W	小时, 范围 0~23
11:6	MIN	R/W	分, 范围 0~59
5:0	SEC	R/W	秒, 范围 0~59

### 13.2.6 SYS\_TOYMATCH1

地址偏移: 38-3Bh                      属性: R/W  
默认值: 00000000h                      大小: 4

位域	位域名称	访问	描述
31:26	YEAR	R/W	年, 范围 0~16383
25:22	MONTH	R/W	月, 范围 1~12
21:17	DAY	R/W	日, 范围 1~31
16:12	HOUR	R/W	小时, 范围 0~23
11:6	MIN	R/W	分, 范围 0~59
5:0	SEC	R/W	秒, 范围 0~59

### 13.2.7 SYS\_TOYMATCH2

地址偏移: 3C-3Fh                      属性: R/W  
默认值: 00000000h                      大小: 4

位域	位域名称	访问	描述
----	------	----	----

31:26	YEAR	R/W	年, 范围 0~16383
25:22	MONTH	R/W	月, 范围 1~12
21:17	DAY	R/W	日, 范围 1~31
16:12	HOURL	R/W	小时, 范围 0~23
11:6	MIN	R/W	分, 范围 0~59
5:0	SEC	R/W	秒, 范围 0~59

### 13.2.8 SYS\_RTCCTRL

地址偏移: 40-43h

属性: RO, R/W

默认值: 0000000h

大小: 4

位域	位域名称	访问	描述
31:24	Reserved	RO	保留
23	ERS	RO	REN(bit13)写状态
22:21	Reserved	RO	保留
20	RTS	RO	Sys_rtctrim 写状态
19	RM2	RO	Sys_rtcmatch2 写状态
18	RM2	RO	Sys_rtcmatch2 写状态
17	RM0	RO	Sys_rtcmatch0 写状态
16	RS	RO	Sys_rtcwrite 写状态
15:14	Reserved	RO	保留
13	REN	R/W	RTC 使能, 高有效。需要初始化为 1
12	Reserved	RO	保留
11	TEN	R/W	TOY 使能, 高有效。需要初始化为 1
10:9	Reserved	RO	保留
8	EO	R/W	0: 32.768k 晶振禁止; 1: 32.768k 晶振使能
7:6	Reserved	RO	保留
5	Status	RO	32K 晶振工作状态 0: 32.768k 晶振不工作; 1: 32.768k 晶振正常工作。
4	Reserved	RO	保留
3	TM2	RO	Sys_toymatch2 写状态
2	TM1	RO	Sys_toymatch1 写状态
1	TM0	RO	Sys_toymatch0 写状态
0	TS	RO	Sys_toywrite 写状态

### 13.2.9 SYS\_RTCWRITE

地址偏移: 64-67h

属性: WO

默认值: N/A

大小: 4

位域	位域名称	访问	描述
31:0	RTCWRITE	WO	RTC 计数器写入寄存器

### 13.2.10 SYS\_RTCREAD

地址偏移: 68-6Bh

属性: RO

默认值: 0000000h

大小: 4

位域	位域名称	访问	描述
31:0	RTCREAD	RO	RTC 计数器读出寄存器

### 13.2.11 SYS\_RTCMATCH0

地址偏移: 6C-6Fh

属性: R/W

默认值: 0000000h

大小: 4

位域	位域名称	访问	描述
----	------	----	----

31:0	RTCMATCH0	R/W	RTC 定时比较寄存器 0
------	-----------	-----	---------------

### 13.2.12 SYS\_RTCMATCH1

地址偏移: 70-73h                      属性: R/W  
默认值: 00000000h                    大小: 4

位域	位域名称	访问	描述
31:0	RTCMATCH1	R/W	RTC 定时比较寄存器 1

### 13.2.13 SYS\_RTCMATCH2

地址偏移: 74-77h                      属性: R/W  
默认值: 00000000h                    大小: 4

位域	位域名称	访问	描述
31:0	RTCMATCH2	R/W	RTC 定时比较寄存器 2

# 14 GPIO

桥片共有 57 个 GPIO 引脚，GPIO00 为专用 GPIO 引脚，其余 56 个与其他功能复用。每个 GPIO 引脚由一组控制寄存器控制，包括：GPIO 方向控制（GPIO\_OEN）、GPIO 输出值（GPIO\_O）、GPIO 输入值（GPIO\_I）、GPIO 输入中断使能控制（GPIO\_INT\_EN）。

表 14-1. GPIO 控制寄存器

寄存器	大小 (位)	描述
GPIO_OEN	1	GPIO 输出使能，低有效。
GPIO_O	1	GPIO 输出值。
GPIO_I	1	GPIO 输入值。
GPIO_INT_EN	1	GPIO 中断使能。

## 14.1 访问地址

GPIO 的访问基地址等于 MISC 低速设备块的基地址加偏移 0x60000。

**注意：**GPIO 模块仅支持按字节访问。

桥片提供了两种方式来控制 GPIO 引脚。一种是按位控制每个 GPIO 引脚，一种是按字节控制每个 GPIO 引脚。桥片是通过提供两个地址空间来映射 GPIO 控制寄存器来实现该功能的。一种是按位映射，一种是按字节来索引控制寄存器的每个比特位。对应的，GPIO 内部的地址空间也分为两部分。

推荐使用后一种方式来控制器 GPIO 引脚。

GPIO 模块的内部寄存器物理地址构成如下：

地址空间	说明
0x800-0xC00	按字节控制寄存器地址
0x0 - 0x40	按位控制寄存器地址

表 14-2. 按位控制 GPIO 配置寄存器地址

地址偏移	寄存器	大小 (位)	描述
0x00	GPIO_OEN	57	GPIO 输出使能，低有效。每位控制一个 GPIO 引脚。
0x10	GPIO_O	57	GPIO 输出值。每位控制一个 GPIO 引脚。
0x20	GPIO_I	57	GPIO 输入值。每位控制一个 GPIO 引脚。
0x30	GPIO_INT_EN	57	GPIO 中断使能。每位控制一个 GPIO 引脚。

表 14-3. 按字节控制 GPIO 配置寄存器地址

地址偏移	寄存器	大小 (字节)	描述
0x800	GPIO_OEN	57	GPIO 输出使能，低有效。每个字节控制一个 GPIO 引脚，bit0 有效。
0x900	GPIO_O	57	GPIO 输出值。每个字节控制一个 GPIO 引脚，bit0 有效。
0xA00	GPIO_I	57	GPIO 输入值。每个字节控制一个 GPIO 引脚，bit0 有效。
0xB00	GPIO_INT_EN	57	GPIO 中断使能。每个字节控制一个 GPIO 引脚，bit0 有效。

比如，对于 GPIO03 的输出输入方向控制，既可以使用偏移地址为 0x0 的 bit[3]（注意不要影响其它比特位）来控制，也可以使用偏移地址为 0x803 的一个字节（仅 bit[0]有效）来控制。

## 14.2 控制寄存器

### GPIO 方向控制

地址偏移：00-03h

属性：R/W

默认值: FFFFFFF0h      大小: 4

位域	名称	访问	描述
31:0	GPIO_OEN	R/W	对应于 GPIO[31:0]的方向控制。 0: 输出 1: 输入

地址偏移: 04-07h      属性: R/W

默认值: FFFFFFFFh      大小: 4

位域	名称	访问	描述
31:26	Reserved	R/W	保留
25:0	GPIO_OEN	R/W	对应于 GPIO[57:32]的方向控制。 0: 输出 1: 输入

### GPIO 输出值

地址偏移: 00-03h      属性: R/W

默认值: 000000Fh      大小: 4

位域	名称	访问	描述
31:0	GPIO_O	R/W	对应于 GPIO[31:0]的输出值。

地址偏移: 04-07h      属性: R/W

默认值: 00000000h      大小: 4

位域	名称	访问	描述
31:26	Reserved	R/W	保留
25:0	GPIO_O	R/W	对应于 GPIO[57:32]的输出值。

### GPIO 输入值

地址偏移: 00-03h      属性: RO

默认值: N/A      大小: 4

位域	名称	访问	描述
31:0	GPIO_I	RO	对应于 GPIO[31:0]的输入值。

地址偏移: 04-07h      属性: RO

默认值: 00000000h      大小: 4

位域	名称	访问	描述
31:26	Reserved	R/W	保留
25:0	GPIO_I	RO	对应于 GPIO[57:32]的输入值。

### GPIO 中断使能

地址偏移: 00-03h      属性: R/W

默认值: 00000000h      大小: 4

位域	名称	访问	描述
31:0	GPIO_INT_EN	R/W	对应于 GPIO[31:0]的输入中断使能。 0: 关闭中断 1: 使能中断

地址偏移: 04-07h      属性: R/W

默认值: 00000000h      大小: 4

位域	名称	访问	描述
31:26	Reserved	R/W	保留
25:0	GPIO_INT_EN	R/W	对应于 GPIO[57:32]的输入中断使能。 0: 关闭中断 1: 使能中断

# 15 GMAC 控制器 (D3:F0, D3:F1)

桥片集成了两个 GMAC 控制器，这两个控制器功能完全相同。

注意：软件使能 GMAC 控制器的 64 位 DMA 时，请参阅[附录 2 软件使用注意事项](#)。

## 15.1 GMAC 配置寄存器 (D3:F0, D3:F1)

表 15-1. GMAC 控制器的配置寄存器

地址偏移	简称	描述	默认值	访问类型
00h-01h	VID	Vendor ID	0014h	RO
02h-03h	DID	Device ID	7A03h	RO
04h-05h	PCICMD	PCI Command	0000h	R/W, RO
08h	RID	Revision ID	00h	RO
09h	PI	Programming Interface	00h	RO
0Ah	SCC	Sub Class Code	00h	RO
0Bh	BCC	Base Class Code	02h	RO
0Ch	CLS	Cache Line Size	00h	RO
0Eh	HEADTYP	Header Type	80h	RO
10h-17h	CNL_BAR	Control Block Base Address Register	0000000000000004h	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0000h	RO
2Eh-2Fh	SID	Subsystem Identification	0000h	RO
3Ch	INT_LN	Interrupt Line	00h	R/W
3Dh	INT_PN	Interrupt Pin	01h	RO

注：表中未列出的地址空间表示保留。

下面列出与 PCI 配置头规范稍有不同的寄存器及其描述。

### PCICMD-PCI 命令寄存器 (GMAC-D3:F0, D3:F1)

地址偏移：04-05h

属性：R/W, RO

默认值：0000h

大小：16 位

位域	名称	访问	描述
15:2	Reserved	RO	保留
1	Memory Space Enable	R/W	该位用来控制是否使能对 GMAC 控制寄存器的访问。 0：禁止访问； 1：使能对 GMAC 控制寄存器的访问。在将该位配置为 1 之前，必须先配置 BAR 寄存器。
0	Reserved	RO	保留

### CNL\_BAR-控制基址寄存器

该寄存器用来配置 GMAC 控制器的控制寄存器的基地址。

地址偏移：10-13h

属性：R/W, RO

默认值：00000004h

大小：32 位

位域	名称	访问	描述
31:15	Base Address	RW	软件向该寄存器域写入分配给 GMAC 控制寄存器的基地址的低地址。
14:4	Memory Size	RO	GMAC 控制寄存器的地址空间大小为 32KB。
3	Prefetchable Memory	RO	设置为 0，表示不可预取。
2:1	Memory Type	RO	设置为 10b，表示 64 位 BAR。

0	Memory/ I/O Space	RO	设置为 0，表示 Memory 空间 BAR。
地址偏移：14-17h		属性：R/W	
默认值：00000000h		大小：32 位	
位域	名称	访问	描述
31:0	Base Address	RW	软件向该寄存器域写入分配给 GMAC 控制寄存器的基地址的高 32 位地址。

# 16 USB 控制器 (D4:F0/1, D5:F0/1)

桥片包含两个 USB 控制器，每个控制器包含 3 个端口。

桥片的 USB 端口具有以下特性：

- 兼容 USB Rev 1.1 、 USB Rev 2.0 协议
- 兼容 OHCI Rev 1.0 、 EHCI Rev 1.0 协议
- 支持 LS (Low Speed)、FS (Full Speed) 和 HS (High Speed) 的 USB 设备
- 工作在 Host 模式，不支持 OTG 模式

桥片的每个 USB 控制器模块都包括一个 EHCI 控制器和一个 OHCI 控制器，每个 EHCI 控制器和 OHCI 控制器支持 3 个端口。其中，默认使用 EHCI 控制器，只有当挂上的设备是全速或低速设备时，才将控制权转交给 OHCI 控制器；当全速或低速设备拔掉时，控制权返回 EHCI 控制器。

注意：USB 设备的 OHCI 和 EHCI 设备头的 Memory Space Enable 控制需要特殊处理，请参阅 [附录 2 软件使用注意事项](#)。

## 16.1 EHCI 控制器

### 16.1.1 EHCI 配置寄存器 (D4:F1, D5:F1)

表 16-1. USB-EHCI 控制器的配置寄存器

地址偏移	简称	描述	默认值	访问类型
00h-01h	VID	Vendor ID	0014h	RO
02h-03h	DID	Device ID	7A14h	RO
04h-05h	PCICMD	PCI Command	0000h	R/W, RO
08h	RID	Revision ID	00h	RO
09h	PI	Programming Interface	20h	RO
0Ah	SCC	Sub Class Code	03h	RO
0Bh	BCC	Base Class Code	0Ch	RO
0Ch	CLS	Cache Line Size	00h	RO
0Eh	HEADTYP	Header Type	80h	RO
10h-17h	CNL_BAR	Control Block Base Address Register	0000000000000004h	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0000h	RO
2Eh-2Fh	SID	Subsystem Identification	0000h	RO
3Ch	INT_LN	Interrupt Line	00h	R/W
3Dh	INT_PN	Interrupt Pin	01h	RO

注：表中未列出的地址空间表示保留。

下面列出与 PCI 配置头规范稍有不同的寄存器及其描述。

### PCICMD-PCI 命令寄存器 (USB EHCI-D4:F1, D5:F1)

地址偏移：04-05h

属性：R/W, RO

默认值：0000h

大小：16 位

位域	名称	访问	描述
15:2	Reserved	RO	保留





# 17 图形处理器 (D6:F0)

## 17.1 GPU 配置寄存器 (D6:F0)

表 17-1. GPU 控制器的配置寄存器

地址偏移	简称	描述	默认值	访问类型
00h-01h	VID	Vendor ID	0014h	RO
02h-03h	DID	Device ID	7A15h	RO
04h-05h	PCICMD	PCI Command	0000h	R/W, RO
08h	RID	Revision ID	00h	RO
09h	PI	Programming Interface	00h	RO
0Ah	SCC	Sub Class Code	02h	RO
0Bh	BCC	Base Class Code	03h	RO
0Ch	CLS	Cache Line Size	00h	RO
0Eh	HEADTYP	Header Type	80h	RO
10h-17h	CNL_BAR	Control Block Base Address Register	0000000000000004h	R/W, RO
18h-1Fh	GMEM_BAR	Graphic Memory Base Address Register	0000000000000004h	R/W, RO
27h-20h	RSV_BAR	Reserved Base Address Register	0000000000000004h	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0000h	RO
2Eh-2Fh	SID	Subsystem Identification	0000h	RO
3Ch	INT_LN	Interrupt Line	00h	R/W
3Dh	INT_PN	Interrupt Pin	01h	RO

注:

1. 表中未列出的地址空间表示保留。

下面列出与 PCI 配置头规范稍有不同的寄存器及其描述。

### PCICMD-PCI 命令寄存器 (GPU-D6:F0)

地址偏移: 04-05h

属性: R/W, RO

默认值: 0000h

大小: 16 位

位域	名称	访问	描述
15:2	Reserved	RO	保留
1	Memory Space Enable	R/W	该位用来控制是否使能对 GPU 控制寄存器的访问。 0: 禁止访问; 1: 使能对 GPU 控制寄存器和 GMEM 空间的访问。在将该位配置为 1 之前, 必须先配置 BAR 寄存器。
0	Reserved	RO	保留

### CNL\_BAR-控制基址寄存器

该寄存器用来配置 GPU 控制器的控制寄存器的基地址。

地址偏移: 10-13h

属性: R/W, RO

默认值: 00000004h

大小: 32 位

位域	名称	访问	描述
31:18	Base Address	RW	软件向该寄存器域写入分配给 GPU 控制寄存器的基地址的低地址。
17:4	Memory Size	RO	GPU 控制寄存器的地址空间大小为 32KB。
3	Prefetchable Memory	RO	设置为 0, 表示不可预取。
2:1	Memory Type	RO	设置为 10b, 表示 64 位 BAR。
0	Memory/ I/O Space	RO	设置为 0, 表示 Memory 空间 BAR。

地址偏移: 14-17h 属性: R/W  
 默认值: 0000000h 大小: 32 位

位域	名称	访问	描述
31:0	Base Address	RW	软件向该寄存器域写入分配给 GPU 控制寄存器的基地址的高 32 位地址。

### GMEM\_BAR-显存基址寄存器

该寄存器用来配置显存的基地址。

地址偏移: 18-1Bh 属性: R/W, RO  
 默认值: 00000004h 大小: 32 位

位域	名称	访问	描述
31:X	Base Address	RW	软件向该寄存器域写入分配给显存的基地址的低位。
X:4	Memory Size	RO	显存空间大小由 BIOS 配置。最大不超过 512MB。
3	Prefetchable Memory	RO	设置为 0, 表示不可预取。
2:1	Memory Type	RO	设置为 10b, 表示 64 位 BAR。
0	Memory/ I/O Space	RO	设置为 0, 表示 Memory 空间 BAR。

地址偏移: 1C-1Fh 属性: R/W  
 默认值: 00000000h 大小: 32 位

位域	名称	访问	描述
31:0	Base Address	RW	软件向该寄存器域写入分配给显存的基地址的高 32 位地址。

### RSV\_BAR-保留窗口基址寄存器

该寄存器用来配置 GPU 控制器的保留寄存器的基地址。

地址偏移: 20-23h 属性: R/W, RO  
 默认值: 00000004h 大小: 32 位

位域	名称	访问	描述
31:18	Base Address	RW	软件向该寄存器域写入分配给 GPU 保留寄存器的基地址的低地址。
17:4	Memory Size	RO	GPU 保留寄存器的地址空间大小为 256B。
3	Prefetchable Memory	RO	设置为 0, 表示不可预取。
2:1	Memory Type	RO	设置为 10b, 表示 64 位 BAR。
0	Memory/ I/O Space	RO	设置为 0, 表示 Memory 空间 BAR。

地址偏移: 24-27h 属性: R/W  
 默认值: 00000000h 大小: 32 位

位域	名称	访问	描述
31:0	Base Address	RW	软件向该寄存器域写入分配给 GPU 保留寄存器的基地址的高 32 位地址。

## 17.2 DDR3 显存接口

桥片集成的显存接口遵守 DDR3 SDRAM 标准 (JESD79-3)。

桥片支持的片选个数为 1, 行地址数为 16, 列地址数为 15, 逻辑体地址数为 3。

桥片的显存控制器具有如下特征:

- 接口上命令、读写数据全流水操作
- 内存命令合并、排序提高整体带宽

- 可以修改内存设备的基本参数
- 支持 133-667 MHz 时钟频率

### 访问地址

DDR3 显存控制器包括两个地址空间：显存控制器的配置寄存器空间和显存的存储空间。这两段地址空间共用同一段地址空间（显存地址空间，分配给 GMEM\_BAR 的地址空间）。发往显存地址空间的访问最终访问哪一段地址空间由参数 `disable_gmem_confspace`（桥片配置寄存器的通用配置寄存器 0 的比特 3（`addr_0x420[3]`））决定。

当配置参数 `disable_gmem_confspace = 0` 时，发给显存的访问都为配置寄存器访问；当配置参数 `disable_gmem_confspace = 1` 时，发给显存的访问才是正常的显存读写访问。

# 18 显示控制器 (D6:F1)

桥片的显示控制器支持的特性包括：

- 双路 DVO 接口显示
- 每路显示最大支持至 1920x1080@60Hz
- Monochrome、ARGB8888 两种模式硬件光标
- RGB444,RGB555,RGB565,RGB888 四种色深
- 输出抖动和伽马校正
- 可切换的双路线性帧缓冲
- 中断和软复位

## 18.1 DC 配置寄存器 (D6:F1)

表 18-1. DC 控制器的配置寄存器

地址偏移	简称	描述	默认值	访问类型
00h-01h	VID	Vendor ID	0014h	RO
02h-03h	DID	Device ID	7A06h	RO
04h-05h	PCICMD	PCI Command	0000h	R/W, RO
08h	RID	Revision ID	00h	RO
09h	PI	Programming Interface	00h	RO
0Ah	SCC	Sub Class Code	03h	RO
0Bh	BCC	Base Class Code	0Ch	RO
0Ch	CLS	Cache Line Size	00h	RO
0Eh	HEADTYP	Header Type	80h	RO
10h-17h	CNL_BAR	Control Block Base Address Register	0000000000000004h	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0000h	RO
2Eh-2Fh	SID	Subsystem Identification	0000h	RO
3Ch	INT_LN	Interrupt Line	00h	R/W
3Dh	INT_PN	Interrupt Pin	01h	RO

注：表中未列出的地址空间表示保留。

下面列出与 PCI 配置头规范稍有不同的寄存器及其描述。

### PCICMD-PCI 命令寄存器 (DC-D6:F1)

地址偏移：04-05h

属性：R/W, RO

默认值：0000h

大小：16 位

位域	名称	访问	描述
15:2	Reserved	RO	保留
1	Memory Space Enable	R/W	该位用来控制是否使能对 DC 控制寄存器的访问。 0：禁止访问； 1：使能对 DC 控制寄存器的访问。在将该位配置为 1 之前，必须先配置 BAR 寄存器。
0	Reserved	RO	保留

### CNL\_BAR-控制基址寄存器

该寄存器用来配置 DC 控制器的控制寄存器的基地址。

地址偏移：10-13h

属性：R/W, RO

默认值：00000004h

大小：32 位

位域	名称	访问	描述
----	----	----	----

31:16	Base Address	RW	软件向该寄存器域写入分配给 DC 控制寄存器的基地址的低地址。
15:4	Memory Size	RO	DC 控制寄存器的地址空间大小为 64KB。
3	Prefetchable Memory	RO	设置为 0，表示不可预取。
2:1	Memory Type	RO	设置为 10b，表示 64 位 BAR。
0	Memory/ I/O Space	RO	设置为 0，表示 Memory 空间 BAR。

地址偏移：14-17h 属性：R/W  
默认值：00000000h 大小：32 位

位域	名称	访问	描述
31:0	Base Address	RW	软件向该寄存器域写入分配给 DC 控制寄存器的基地址的高 32 位地址。

## 18.2 DC 控制寄存器

### 18.2.1 显示器检测寄存器

7A 桥片包含了两组 I2C 总线引脚，专门用于显示器检测。这两组 I2C 总线需要软件使用 GPIO 引脚来模拟。这两组 GPIO 引脚不同于 MISC 中的 GPIO 引脚，它们的控制寄存器放置在 DC 的控制寄存器空间中。DVO0 的 I2C 总线由 GPIO 寄存器的 bit[1:0]控制，DVO1 的 I2C 总线由 GPIO 寄存器的 bit[3:2]控制。I2C 引脚和 GPIO 寄存器的对应关系见表 18-2。

表 18-2. DVO 的 I2C 引脚与控制寄存器的对应关系

引脚名称	GPIO 控制位
DVO0_SDA	0
DVO0_SCL	1
DVO1_SDA	2
DVO1_SCL	3

每个 GPIO 控制位由三个寄存器控制。GPIO 控制寄存器的地址见表 18-3。

表 18-3. DVO 的 I2C 引脚控制寄存器地址

寄存器名	偏移地址	访问	描述	复位值
GPIO_OUT	0x1650	WO	输出寄存器	0h
GPIO_IN	0x1650	RO	输入寄存器	N/A
GPIO_EN	0x1660	R/W	GPIO 方向控制寄存器	0h
GPIO_OUT	bit	描述	初始值	
DVO0_SDA_OUT	0	控制 DVO0_SDA 引脚的输出值；只写	0	
DVO0_SCL_OUT	1	控制 DVO0_SCL 引脚的输出值；只写	0	
DVO1_SDA_OUT	2	控制 DVO1_SDA 引脚的输出值；只写	0	
DVO1_SCL_OUT	3	控制 DVO1_SCL 引脚的输出值；只写	0	
GPIO_IN	bit	描述	初始值	
DVO0_SDA_IN	0	控制 DVO0_SDA 引脚的输入值；只读	N/A	
DVO0_SCL_IN	1	控制 DVO0_SCL 引脚的输入值；只读	N/A	
DVO1_SDA_IN	2	控制 DVO1_SDA 引脚的输入值；只读	N/A	
DVO1_SCL_IN	3	控制 DVO1_SCL 引脚的输入值；只读	N/A	
GPIO_EN	bit	描述	初始值	
DVO0_SDA_EN	0	控制 DVO0_SDA 引脚的方向；读写	0	
DVO0_SCL_EN	1	控制 DVO0_SCL 引脚的方向；读写	0	
DVO1_SDA_EN	2	控制 DVO1_SDA 引脚的方向；读写	0	
DVO1_SCL_EN	3	控制 DVO1_SCL 引脚的方向；读写	0	

# 19 HDA 控制器 (D7:F0)

HDA 控制器兼容 High Definition Audio Specification Revision 1.0a。

HDA 相关的引脚设置寄存器见 4.6 节。

## 19.1 HDA 配置寄存器 (D7:F0)

表 19-1. HDA 控制器的配置寄存器

地址偏移	简称	描述	默认值	访问类型
00h-01h	VID	Vendor ID	0014h	RO
02h-03h	DID	Device ID	7A07h	RO
04h-05h	PCICMD	PCI Command	0000h	R/W, RO
08h	RID	Revision ID	00h	RO
09h	PI	Programming Interface	00h	RO
0Ah	SCC	Sub Class Code	03h	RO
0Bh	BCC	Base Class Code	04h	RO
0Ch	CLS	Cache Line Size	00h	RO
0Eh	HEADTYP	Header Type	00h	RO
10h-17h	CNL_BAR	Control Block Base Address Register	0000000000000004h	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0000h	RO
2Eh-2Fh	SID	Subsystem Identification	0000h	RO
3Ch	INT_LN	Interrupt Line	00h	R/W
3Dh	INT_PN	Interrupt Pin	01h	RO

注：

1. HDA 配置头只在相关引脚配置为 HDA 模式下可见。
2. 表中未列出的地址空间表示保留。

下面列出与 PCI 配置头规范稍有不同的寄存器及其描述。

### PCICMD-PCI 命令寄存器 (HDA-D7:F0)

地址偏移：04-05h

属性：R/W, RO

默认值：0000h

大小：16 位

位域	名称	访问	描述
15:2	Reserved	RO	保留
1	Memory Space Enable	R/W	该位用来控制是否使能对 HDA 控制寄存器的访问。 0: 禁止访问; 1: 使能对 HDA 控制寄存器的访问。在将该位配置为 1 之前, 必须先配置 BAR 寄存器。
0	Reserved	RO	保留

### CNL\_BAR-控制基址寄存器

该寄存器用来配置 HDA 控制器的控制寄存器的基地址。

地址偏移：10-13h

属性：R/W, RO

默认值：00000004h

大小：32 位

位域	名称	访问	描述
31:16	Base Address	RW	软件向该寄存器域写入分配给 HDA 控制寄存器的基地址的低地址。
15:4	Memory Size	RO	HDA 控制寄存器的地址空间大小为 64KB。

3	Prefetchable Memory	RO	设置为 0，表示不可预取。
2:1	Memory Type	RO	设置为 10b，表示 64 位 BAR。
0	Memory/ I/O Space	RO	设置为 0，表示 Memory 空间 BAR。

地址偏移：14-17h

属性：R/W

默认值：00000000h

大小：32 位

位域	名称	访问	描述
31:0	Base Address	RW	软件向该寄存器域写入分配给 HDA 控制寄存器的基地址的高 32 位地址。

## 19.2 HDA 控制寄存器描述

HDA 控制寄存器的设计完全按照 HD audio Rev 1.0 规范进行设计的，下表列举了主要的寄存器的参数信息，具体的参考 HD audio Rev 1.0 手册。

## 20 AC97 控制器 (D7:F1)

### 20.1 AC97 配置寄存器 (D7:F1)

表 20-1. AC97 控制器的配置寄存器

地址偏移	简称	描述	默认值	访问类型
00h-01h	VID	Vendor ID	0014h	RO
02h-03h	DID	Device ID	7A17h	RO
04h-05h	PCICMD	PCI Command	0000h	R/W, RO
08h	RID	Revision ID	00h	RO
09h	PI	Programming Interface	00h	RO
0Ah	SCC	Sub Class Code	01h	RO
0Bh	BCC	Base Class Code	04h	RO
0Ch	CLS	Cache Line Size	00h	RO
0Eh	HEADTYP	Header Type	00h	RO
10h-17h	CNL_BAR	Control Block Base Address Register	0000000000000004h	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0000h	RO
2Eh-2Fh	SID	Subsystem Identification	0000h	RO
3Ch	INT_LN	Interrupt Line	00h	R/W
3Dh	INT_PN	Interrupt Pin	01h	RO

注:

1. AC97 配置头只在相关引脚配置为 AC97 模式下可见。
2. 表中未列出的地址空间表示保留。

下面列出与 PCI 配置头规范稍有不同的寄存器及其描述。

#### PCICMD-PCI 命令寄存器 (AC97-D7:F1)

地址偏移: 04-05h

属性: R/W, RO

默认值: 0000h

大小: 16 位

位域	名称	访问	描述
15:2	Reserved	RO	保留
1	Memory Space Enable	R/W	该位用来控制是否使能对 AC97 控制寄存器的访问。 0: 禁止访问; 1: 使能对 AC97 控制寄存器的访问。在将该位配置为 1 之前, 必须先配置 BAR 寄存器。
0	Reserved	RO	保留

#### CNL\_BAR-控制基址寄存器

该寄存器用来配置 AC97 控制器的控制寄存器的基地址。

地址偏移: 10-13h

属性: R/W, RO

默认值: 00000004h

大小: 32 位

位域	名称	访问	描述
31:16	Base Address	RW	软件向该寄存器域写入分配给 AC97 控制寄存器的基地址的低地址。
15:4	Memory Size	RO	AC97 控制寄存器的地址空间大小为 64KB。
3	Prefetchable Memory	RO	设置为 0, 表示不可预取。
2:1	Memory Type	RO	设置为 10b, 表示 64 位 BAR。
0	Memory/ I/O Space	RO	设置为 0, 表示 Memory 空间 BAR。



7:0	OC0_CFG_L	10	R/W	输出通道 0: 左声道配置。
-----	-----------	----	-----	----------------

### ICC 寄存器

偏移量: 0x10

复位值: 0x00410000

位域	位域名称	位宽	访问	描述
31:24	Reserved	10	R/W	保留
23:16	IC_CFG_MIC	10	R/W	输入通道 2: MIC 声道配置。
15:10	Reserved	10	R/W	保留
7:0	Reserved	10	R/W	保留

声道格式说明

位域	位域名称	位宽	访问	描述
7	Reserved	1	R/W	保留
6	DMA_EN	1	R/W	DMA 使能 1: DMA 打开 0: DMA 关闭
5:4	FIFO_THRES	2	R/W	FIFO 门限 5: 4 输出通道 输入通道 00 FIFO 1/4 空 FIFO 1/4 满 01 FIFO 1/2 空 FIFO 1/2 满 10 FIFO 3/4 空 FIFO 3/4 满 11 FIFO 全空 FIFO 全满
3:2	SW	2	R/W	采样位数 00: 10 位 10: 16 位
1	VSR	1	R/W	采样率 1: 采样率可变 0: 采样率固定) 410KHz (
0	CH_EN	1	R/W	通道使能 1: 通道打开 0: 通道关闭 (或者进入节能状态)

### Codec 寄存器访问命令

偏移量: 0x110

复位值: 0x00000000

位域	位域名称	位宽	访问	描述
31	CODEC_WR	1	R/W	读/写选择 1: 读, 读取数据时, 先设置 CODEC_WR 为读方式, 并在 CODEC_ADR 设置欲访问的寄存器地址; 等到返回数据完成中断时再读 CODEC_DAT 寄存器读取值。 0: 写
30:23	Reserved	10	R	保留
22:16	CODEC_ADR	7	R/W	Codec 寄存器地址
15:0	CODEC_DAT	16	R/W	Codec 寄存器数据

### 中断状态寄存器/中断掩膜寄存器

偏移量: 0x54/510

复位值: 0x00000000

位域	位域名称	位宽	访问	描述
31	IC_FULL	1	R/W	输入通道 2: FIFO 满
30	IC_TH_INT	1	R/W	输入通道 2: FIFO 达到门限

29:10	Reserved	22	R/W	保留
7	OC1_FULL	1	R/W	输出通道 1: FIFO 满
6	OC1_EMPTY	1	R/W	输出通道 1: FIFO 空
5	OC1_TH_INT	1	R/W	输出通道 1: FIFO 达到门限
4	OC0_FULL	1	R/W	输出通道 0: FIFO 满
3	OC0_EMPTY	1	R/W	输出通道 0: FIFO 空
2	OC0_TH_INT	1	R/W	输出通道 0: FIFO 达到门限
1	CW_DONE	1	R/W	Codec 寄存器写完成
0	CR_DONE	1	R/W	Codec 寄存器读完成

### 中断状态/清除寄存器

偏移量: 0x5c

复位值: 0x00000000

位域	位域名称	位宽	访问	描述
31:0	INT_CLR	32	RO	屏蔽后的中断状态寄存器, 对本寄存器的读操作将清除寄存器 0x54 中的所有中断状态

### OC 中断清除寄存器

偏移量: 0x60

复位值: 0x00000000

位域	位域名称	位宽	访问	描述
31:0	INT_OC_CLR	32	RO	对本寄存器的读操作将清除寄存器 0x54 中的所有 output channel 的中断状态对应的 bit[7:2]

### IC 中断清除寄存器

偏移量: 0x64

复位值: 0x00000000

位域	位域名称	位宽	访问	描述
31:0	INT_IC_CLR	32	RO	对本寄存器的读操作将清除寄存器 0x54 中的所有 input channel 的中断状态对应的 bit[31:30]

### CODEC WRITE 中断清除寄存器

偏移量: 0x610

复位值: 0x00000000

位域	位域名称	位宽	访问	描述
31:0	INT_CW_CLR	32	RO	对本寄存器的读操作将清除寄存器 0x54 中的中 bit[1]

### CODEC READ 中断清除寄存器

偏移量: 0x6c

复位值: 00000000h

位域	位域名称	位宽	访问	描述
31:0	INT_CR_CLR	32	RO	对本寄存器的读操作将清除寄存器 0x54 中的中 bit[0]

### DMA 命令寄存器

该寄存器用来控制 AC97 内部的 DMA 控制器。DMA 控制器的详细描述见下节。

偏移量: 0x100

复位值: 00000000h

位域	名称	访问	描述
63:5	ask_addr	R/W	DMA 描述符地址的 bit[63:5], 低 5 位为 0
5	Reserved	R/W	保留
4	dma_stop	R/W	停止 DMA 操作。DMA 控制器完成当前数据读写后停止。
3	dma_start	R/W	开始 DMA 操作。DMA 控制器读取描述符地址(ask_addr)后将些位清零。
2	ask_valid	R/W	DMA 工作寄存器写回到(ask_addr)所指向的内存, 完成后清零。
1	Reserved	R/W	保留
0	dma_64bit	R/W	DMA 控制器 64 位地址支持

## 20.3 DMA 控制器

### 20.3.1 DMA 控制器结构描述

桥片中包含 2 个 DMA 控制器, 用来实现内存与 AC97 之间数据搬移, 可以节省资源提高系统数据传输的效率。

DMA 的传送数据的过程由三个阶段组成:

1. 传送前的预处理: 由 CPU 配置 DMA 描述符相关的寄存器。
2. 数据传送: 在 DMA 控制器的控制下自动完成。
3. 传送结束处理: 发送中断请求。

本 DMA 控制器限定为以字 (4Byte) 为单位的数据搬运。

DMA 控制器支持 64 位地址空间, 这主要通过 dma\_64bit 来控制, 当该位设置为 1 时表示 DMA 控制器工作在 64 位地址空间, 反之为 32 位地址空间。在 64 位地址模式下, 需要扩展 DMA\_ORDER\_ADDR 和 DMA\_SADDR 为 64 位寄存器。

### 20.3.2 DMA 描述符

#### DMA\_ORDER\_ADDR\_LOW

偏移地址: 0x0

复位值: 0x00000000

位域	位域名称	位宽	访问	描述
31:1	dma_order_addr	31	R/W	存储器内部下一描述符地址寄存器 (低 32 位)
0	Dma_order_en	1	R/W	描述符是否有效信号

说明: 存储下一个 DMA 描述符的地址, dma\_order\_en 是下个 DMA 描述符的使能位, 如果该位为 1 表示下个描述符有效, 该位为 0 表示下个描述符无效, 不执行操作, 地址 16 字节对齐。在配置 DMA 描述符时, 该寄存器存放的是下个描述符的地址, 执行完该次 DMA 操作后, 通过判断 dma\_order\_en 信号确定是否开始下次 DMA 操作。在 64 位地址模式下, 该寄存器存储低 32 位地址。

#### DMA\_SADDR

偏移地址: 0x4

复位值: 0x00000000

位域	位域名称	位宽	访问	描述
31:0	dma_saddr	32	R/W	DMA 操作的系统内存地址 (低 32 位)

说明: DMA 操作分为: 内存读: 从内存中读数据, 保存在 DMA 控制器的缓存中, 然后写入 AC97 设备, 该寄存器指定了读内存的地址; 内存写: 从 AC97 设备读数据保存在 DMA 缓存

中，当 DMA 缓存中的数据超过一定数目，就往内存中写，该寄存器指定了写内存的地址。在 64 位地址模式下，该寄存器存储低 32 位地址。

### DMA\_DADDR

偏移地址：0x8

复位值：0x00000000

位域	位域名称	位宽	访问	描述
31	AC97_wr_en	1	R/W	AC97 写使能 1: 表示是写操作
30	AC97_mode	1	R/W	0: mono 1: 2 stereo
29:28	AC97_wr_mode	2	R/W	AC97 写模式 0: 1byte 1: 2byte 2: 4byte
27:0	dma_daddr	28	R/W	DMA 操作的 AC97 设备地址

### DMA\_LENGTH

偏移地址：0xc

复位值：0x00000000

位域	位域名称	位宽	访问	描述
31:0	dma_length	32	R/W	传输数据长度寄存器

说明：代表一块被搬运内容的长度，单位是字。当搬运完 length 长度的字之后，开始下个 step 即下一个循环。开始新的循环，则再次搬运 length 长度的数据。当 step 变为 1，单个 DMA 描述符操作结束，开始读下个描述符。

### DMA\_STEP\_LENGTH

偏移地址：0x10

复位值：0x00000000

位域	位域名称	位宽	访问	描述
31:0	dma_step_length	32	R/W	数据传输间隔长度寄存器

说明：间隔长度说明两块被搬运内存数据块之间的长度，前一个 step 的结束地址与后一个 step 的开始地址之间的间隔。

### DMA\_STEP\_TIMES

偏移地址：0x14

复位值：0x00000000

位域	位域名称	位宽	访问	描述
31:0	dma_step_times	32	R/W	数据传输循环次数寄存器

说明：循环次数说明在一次 DMA 操作中需要搬运的块的数目。如果只想搬运一个连续的数据块，循环次数寄存器的值可以赋值为 1。

### DMA\_CMD

偏移地址：0x18

复位值：0x00000000

位域	位域名称	位宽	访问	描述
14:13	Dma_cmd	2	R/W	源、目的地址生成方式

12	dma_r_w	1	R/W	DMA 操作类型, “1” 为读 ddr2 写设备, “0” 为读设备写 ddr2
11:8	dma_write_state	4	R/W	DMA 写数据状态
7:4	dma_read_state	4	R/W	DMA 读数据状态
3	dma_trans_over	1	R/W	DMA 执行完被配置的所有描述符操作
2	dma_single_trans_over	1	R/W	DMA 执行完一次描述符操作
1	dma_int	1	R/W	DMA 中断信号
0	dma_int_mask	1	R/W	DMA 中断是否被屏蔽掉

说明: dma\_single\_trans\_over=1 指一次 DMA 操作执行结束, 此时 length=0 且 step\_times=1, 开始取下个 DMA 操作的描述符。下个 DMA 操作的描述符地址保存在 DMA\_ORDER\_ADDR 寄存器中, 如果 DMA\_ORDER\_ADDR 寄存器中 dma\_order\_en=0, 则 dma\_trans\_over=1, 整个 dma 操作结束, 没有新的描述符要读; 如果 dma\_order\_en=1, 则 dma\_trans\_over 置为 0, 开始读下个 dma 描述符。dma\_int 为 DMA 的中断, 如果没有中断屏蔽, 在一次配置的 DMA 操作结束后发生中断。CPU 处理完中断后可以直接将其置低, 也可以等到 DMA 进行下次传输时自动置低。dma\_int\_mask 为对应 dma\_int 的中断屏蔽。dma\_read\_state 说明了 DMA 当前的读状态。dma\_write\_state 说明了 DMA 当前的写状态。

DMA 写状态(WRITE\_STATE[3:0])描述, DMA 包括以下几个写状态:

Write_state	[3:0]	描述
Write_idle	4'h0	写状态正处于空闲状态
W_ddr_wait	4'h1	Dma 判断需要执行读设备写内存操作, 并发起写内存请求, 但是内存还没准备好响应请求, 因此 dma 一直在等待内存的响应
Write_ddr	4'h2	内存接收了 dma 写请求, 但是还没有执行完写操作
Write_ddr_end	4'h3	内存接收了 dma 写请求, 并完成写操作, 此时 dma 处于写内存操作完成状态
Write_dma_wait	4'h4	Dma 发出将 dma 状态寄存器写回内存的请求, 等待内存接收请求
Write_dma	4'h5	内存接收写 dma 状态请求, 但是操作还未完成
Write_dma_end	4'h6	内存完成写 dma 状态操作
Write_step_end	4'h7	Dma 完成一次 length 长度的操作 (也就是说完成一个 step)

DMA 读状态(READ\_STATE[3:0])描述, DMA 包括以下几个读状态:

Read_state	[3:0]	描述
Read_idle	4'h0	读状态正处于空闲状态
Read_ready	4'h1	接收到开始 dma 操作的 start 信号后, 进入准备好状态, 开始读描述符
Get_order	4'h2	向内存发出读描述符请求, 等待内存应答
Read_order	4'h3	内存接收读描述符请求, 正在执行读操作
Finish_order_end	4'h4	内存读完 dma 描述符
R_ddr_wait	4'h5	Dma 向内存发出读数据请求, 等待内存应答
Read_ddr	4'h6	内存接收 dma 读数据请求, 正在执行读数据操作
Read_ddr_end	4'h7	内存完成 dma 的一次读数据请求
Read_dev	4'h8	Dma 进入读设备状态
Read_dev_end	4'h9	设备返回读数据, 结束此次读设备请求
Read_step_end	4'ha	结束一次 step 操作, step times 减 1

### DMA\_ORDER\_ADDR\_HIGH

偏移地址: 0x20

复位值: 0x00000000

位域	位域名称	位宽	访问	描述
31:0	dma_order_addr	32	R/W	存储器内部下一个描述符地址寄存器(高 32 位)

### DMA\_SADDR\_HIGH

偏移地址: 0x24

复位值: 0x00000000

位域	位域名称	位宽	访问	描述
31:0	dma_saddr	32	R/W	DMA 操作的内存地址(高 32 位)

## 21 SATA 控制器 (D8:F0/1/2)

SATA 的特性包括:

- 支持SATA 1代1.5Gbps和SATA 2代3Gbps的传输
- 兼容串行ATA 2.6规范和AHCI 1.1规范

### 21.1 SATA 配置寄存器 (D8:F0/1/2)

表 21-1. SATA 控制器的配置寄存器

地址偏移	简称	描述	默认值	访问类型
00h-01h	VID	Vendor ID	0014h	RO
02h-03h	DID	Device ID	7A08h	RO
04h-05h	PCICMD	PCI Command	0000h	R/W, RO
08h	RID	Revision ID	00h	RO
09h	PI	Programming Interface	01h	RO
0Ah	SCC	Sub Class Code	06h	RO
0Bh	BCC	Base Class Code	01h	RO
0Ch	CLS	Cache Line Size	00h	RO
0Eh	HEADTYP	Header Type	80h	RO
10h-17h	CNL_BAR	Control Base Address Register	0000000000000004h	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0000h	RO
2Eh-2Fh	SID	Subsystem Identification	0000h	RO
3Ch	INT_LN	Interrupt Line	00h	R/W
3Dh	INT_PN	Interrupt Pin	01h	RO

注：表中未列出的地址空间表示保留。

下面列出与 PCI 配置头规范稍有不同的寄存器及其描述。

#### PCICMD-PCI 命令寄存器 (SATA-D8:F0/1/2)

地址偏移：04-05h

属性：R/W, RO

默认值：0000h

大小：16 位

位域	名称	访问	描述
15:2	Reserved	RO	保留
1	Memory Space Enable	R/W	该位用来控制是否使能对 SATA 控制寄存器的访问。 0：禁止访问； 1：使能对 SATA 控制寄存器的访问。在将该位配置为 1 之前，必须先配置 BAR 寄存器。
0	Reserved	RO	保留

#### CNL\_BAR-控制基址寄存器

该寄存器用来配置 SATA 控制器的控制寄存器的基地址。

地址偏移：10-13h

属性：R/W, RO

默认值：00000004h

大小：32 位

位域	名称	访问	描述
31:13	Base Address	RW	软件向该寄存器域写入分配给 SATA 控制寄存器的基地址的低地址。
12:4	Memory Size	RO	SATA 控制寄存器的地址空间大小为 8KB。



0x130	32	PO_SERR	SATA 错误寄存器
0x134	32	PO_SACT	SATA 激活寄存器
0x138	32	PO_CI	命令发送寄存器
0x13C	32	PO_SNTF	SATA 命令通知寄存器
0x170	32	PO_DMACR	DMA 控制寄存器
0x178	32	PO_PHYCR	PHY 控制寄存器
0x17C	32	PO_PHYSR	PHY 状态寄存器
0x180	32	P1_CLB	命令列表基地址低 32 位
0x184	32	P1_CLBU	命令列表基地址高 32 位
0x188	32	P1_FB	FIS 基地址低 32 位
0x18c	32	P1_FBU	FIS 基地址高 32 位
0x190	32	P1_IS	中断状态寄存器
0x194	32	P1_IE	中断使能寄存器
0x108	32	P1_CMD	命令寄存器
0x1a0	32	P1_TFD	任务文件数据寄存器
0x1a4	32	P1_SIG	签名寄存器
0x1a8	32	P1_SSTS	SATA 状态寄存器
0x1aC	32	P1_SCTL	SATA 控制寄存器
0x1b0	32	P1_SERR	SATA 错误寄存器
0x1b4	32	P1_SACT	SATA 激活寄存器
0x1b8	32	P1_CI	命令发送寄存器
0x1bC	32	P1_SNTF	SATA 命令通知寄存器
0x1f0	32	P1_DMACR	DMA 控制寄存器
0x1f8	32	P1_PHYCR	PHY 控制寄存器
0x1fC	32	P1s_PHYSR	PHY 状态寄存器

## 22 PCIE 控制器

### (D9:F0,D10:F0,D11:F0,D12:F0,D13:F0,D14:F0,D15:F0,D16:F0,D17:F0, D18:F0, D19:F0, D20:F0)

桥片的 PCIE 分为 5 组：PCIE\_F0, PCIE\_F1, PCIE\_H, PCIE\_G0, PCIE\_G1, 共 32 个 lane。每组 PCIE 接口都有自己对应的控制端口。桥片共包含 12 个 PCIE 控制端口 (Port)，分别为 PCIE\_F0 的端口 0、端口 1、端口 2、端口 3，PCIE\_F1 的端口 0、端口 1，PCIE\_G0 的端口 0、端口 1，PCIE\_G1 的端口 0、端口 1，PCIE\_H 的端口 0、端口 1。每个端口对应一个 PCIE 控制器，每个 PCIE 控制器都包含一个 TYPE1 类型的 PCI 配置头。

PCIE\_F0 包括 4 个 lane，可当作一个 x4 的 PCIE 或者 4 个 x1 的 PCIE 使用。其中，端口 0 在非 x4 模式下控制 lane0，在 x4 模式下控制 lane0~3；在非 x4 模式下，端口 1 控制 lane1，端口 2 控制 lane2，端口 3 控制 lane3。

PCIE\_F1 包括 4 个 lane，可当作一个 x4 的 PCIE 或者 2 个 x1 的 PCIE 使用。其中，端口 0 在非 x4 模式下控制 lane0，在 x4 模式下控制 lane0~3；在非 x4 模式下，端口 1 控制 lane1，lane2 和 lane3 不可用。

PCIE\_H 包括 8 个 lane，可当作一个 x8 的 PCIE 或者 2 个 x4 的 PCIE 使用。其中，端口 0 在非 x8 模式下控制 lane0~3，在 x8 模式下控制 lane0~7；端口 1 在非 x8 模式下控制 lane4~7。

PCIE\_G0 包括 8 个 lane，可当作一个 x8 的 PCIE 或者 2 个 x4 的 PCIE 使用。其中，端口 0 在非 x8 模式下控制 lane0~3，在 x8 模式下控制 lane0~7；端口 1 在非 x8 模式下控制 lane4~7。

PCIE\_G1 包括 8 个 lane，可当作一个 x8 的 PCIE 或者 2 个 x4 的 PCIE 使用。其中，端口 0 在非 x8 模式下控制 lane0~3，在 x8 模式下控制 lane0~7；端口 1 在非 x8 模式下控制 lane4~7。

桥片的 PCIE 控制器仅可以作为 RC 使用，不能作为 EP 使用。

PCIE 支持的配置方式及对应的控制端口见表 22-1、表 22-2、表 22-3。

表 22-1. PCIE\_F0 支持的配置方式及控制端口

lane0	lane1	lane2	lane3
x4 (P0)			
x1 (P0)	x1 (P1)	x1 (P2)	x1 (P3)

表 22-2. PCIE\_F1 支持的配置方式及控制端口

lane0	lane1	lane2	lane3
x4 (P0)			
x1 (P0)	x1 (P1)		

表 22-3. PCIE\_G0、PCIE\_G1、PCIE\_H 支持的配置方式及控制端口

lane0	lane1	lane2	lane3	lane4	lane5	lane6	lane7
x8 (P0)							
x4 (P0)				x4 (P1)			

## 22.1 PCI 配置寄存器

下表列出 PCIE 端口的配置头缺省值，不同端口的 Device ID 可能不同，其他字段都相同。

表 22-4. PCIE 控制器的配置寄存器

地址偏移	简称	描述	默认值	访问类型
00h-01h	VID	Vendor ID	0014h	RO
02h-03h	DID	Device ID	见寄存器描述	RO
04h-05h	PCICMD	PCI Command	0000h	R/W, RO
06h-07h	PCISTS	PCI Status	0010h	RO
08h	RID	Revision ID	01h	RO
09h	PI	Programming Interface	00h	RO
0Ah	SCC	Sub Class Code	04h	RO
0Bh	BCC	Base Class Code	06h	RO
0Ch	CLS	Cache Line Size	00h	RO
0Dh	PLT	Primary Latency Timer	00h	RO
0Eh	HEADTYP	Header Type	01h	RO
10h-17h	CNL_BAR	Control Block Base Address Register	0000000000000004h	R/W, RO
18h	PBNUM	Primary Bus Number	00h	R/W
19h	SBNUM	Secondary Bus Number	00h	R/W
1Ah	SUBNUM	Subordinate Bus Number	00h	R/W
1Bh	SLT	Secondary Latency Timer	00h	RO
1Ch	IOBASE	I/O Base	01h	R/W
1Dh	IOLMT	I/O Limit	01h	R/W
1Eh-1Fh	SSTS	Secondary Status	0000h	RO
20h-21h	MBASE	Memory Base	0000h	R/W
22h-23h	MLMT	Memory Limit	0000h	R/W
25h-24h	PMBASE	Prefetchable Memory Base	0000h	R/W
27h-26h	PMLMT	Prefetchable Memory Limit	0000h	R/W
28h-2Bh	PMBU32	Prefetchable Memory Base Upper 32 Bits	00000000h	R/W
2Ch-2Fh	PMLU32	Prefetchable Memory Limit Upper 32 Bits	00000000h	R/W
30h-31h	IOBU	I/O Base Upper 16 Bits	0000h	R/W
32h-33h	IOLMTU	I/O Limit Upper 16 Bits	0000h	R/W
34h	CAPP	Capabilities Pointer	40h	RO
3Ch	INT_LN	Interrupt Line	FFh	R/W
3Dh	INT_PN	Interrupt Pin	01h	RO
3Eh-3Fh	BCTRL	Bridge Control Register	0000h	R/W

注：表中未列出的地址空间表示保留。

下面列出与 PCI 配置头规范稍有不同的寄存器及其描述。

### DID-设备标识寄存器（PCIE）

地址偏移：02-03h

属性：RO

默认值：见描述

大小：16 位

位域	名称	访问	描述
15:0	DID	RO	PCIE 设备标识寄存器。各个 PCIE 端口对应的 DID 见表 22-2。

表 22-5. PCIE 端口 DID 表

PCI 设备号	描述	设备标识寄存器
D9:F0	PCIE_F0 端口 0	7A19h
D10:F0	PCIE_F0 端口 1	7A09h
D11:F0	PCIE_F0 端口 2	7A09h
D12:F0	PCIE_F0 端口 3	7A09h
D13:F0	PCIE_F1 端口 0	7A19h
D14:F0	PCIE_F1 端口 1	7A09h
D15:F0	PCIE_G0 端口 0	7A29h
D16:F0	PCIE_G0 端口 1	7A19h
D17:F0	PCIE_G1 端口 0	7A29h
D18:F0	PCIE_G1 端口 1	7A19h
D19:F0	PCIE_H 端口 0	7A29h
D20:F0	PCIE_H 端口 1	7A19h

注意

1. 桥片集成的所有 PCIE 控制器的 subclass code 正确值本应为 0x04，表示 PCI-to-PCI 桥，但本桥片错误地将该值实现为了 0x00(表示 Host 桥)。软件需要忽略该位域，仍然按照 PCI-to-PCI 桥来处理桥片集成的 PCIE 控制器，参阅[附录 2 软件使用注意事项](#)。
2. 桥片集成的所有 PCIE 控制器下级总线上只能挂载一个设备（Device 0），但软件在扫描 PCIE 总线的非 Device 0 设备时，本 PCIE 控制器会将 Device 0 的信息返回回去，造成 Device 0 被重复发现。因此，软件必须不主动扫描 PCIE 控制器下面的非 0 号设备，参阅[附录 2 软件使用注意事项](#)。

## 22.2 地址空间划分

桥片中的 PCIE 控制器内有标准的 PCIE 配置头，因此 PCIE 控制器的内部寄存器以及其下游设备的地址空间都通过其配置头的信息来管理。配置头中地址相关的寄存器在 PCI 设备扫描时确定。

因为桥片的 PCIE 控制器仅可以工作在 RC 模式下，所以其配置头为 TYPE1 类型。

每个 PCIE 端口作为桥片中的独立设备，每个端口都包含一个 PCIE 配置头。当 PCIE 工作在 X4 模式时，其他 X1 的端口软件不可见，只有当 PCIE 工作在 X1 模式时才可以访问其他 X1 端口。

对于每一个 PCIE 端口，其地址空间可以分为以下几部分：

**配置头地址空间：**该部分空间对应 PCIE 的配置头，通过配置请求来访问，最大 4KB。256B 以上的地址空间访问方法参见 [3.3 PCI 配置访问地址](#)。

**配置访问地址空间：**该部分地址空间用于通过配置请求访问 PCIE 控制器的下游设备配置头信息。根据下游设备的 Bus 号，由 PCIE 控制器决定发送 TYPE0 类型还是 TYPE1 类型的配置访问。

以上两个地址空间的地址由配置地址空间基地址、BUS 号、设备号、功能号以及寄存器偏移地址计算得出，访问以字为单位。

**PCIE 控制器内部寄存器空间：**该部分地址空间用于访问 PCIE 控制器的内部寄存器。这些寄存器用于控制 PCIE 控制器的行为和特性，与 PCIE 配置头空间属于两个地址空间。该地址空间为 MEM 类型，64 位地址空间，大小为 4KB，基地址等于 64 位 BAR0 的值，该值在初始化时由 PCI 扫描软件分配。

**MEM 地址空间：**该部分地址空间包含了 PCIE 控制器下游设备的所有 MEM 地址空间。对于 32 位地址空间，由 PCIE 配置头的 memory base 和 memory limit 决定；对于 64 位地址空间，由 PCIE 配置头的 prefetchable memory base（组合 upper 32bits）和 prefetchable memory limit

(组合 upper 32bits) 决定。该段地址空间由 PCIE 配置头的 command 寄存器 bit1 位来使能控制。

I/O 地址空间: 该部分地址空间包含了 PCIE 控制器下游设备的所有 I/O 地址空间。由 PCIE 配置头的 IO base (组合 upper 16bits) 和 IO limit (组合 upper 16bits) 决定。该段地址空间由 PCIE 配置头的 command 寄存器 bit0 位来使能控制。

对于 MEM 地址空间和 I/O 地址空间来说, 如果在 X1 工作模式下, 某个 X1 端口下游没有连接设备, 通过设置 command 寄存器的 bit0 和 bit1 为 0 即可禁用其 MEM 和 I/O 地址空间。

### PCIE 控制器使能

桥片配置寄存器的通用配置寄存器 0 包含对 PCIE 控制器的使能位。在使用对应 PCIE 控制器时需要先将其使能才能访问该控制器以及下游设备的所有地址空间, 包括对控制器的配置访问。

## 22.3 特别说明

### PCIE Capability

桥片集成的 PCIE 控制器支持的 MPS (Max Payload Size) 和 MRRS (Max Read Request Size) 最大值都是 256 字节。MPS 的设置可以在 BIOS 下通过 PCI 的协商机制设置。MRRS 由于没有协商机制, BIOS 开发人员需要将设备的 MRRS 值设置为不大于 256 字节的值。

### PCIE MSI

在 3A+7A 的系统中, PCI MSI 中断的目标地址为 0xfdf800000 或者 0x2ff00000。桥片会将设备发给这两个地址段的 MSI 消息包, 转换成 HT 中断消息包, 发送给处理器。

### PCIE 控制器性能

桥片集成的 PCIE 控制器分为 x8、x4、x1 三种, 其中 PCIE\_G0/G1/H 的 P0 控制端口为 x8 控制器, PCIE\_F0/F1 的 P0 端口和 PCIE\_G0/G1/H 的 P1 端口为 x4 控制器, PCIE\_F0 的 P1/P2/P3 端口和 PCIE\_F1 的 P1 端口为 x1 控制器。这三种控制器的内部流控缓冲个数不同, x8、x4、x1 控制器的流控缓冲个数依次减少, 因此对于某些高带宽 PCIE 设备, 在同样数据宽度的情况下, 使用流控缓冲个数更大的控制器会带来性能的提升。因此, 推荐优先使用流控缓冲个数更大的控制器。

## 23 SPI 控制器（D22:F0）

### 23.1 SPI 配置寄存器（D22:F0）

表 23-1. SPI 控制器的配置寄存器

地址偏移	简称	描述	默认值	访问类型
00h-01h	VID	Vendor ID	0014h	RO
02h-03h	DID	Device ID	7A0Bh	RO
04h-05h	PCICMD	PCI Command	0000h	R/W, RO
08h	RID	Revision ID	00h	RO
09h	PI	Programming Interface	00h	RO
0Ah	SCC	Sub Class Code	08h	RO
0Bh	BCC	Base Class Code	80h	RO
0Ch	CLS	Cache Line Size	00h	RO
0Eh	HEADTYP	Header Type	00h	RO
10h-17h	CBAR	Control Base Address Register	0000000000000004h	R/W, RO
18h-1Fh	MBAR	Memory Base Address Register	0000000000000004h	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0000h	RO
2Eh-2Fh	SID	Subsystem Identification	0000h	RO
3Ch	INT_LN	Interrupt Line	00h	R/W
3Dh	INT_PN	Interrupt Pin	01h	RO

注：表中未列出的地址空间表示保留。

下面列出与 PCI 配置头规范稍有不同的寄存器及其描述。

#### PCICMD-PCI 命令寄存器（SPI-D22:F0）

地址偏移：04-05h

属性：R/W, RO

默认值：0000h

大小：16 位

位域	名称	访问	描述
15:2	Reserved	RO	保留
1	Memory Space Enable	R/W	该位用来控制是否使能对 SPI 控制寄存器和 SPI 内存空间的访问。 0：禁止访问； 1：使能对 SPI 控制寄存器和 SPI 内存空间的访问。在将该位配置为 1 之前，必须先配置 BAR 寄存器。
0	Reserved	RO	保留

SPI 控制器包括两个地址空间：控制寄存器空间和内存空间。

#### CBAR-控制基址寄存器

该寄存器用来配置 SPI 控制器的控制寄存器的基地址。

地址偏移：10-13h

属性：R/W, RO

默认值：00000004h

大小：32 位

位域	名称	访问	描述
31:12	Base Address	RW	软件向该寄存器域写入分配给 SPI 控制寄存器的基地址的低地址。
11:4	Memory Size	RO	SPI 控制寄存器的地址空间大小为 4KB。
3	Prefetchable Memory	RO	设置为 0，表示不可预取。

2:1	Memory Type	RO	设置为 10b, 表示 64 位 BAR。
0	Memory/ I/O Space	RO	设置为 0, 表示 Memory 空间 BAR。

地址偏移: 14-17h 属性: R/W  
默认值: 00000000h 大小: 32 位

位域	名称	访问	描述
31:0	Base Address	RW	软件向该寄存器域写入分配给 SPI 控制寄存器的基地址的高 32 位地址。

### MBAR-MEM 空间基址寄存器

该寄存器用来配置 SPI 控制器的 MEM 空间基地址。

地址偏移: 18-1Bh 属性: R/W, RO  
默认值: 00000004h 大小: 32 位

位域	名称	访问	描述
31:24	Base Address	RW	软件向该寄存器域写入分配给 SPI MEM 空间的基地址的 bit[31:24]。
23:4	Memory Size	RO	SPI MEM 空间大小为 16MB。
3	Prefetchable Memory	RO	设置为 0, 表示不可预取。
2:1	Memory Type	RO	设置为 10b, 表示 64 位 BAR。
0	Memory/ I/O Space	RO	设置为 0, 表示 Memory 空间 BAR。

地址偏移: 1C-1Fh 属性: R/W  
默认值: 00000000h 大小: 32 位

位域	名称	访问	描述
31:0	Base Address	RW	软件向该寄存器域写入分配给 SPI MEM 空间的基地址的高 32 位地址。

## 23.2 SPI 控制寄存器

表 23-2. SPI 控制寄存器列表

偏移	名称	描述
0	SPCR	控制寄存器
1	SPSR	状态寄存器
2	TxFIFO/RxFIFO	数据寄存器
3	SPER	外部寄存器
4	SFC_PARAM	参数控制寄存器
5	SFC_SOFTCS	片选控制寄存器
6	SFC_TIMING	时序控制寄存器

### 控制寄存器(SPCR)

偏移地址: 0x0

位域	名称	访问	初值	描述
7	spie	R/W	0	中断输出使能信号 高有效
6	spe	R/W	0	系统工作使能信号高有效
5	Reserved	RO	0	保留
4	mstr	RO	1	master 模式选择位, 此位一直保持 1
3	cpol	R/W	0	时钟极性位
2	cpha	R/W	0	时钟相位位 1 则相位相反, 为 0 则相同

1:0	spr	R/W	0	sclk_o 分频设定，需要与 sper 的 spre 一起使用
-----	-----	-----	---	----------------------------------

### 状态寄存器(SPSR)

偏移地址: 0x1

位域	名称	访问	初值	描述
7	spif	R/W	0	中断标志位 1 表示有中断申请, 写 1 则清零
6	wcol	R/W	0	写寄存器溢出标志位 为 1 表示已经溢出,写 1 则清零
5:4	Reserved	RO	0	保留
3	wfull	RO	0	写寄存器满标志 1 表示已经满
2	wfempty	RO	1	写寄存器空标志 1 表示空
1	rffull	RO	0	读寄存器满标志 1 表示已经满
0	rfempty	RO	1	读寄存器空标志 1 表示空

### 数据寄存器(TxFIFO/RxFIFO)

偏移地址: 0x2

位域	名称	访问	初值	描述
7:0	TxFIFO RxFIFO	W RO	-	数据发送端口 数据接收端口

### 外部寄存器(SPER)

偏移地址: 0x3

位域	名称	访问	初值	描述
7:6	icnt	R/W	0	传输完多少个字节后发中断 00: 1 01: 2 10: 3 11: 4
5:3	-	-	-	保留
2	mode	R/W	0	spi 接口模式控制 0: 采样与发送时机同时 1: 采样与发送时机错开半周期
1:0	spre	R/W	0	与 spr 一起设定分频的比率

表 23-3. SPI 分频系数

spre	00	00	00	00	01	01	01	01	10	10	10	10
spr	00	01	10	11	00	01	10	11	00	01	10	11
分频系数	2	4	16	32	8	64	128	256	512	1024	2048	4096

### 参数控制寄存器(SFC\_PARAM)

偏移地址: 0x4

位域	名称	访问	初值	描述
7:4	clk_div	R/W	2	时钟分频数选择 分频系数与{spre, spr}组合相同
3	dual_io	R/W	0	双 I/O 模式, 优先级高于快速读
2	fast_read	R/W	0	快速读模式
1	burst_en	R/W	0	SPI flash 支持连续地址读模式

0	memory_en	R/W	1	SPI flash 读使能，无效时 csn[0]可由软件控制。
---	-----------	-----	---	---------------------------------

### 片选控制寄存器(SFC\_SOFTCS)

偏移地址：0x5

位域	名称	访问	初值	描述
7:4	csn	R/W	0	csn 引脚输出值
3:0	csen	R/W	0	为 1 时对应位的 csn 线由 7:4 位控制

### 时序控制寄存器(SFC\_TIMING)

偏移地址：0x6

位域	名称	访问	初值	描述
7:3	-	-	-	保留
2	tFAST	R/W	0	SPI flash 读采样模式 0: 上沿采样，间隔半个 SPI 周期 1: 上沿采样，间隔一个 SPI 周期
1:0	tCSH	R/W	3	SPI Flash 的片选信号最短无效时间，以分频后时钟周期 T 计算 00: 1T 01: 2T 10: 4T 11: 8T

## 23.3 SPI 软件编程指南

### SPI 主控制器的读写操作

#### 模块初始化

1. 停止 SPI 控制器工作，对控制寄存器 spcr 的 spe 位写 0
2. 重置状态寄存器 spsr，对寄存器写入 1100\_0000b
3. 设置外部寄存器 sper，包括中断申请条件 sper[7:6]和分频系数 sper[1:0]，具体参考寄存器说明
4. 配置 SPI 时序，包括 spcr 的 cpol、cpa 和 sper 的 mode 位。mode 为 1 时是标准 SPI 实现，为 0 时为兼容模式。
5. 配置中断使能，spsr 的 spie 位
6. 启动 SPI 控制器，对控制寄存器 spcr 的 spe 位写 1

#### 模块的发送/传输操作

1. 往数据传输寄存器写入数据
2. 传输完成后从数据传输寄存器读出数据。由于发送和接收同时进行，即使 SPI 从设备没有发送有效数据也必须进行读出操作。

#### 中断处理

1. 接收到中断申请
2. 读状态寄存器 spsr 的值，若 spsr[2]为 1 则表示数据发送完成，若 spsr[0]为 1 则表示已经接收数据
3. 读或写数据传输寄存器
4. 往状态寄存器 spsr 的 spif 位写 1，清除控制器的中断申请

## 硬件 SPI Flash 读

### 初始化

1. 将 SFC\_PARAM 的 memory\_en 位写 1。
2. 设置读参数(时钟分频、连续地址读、快速读、双 I/O、tCSH 等)。这些参数复位值均为最保守的值。

### 更改参数

如果所使用的 SPI Flash 支持更高的频率或者提供增强功能,修改相应参数可以大大加快 Flash 的访问速度。参数的修改不需要关闭 SPI Flash 读使能(memory\_en)。具体参考寄存器说明。

## 24 LPC 控制器（D23:F0）

LPC 控制器具有以下特性：

- 符合LPC1.1规范
- 支持LPC访问超时计数器
- 支持Memory Read/write访问类型
- 支持Firmware Memory Read/Write访问类型（单字节）
- 支持I/O read/write访问类型
- 支持TPM I/O read/write访问类型
- 支持Memory访问类型地址转换
- 支持Serial IRQ规范，支持17个中断源

### 24.1 LPC 配置寄存器（D23:F0）

表 24-1. LPC 控制器的配置寄存器

地址偏移	简称	描述	默认值	访问类型
00h-01h	VID	Vendor ID	0014h	RO
02h-03h	DID	Device ID	7A0Ch	RO
04h-05h	PCICMD	PCI Command	0001h	R/W, RO
08h	RID	Revision ID	00h	RO
09h	PI	Programming Interface	00h	RO
0Ah	SCC	Sub Class Code	01h	RO
0Bh	BCC	Base Class Code	06h	RO
0Ch	CLS	Cache Line Size	00h	RO
0Eh	HEADTYP	Header Type	00h	RO
10h-17h	FIXCREG*	Fixed Control Register	0000000010002004h	RO
18h-1Fh	FIXMREG*	Fixed Memory Register	0000000012000004h	RO
20h-27h	FIXIOREG*	Fixed I/O Register	000000FDFC000001h	RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0000h	RO
2Eh-2Fh	SID	Subsystem Identification	0000h	RO
3Ch	INT_LN	Interrupt Line	00h	R/W
3Dh	INT_PN	Interrupt Pin	01h	RO

注：表中未列出的地址空间表示保留。

\* 参见后续FIXCREG/FIXMREG/FIXIOREG及附录2的说明。

下面列出与 PCI 配置头规范稍有不同的寄存器及其描述。

#### PCICMD-PCI 命令寄存器（LPC-D23:F0）

地址偏移：04-05h

属性：R/W, RO

默认值：0000h

大小：16 位

位域	名称	访问	描述
15:2	Reserved	RO	保留
1	Memory Space Enable	R/W	该位用来控制是否使能对 LPC 控制寄存器和 MEM 空间的访问。 0：禁止访问； 1：使能对 LPC 控制寄存器和 MEM 空间的访问。

0	I/O Space Enable	R/W	该位用来控制是否使能对 LPC I/O 空间的访问。LPC I/O 空间的地址固定从 I/O 空间的地址 0 开始。 0: 禁止访问; 1: 使能对 LPC I/O 空间的访问。
---	------------------	-----	---

### FIXCREG-Fixed 控制寄存器

该寄存器不作为 LPC 配置头的 BAR 使用。

地址偏移: 10-17h                      属性: RO  
默认值: 0000000010002004h          大小: 64 位

位域	名称	访问	描述
63:0	Reserved	RO	保留。

### FIXMREG-Fixed MEM 寄存器

该寄存器不作为 LPC 配置头的 BAR 使用。

地址偏移: 18-1Fh                      属性: RO  
默认值: 0000000012000004h          大小: 64 位

位域	名称	访问	描述
63:0	Reserved	RO	保留。

### FIXIOREG-Fixed I/O 寄存器

该寄存器不作为 LPC 配置头的 BAR 使用。

地址偏移: 20-27h                      属性: RO  
默认值: 000000FD0000001h          大小: 64 位

位域	名称	访问	描述
63:0	Reserved	RO	保留。

**FIXCREG、FIXMREG、FIXIOREG 的地址和 PCI 配置头的 BAR 寄存器相同，但这几个寄存器不作为 LPC 配置头的 BAR 寄存器使用。软件可以通过修改 PCI 配置读函数的方法来绕过该硬件 bug，使得上层软件不受影响。参见附录 2 第 5 条。**

## 24.2 LPC 地址空间

LPC 控制器包括三个地址空间：控制寄存器空间、MEM 空间、I/O 空间。

LPC 控制寄存器空间用来配置 LPC 控制器。LPC 控制寄存器空间位于桥片的固定设备地址空间内，起始地址为 0x1000,2000，大小为 4KB。

LPC MEM 空间用来访问 LPC 总线上挂载的 Memory/Firmware Memory 设备。LPC MEM 空间位于桥片的固定设备地址空间内，起始地址为 0x1200,0000，大小为 32MB。处理器发往 LPC MEM 空间的访问会被转换成 LPC 协议的 Memory 访问发往 LPC 总线。LPC 控制器发出哪种类型的 Memory 访问，由 LPC 控制器的控制寄存器决定。处理器发往这个地址空间的地址可以进行地址转换。转换后的地址由 LPC 控制器的配置寄存器 LPC\_MEM\_TRANS 设置。

LPC I/O 空间用来访问 LPC 总线上挂载的 I/O 设备，LPC I/O 空间的地址从 PCI I/O 空间的 0 地址开始，大小为 128KB。处理器发往该空间的访问会被转换成 LPC 协议的 I/O 访问发到 LPC 总线。其中 LPC I/O 空间的低 64KB 空间用来访问 LPC I/O 设备，高 64KB 空间用来访问 TPM 设备。

## 24.3 LPC 中断

LPC 控制器内部包括两类中断：SIRQ 中断和访问超时中断。LPC 控制器共支持 17 个 SIRQ 中断，对应中断相关寄存器的比特位[16:0]。访问超时中断对应中断相关寄存器的比特位[17]。

SIRQ 中断为电平触发中断，触发电平的值可由寄存器配置。软件应先配置好 SIRQ 中断的触发电平，然后再使能 LPC 控制器的 SIRQ 中断。SIRQ 中断不需要软件清除。

访问超时中断为边沿触发中断，因此，如果发生 LPC 访问超时中断，则软件需要写中断清除寄存器的 bit[17]来清除该中断。

## 24.4 LPC 控制寄存器

### 控制寄存器 0

地址偏移：00-03h                      属性：R/W  
默认值：0000FFFFh                  大小：4

位域	名称	访问	描述
31	SIRQ_EN	R/W	SIRQ 中断使能控制
23	LPC_MEM_TRANS_EN	R/W	LPC Memory 空间地址转换使能
22:16	LPC_MEM_TRANS	R/W	LPC Memory 空间地址转换后的高 7 位地址(bit[31:25])
15:0	LPC_SYNC_TIMEOUT	R/W	LPC 访问超时的阈值（最小为 64）

### 控制寄存器 1

地址偏移：04-07h                      属性：R/W  
默认值：00000000h                  大小：4

位域	名称	访问	描述
31	FIRMWARE_TYPE	R/W	LPC Memory 空间 Firmware Memory 访问类型设置
17:0	LPC_INT_EN	R/W	LPC 中断使能，每个比特位对应一个中断源。对于每个中断源， 0：关闭中断； 1：使能中断。

### LPC 中断状态寄存器

地址偏移：08-0Bh                      属性：RO  
默认值：00000000h                  大小：4

位域	名称	访问	描述
17:0	LPC_INT_SRC	RO	LPC 中断源指示，每个比特位对应一个中断源。对于每个中断源， 0：没有中断； 1：有中断。

### LPC 中断清除寄存器

地址偏移：0C-0Fh                      属性：WO  
默认值：00000000h                  大小：4

位域	名称	访问	描述
17	LPC_TIMEOUT_INT_CLEAR	WO	LPC 访问超时中断清除（写 1 清除）。比特 17 对应 LPC 访问超时中断，写 1 清除，写 0 无效。

### LPC SIRQ 中断极性寄存器

地址偏移：10-13h                      属性：R/W

默认值：0000FFBh

大小：4

位域	名称	访问	描述
16:0	SIRQ_INT_POLARITY	R/W	LPC SIRQ 中断极性寄存器，每个比特位对应一个中断源。对于每个中断源， 0：低电平触发； 1：高电平触发。

# 附录 1 芯片引脚复用表

芯片引脚复用如下表所示：

表附-1 芯片引脚功能复用表

功能 0 (默认)	功能 1	功能 2	功能 3
VSB_GATE <sub>n</sub>	GPIO01		
CLKOUT25M	GPIO02		
CLKOUTFLEX	GPIO03		
PWM0	GPIO04		
PWM1	GPIO05		
PWM2	GPIO06		
PWM3	GPIO07		
I2C0_SCL	GPIO08		
I2C0_SDA	GPIO09		
I2C1_SCL	GPIO10		
I2C1_SDA	GPIO11		
SPI_CS <sub>n</sub> 0	GPIO12	I2C4_SCL	
SPI_CS <sub>n</sub> 1	GPIO13	I2C4_SDA	
SPI_CS <sub>n</sub> 2	GPIO14	I2C5_SCL	
SPI_CS <sub>n</sub> 3	GPIO15	I2C5_SDA	
SPI_SDI	GPIO16		
SPI_SDO	GPIO17		
SPI_SCK	GPIO18		
HDA_BITCLK	GPIO19	AC97_BITCLK	
HDA_SYNC	GPIO20	AC97_SYNC	
HDA_RESE <sub>Tn</sub>	GPIO21	AC97_RST <sub>n</sub>	
HDA_SDO	GPIO22	AC97_SDO	
HDA_SDI0	GPIO23	AC97_SDI	
HDA_SDI1	GPIO24		
HDA_SDI2	GPIO25		
SATA0_LED <sub>n</sub>	GPIO26		
SATA1_LED <sub>n</sub>	GPIO27		
SATA2_LED <sub>n</sub>	GPIO28		
USB_OC_0	GPIO29		
USB_OC_1	GPIO30		
USB_OC_2	GPIO31		
UART3_RXD	GPIO32	UART_DCD	I2C2_SCL
UART3_TXD	GPIO33	UART_RI	I2C2_SDA
UART2_RXD	GPIO34	UART_DSR	I2C3_SCL
UART2_TXD	GPIO35	UART_DTR	I2C3_SDA
UART1_RXD	GPIO36	UART_CTS	
UART1_TXD	GPIO37	UART_RTS	
UART0_RXD	GPIO38	UART_RXD	
UART0_TXD	GPIO39	UART_TXD	
LPC_AD0	GPIO40		
LPC_AD1	GPIO41		
LPC_AD2	GPIO42		
LPC_AD3	GPIO43		
LPC_SERIRQ	GPIO44		
LPC_FRAM <sub>En</sub>	GPIO45		
SYS_CLKSEL0	GPIO46		
SYS_CLKSEL1	GPIO47		
SYS_CLKSEL2	GPIO48		
SYS_CLKSEL3	GPIO49		
SYS_CLKSEL4	GPIO50		
SYS_CLKSEL5	GPIO51		
SYS_CLKSEL6	GPIO52		

SYS_CLKSEL7	GPIO53		
SYS_PCIEBRGMODE	GPIO54		
HT_8x2	GPIO55		
SYS_CLKSEL8	GPIO56		

注：HDA、LPC 的所有信号只能作为整体进行复用，每个引脚不可单独控制。比如，如果使用了 AC97 功能，则引脚 HDA\_SDI1/2 不可作为其他功能使用。

## 附录 2 软件使用注意事项

目前，桥片需要软件进行修复的问题有五个：

### 1. PCI 设备扫描问题

桥片内集成的 PCIE 桥的 PCI 设备头的 subclass code 正确值应为 0x04（表示 PCI 类型的桥），但本桥片将其实现成了 0x00（表示 Host 类型的桥）。

解决方式：当发现读配置头访问时，如果访问地址是 bus 0 的设备 9 到 20 且地址为 0x8 时，直接返回 0x06040001，而不返回硬件读取的值。

### 2. PCI 设备扫描问题

对于桥片内集成的 PCIE 桥，扫描下级总线时，当扫描非 0 号设备时，本应返回无效值，但本桥片会返回 0 号设备的配置头，造成 0 号设备被重复发现。

解决方式：对于桥片集成的 PCIE 桥，下级总线只扫描 0 号设备，不再扫描其它设备号。

### 3. PCI 设备扫描问题

USB 设备（Device 4 和 Device 5）的 OHCI(Function 0)和 EHCI(Function 1)控制器的 PCI 配置头的 Memory Space Enable 控制位弄反了。即：EHCI 的 Memory Space Enable 位控制 OHCI 的 Mem 空间使能，而 OHCI 的 Memory Space Enable 位控制 EHCI 的 Mem 空间使能。

解决办法：软件修复。

### 4. GMAC DMA64 问题

在 64 位 DMA 模式下，GMAC 的发送描述符基地址的高 32 位寄存器（0x1094）只能读，不能写。

解决方式：通过写如下地址{0x10a8[31:8], 0x1068[7:0]}，可以实现对高 32 位寄存器（0x1094）的写入。

### 5. LPC FIXIOREG 问题

LPC 的 FIXCREG/FIXMREG/FIXIOREG 作为内部保留寄存器，不作为 PCI 配置头的 BAR 使用，但硬件实现时错误地将其地址放在了 PCI 配置头 BAR 的位置。软件应将 LPC 的 BAR 寄存器位置当作无效 BAR 来处理，但需要使能 LPC 的 I/O 和 MEM 空间访问。

解决办法：在 PCI 配置读访问函数中，当发现读的设备是 LPC（B0:D23:F0）且地址等于 BAR0/1/2/3/4/5 的地址（0x10~0x27）时，直接返回数据 0。

### 6. DC 控制寄存器的并发访问问题

DC 的控制寄存器不支持多个处理器的同时写访问，不管这些写访问的目的寄存器是否相同。也就是说，任何时刻只能有一个处理器对 DC 的控制寄存器空间进行写操作。

解决办法：内核通过加锁来避免多个处理器同时对 DC 控制寄存器空间进行写操作。