
LS1E 产品规格说明

目录

一、LS1E 芯片主要功能	3
1.1LS1E 芯片体系结构框图	3
1.2 LS1E 芯片功能介绍	3
二、LS1E 芯片引脚说明	8
2.1 LS1E 引脚分布图	8
2.2 EMI 引脚定义	11
2.3 PCI 引脚定义	13
2.4 SPI 引脚定义	15
2.5 UART 引脚定义	15
2.6 I2C 引脚定义	15
2.7 GPIO 引脚定义	16
2.8 JTAG 引脚定义	16
2.9 时钟/复位引脚定义	16
2.10 测试与其它控制引脚定义	16
2.11 电源/地引脚定义	17
三、LS1E 芯片电气特性	18
3.1 临界工作参数	18
3.2 推荐工作参数	18
直流电气特性	18
交流电气特性	19

一、LS1E 芯片主要功能

1.1 LS1E 芯片体系结构框图

本芯片的体系结构框图如图 1-1 所示：

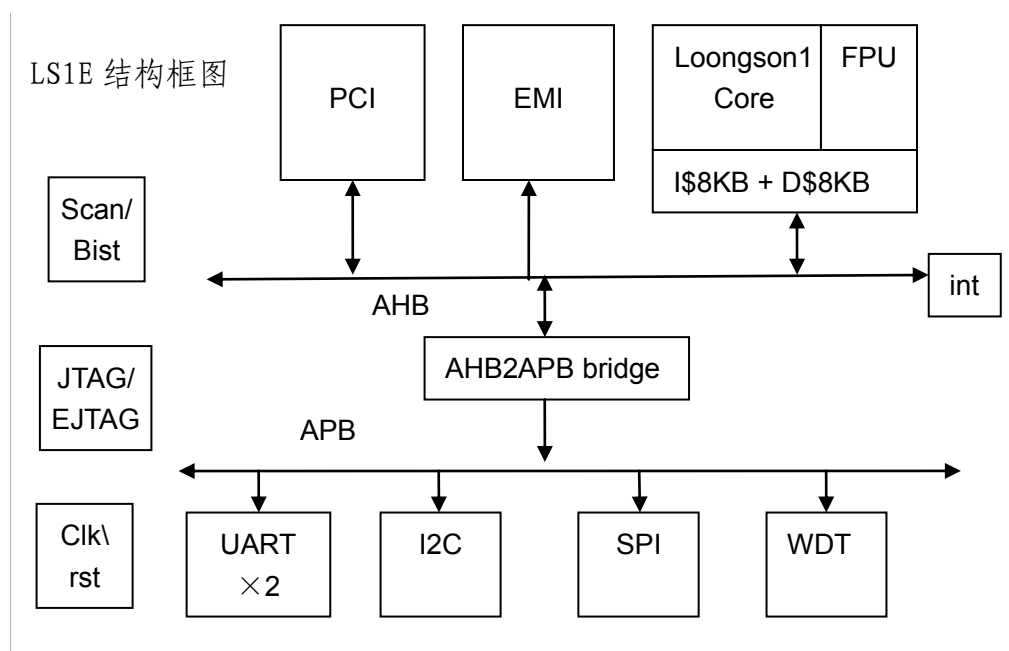


图 1-1 LS1E 体系结构框图

1.2 LS1E 芯片功能介绍

龙芯 1E 支持以下功能：

(1) 精简的 32 位龙芯 CPU 核

- ✓ 32 位 RISC CPU
- ✓ MIPS Release1 标准完全兼容
- ✓ 五级动态流水线
- ✓ 16 项操作队列
- ✓ 动态转移预测
- ✓ IEEE 754 兼容的浮点部件
- ✓ 32 项 TLB
- ✓ 8KB 二路组相联指令 Cache
- ✓ 8KB 二路组相联数据 Cache
- ✓ 支持非阻塞的访存
- ✓ 支持定点多媒体指令
- ✓ 支持定点 DSP 指令

(2) 片上总线支持

- ✓ 分为高速系统总线（High-speed System Bus, HSB）和低速外设总线（Low-speed Peripheral Bus, LPB），中间由桥接电路相连
- ✓ 高速总线 32 位地址，32 位数据宽度
- ✓ 高速总线支持突发（burst）式传输
- ✓ 高速总线仲裁支持最高优先级
- ✓ 高速总线支持单个传输的最大传输数据量以及最多传输时间的控制
- ✓ 低速总线 10 位地址，8 位数据宽度
- ✓ 低速总线不支持突发式传输
- ✓ 低速总线时钟与高速总线工作在相同频率

(3) SDRAM 支持

- ✓ 最大支持 256MB
- ✓ 兼容 PC100/133 内存规范，工作频率与系统总线的时钟同频
- ✓ 可编程的突发长度：1，2，4，8 字节与整页
- ✓ 支持顺序（sequential）访问
- ✓ 字节使能访问
- ✓ 支持 SDRAM 的模式寄存器配置
- ✓ 方便灵活的访问 SDRAM 的主接口
- ✓ 透明的 SDRAM 刷新控制
- ✓ 透明的 SDRAM 换行控制
- ✓ 在串行方式读写时，连续的块数据访问之间无需额外周期的开销
- ✓ 支持 ECC 校验功能

(4) NOR FLASH 支持

- ✓ NOR FLASH 最大支持 64MB
- ✓ 数据宽度可以通过配置设为 $\times 8$ 或 $\times 16\text{bit}$
- ✓ 支持以块为单位的写、擦除
- ✓ 支持以字节、半字和字为单位的读数据和读产品 ID
- ✓ 对于不同厂家的 NOR FLASH，其速度可进行配置
- ✓ 低功耗设计考虑，没有命令时，Flash 及控制器自动进入待机模式
- ✓ 支持 Automatic Sleep Mode，使用此模式可以使 Flash 进一步降低功耗

(5) NAND FLASH 支持

- ✓ NAND FLASH 最大支持 128MB
- ✓ 支持 8 位数据宽度

-
- ✓ 地址周期支持 3/4/5
 - ✓ 页面大小支持 512Byte/2048Byte
 - ✓ 支持块擦除、整页编程
 - ✓ 支持以字节、半字和字和整页为单位的读数据、读产品 ID 和读设备状态
 - ✓ 对于不同厂家的 NAND FLASH，其速度可进行配置
 - ✓ 低功耗设计考虑，没有命令时，Flash 及控制器自动进入待机模式
 - ✓ 支持 ECC 校验功能

(6) HPI 接口支持

- ✓ VINETIC 芯片接口兼容
- ✓ 支持 Intel Demultiplexed Mode
- ✓ 支持 Motorola Mode
- ✓ 支持 8 位总线宽度

(7) PCI 接口

- ✓ PCI2.2 兼容，32 位总线宽度，支持 33MHz 总线频率。
- ✓ 作为 PCI 总线设备发起操作时，不会插入要求目标设备等待的状态。
- ✓ 支持 CPU 地址空间与 PCI 地址空间的相互映射，单独一个映射窗口的地址范围最小为 4K 字节，最大可达 1G 字节。
- ✓ 可软件配置映射窗口为 I/O 地址空间映射或内存地址空间映射。
- ✓ 软件可配的内存访问优化策略-内存读预取。
- ✓ 支持 PCI 总线上的 I/O 和内存读写操作，支配置读写命令。
- ✓ 通过登记写和延迟读策略保证过桥的 PCI 总线传输操作顺序。
- ✓ 支持总线停靠功能。
- ✓ 能够响应 PCI 总线上其他设备发起的对桥的快速背靠背传输请求并完成传输。
- ✓ 最多可支持 4 个 PCI 设备

(8) 串行外围设备控制器 SPI

- ✓ 全双工同步串口数据传输
- ✓ 支持到 4 个的变长字节传输
- ✓ 主模式支持
- ✓ 模式故障产生错误标志并发出中断请求
- ✓ 双缓冲接收器
- ✓ 极性和相位可编程的串行时钟

-
- ✓ 可在等待模式下对 SPI 进行控制

(9) 通用异步收发器 UART

- ✓ 两路全双工异步数据接收/发送
- ✓ 可编程的数据格式
- ✓ 16 位可编程时钟计数器
- ✓ 支持接收超时检测
- ✓ 带仲裁的多中断系统
- ✓ 仅工作在 FIFO 方式
- ✓ 仅支持两个引脚 (TXD, RXD)
- ✓ 在寄存器与功能上兼容 NS16550A

(10) 串行通讯总线控制器 I2C

- ✓ 履行双向同步串行协议
- ✓ 只实现主设备操作
- ✓ 能够支持多主设备的总线
- ✓ 总线的时钟频率可编程
- ✓ 可以产生开始/停止/应答等操作
- ✓ 能够对总线的状态进行探测
- ✓ 与 PHILIPS I²C 标准相兼容
- ✓ 支持低速和快速模式
- ✓ 支持 7 位寻址和 10 位寻址
- ✓ 支持时钟延伸和等待状态

(11) 通用输入/输出控制器 GPIO

- ✓ GPIO 的位数多达 28 位
- ✓ 支持位操作

(12) 中断控制器 Interrupt

- ✓ 支持软件设置中断
- ✓ 支持电平与边沿触发
- ✓ 支持中断屏蔽与使能

(13) 看门狗 Watchdog

- ✓ 32 比特计数器及初始化寄存器

(14) 其它

-
- ✓ 测试访问口控制器 JTAG
 - ✓ 扫描测试/内建自测试 Scan/BIST
 - ✓ 芯片复位

二、LS1E 芯片引脚说明

2.1 LS1E 引脚分布图

LS1E 为 PGA 封装，芯片的顶视图如下

	1	2	3	4	5	6	7	8
A	VSS33	VSS18	PCI_I NTB#	PCI_R EQ#3	PCI_R EQ#1	PCI_C BE#3	PCI_C BE#1	PCI_FR AME#
B	VDD18	VDD33	PCI_I NTA#	PCI_R EQ#2	PCI_R EQ#0	PCI_C BE#2	PCI_C BE#0	PCI_IR DY#
C	PCI_I NTD#	PCI_I NTC#	VDD18	VSS18	VDD33	VSS33	VDD18	VSS18
D	VSS33 _1	PCI_G NT#0	VSS18					
E	PCI_G NT#1	PCI_G NT#2	VDD33					
F	PCI_G NT#3	PCI_A D00	VSS33					
G	VDD33 _1	PCI_A D02	VDD18					
H	PCI_A D01	PCI_A D04	VSS18					
J	PCI_A D03	PCI_A D06	VDD33					
K	PCI_A D05	PCI_A D08	VSS33					
L	PCI_A D07	VSS33 _2	VDD18					
M	PCI_A D09	PCI_A D10	VSS18					
N	PCI_A D11	PCI_C LK	VDD33					
P	RAD_C TRL2	RAD_C TRL3	VSS33					
R	PCI_A D12	PCI_A D13	VDD18					
T	PCI_A D14	PCI_A D15	VSS18					
U	PCI_A D16	PCI_A D17	VDD33					
V	PCI_A D18	PCI_A D19	VSS33					
W	PCI_A	PCI_A	VDD18					

AD	VSS33	VDD33	VSS18	VDD18	VSS33	VDD3 3	VSS1 8	VDD1 8	VSS3 3
AE	EMI_D13	EMI_D 15	EMI_D 17	EMI_D 19	EMI_D 21	EMI_ D23	EMI_ D25	EMI_ D27	EMI_ D29
AF	EMI_D12	EMI_D 14	EMI_D 16	EMI_D 18	EMI_D 20	EMI_ D22	EMI_ D24	EMI_ D26	EMI_ D28
	9	10	11	12	13	14	15	16	17

图 错误!文档中没有指定样式的文字。-3 LS1E 引脚分布图 (中)

18	19	20	21	22	23	24	25	26	
SPI _CLK	I2C_ SCL	JTAG _TDO	JTAG_ TCK	JTAG_ SEL	ECC_FA IL1	MODE_S CAN#	VSS1 8	VSS33	A
I2C _SDA	JTAG _TMS	JTAG _TDI	JTAG_ RST#	ECC_F AILO	MODE_B IST#	MODE_T EST#	VDD3 3	VDD18	B
VSS 33	VDD1 8	VSS1 8	VDD33	VSS33	VDD18	VSS18	GPI0 14	GPI015	C
						VDD18	GPI0 12	GPI013	D
						VSS33	GPI0 10	GPI011	E
						VDD33	GPI0 08	GPI009	F
						VSS18	GPI0 06	GPI007	G
						VDD18	GPI0 04	GPI005	H
						VSS33	GPI0 02	GPI003	J
						VDD33	GPI0 01	GPI000	K
						VSS18	EMI_ A24	SYS_RS T#	L
						VDD18	EMI_ A22	EMI_A2 3	M
						VSS33	EMI_ A20	EMI_A2 1	N
						VDD33	EMI_ A18	EMI_A1 9	P
						VSS18	EMI_ A16	EMI_A1 7	R
						VDD18	EMI_ A14	EMI_A1 5	T
						VSS33	EMI_ A12	EMI_A1 3	U
						VDD33	EMI_ A10	EMI_A1 1	V

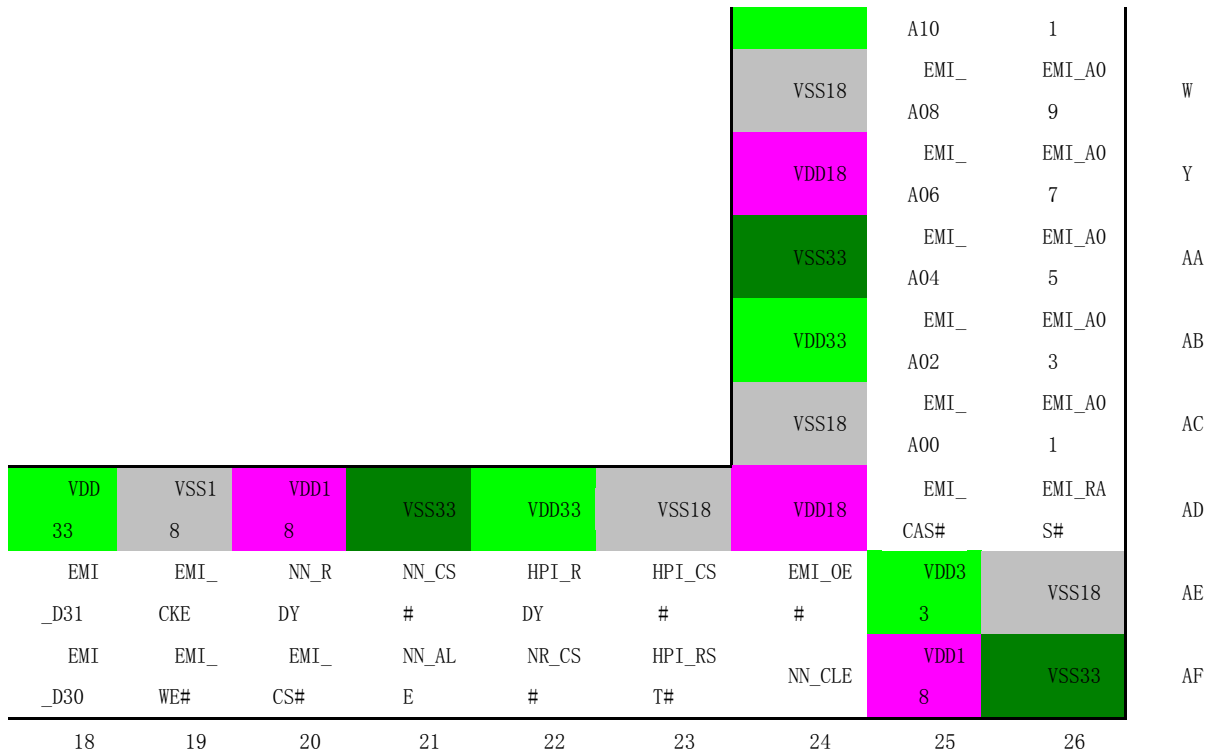


图 错误!文档中没有指定样式的文字。-4 LS1E 引脚分布图（右）

2.2 EMI 引脚定义

表 错误!文档中没有指定样式的文字。-1 EMI 引脚定义

引脚名称	引脚编号	类型	复用	描述
EMI_WE_		O		外部存储器写使能信号
EMI_OE_		O		外部存储器输出使能信号
SD_CS_		O		SDRAM 片选信号
RAS_		O		SDRAM 行地址选通信号
CAS_		O		SDRAM 列地址选通信号
CKE		O		SDRAM 时钟使能信号
EP_CS_		O		EEPROM 片选信号/HPI 片选信号
NR_CS_		O		NOR FLASH 片选信号
NN_CS_		O		NAND FLASH 片选信号
NN_CLE		O		NAND FLASH 命令锁存使能信号
NN_ALE		O		NAND FLASH 地址锁存使能信号
NN_RDY		I		NAND FLASH 就绪状态信号
HPI_RDY_n		I		HPI 就绪状态信号
HPI_RST_n		O		HPI 复位信号
A0		O		外部存储地址总线第 0 位
A1		O		外部存储地址总线第 1 位
A2		O		外部存储地址总线第 2 位
A3		O		外部存储地址总线第 3 位
A4		O		外部存储地址总线第 4 位
A5		O		外部存储地址总线第 5 位

引脚名称	引脚编号	类型	复用	描述
A6		O		外部存储地址总线第 6 位
A7		O		外部存储地址总线第 7 位
A8		O		外部存储地址总线第 8 位
A9		O		外部存储地址总线第 9 位
A10		O		外部存储地址总线第 10 位
A11		O		外部存储地址总线第 11 位
A12		O		外部存储地址总线第 12 位
A13		O		外部存储地址总线第 13 位
A14		O	SDRAM BA0	外部存储地址总线第 14 位
A15		O	SDRAM BA1	外部存储地址总线第 15 位
A16		B (O)	GPIO29/ SDRAM ECC_DATA0	外部存储地址总线第 16 位 SDRAM ECC 数据线第 0 位
A17		B (O)	GPIO30/ SDRAM ECC_DATA1	外部存储地址总线第 17 位 SDRAM ECC 数据线第 1 位
A18		B (O)	GPIO31/ SDRAM ECC_DATA2	外部存储地址总线第 18 位 SDRAM ECC 数据线第 2 位
A19		B (O)	GPIO32/ SDRAM ECC_DATA3 /CPU_CFG0	外部存储地址总线第 19 位 SDRAM ECC 数据线第 3 位 CPU PLL 配置第 0 位
A20		B (O)	GPIO33/ SDRAM ECC_DATA4 /CPU_CFG1	外部存储地址总线第 20 位 SDRAM ECC 数据线第 4 位 CPU PLL 配置第 1 位
A21		B (O)	GPIO34/ SDRAM ECC_DATA5	外部存储地址总线第 21 位 SDRAM ECC 数据线第 5 位
A22		B (O)	GPIO35/ SDRAM ECC_DATA6	外部存储地址总线第 22 位 SDRAM ECC 数据线第 6 位
A23		B (O)	GPIO36	外部存储地址总线第 23 位
A24		O	ECC_DQM	ECC 数据宽度屏蔽信号
D0		B		外部存储数据总线第 0 位
D1		B		外部存储数据总线第 1 位
D2		B		外部存储数据总线第 2 位
D3		B		外部存储数据总线第 3 位
D4		B		外部存储数据总线第 4 位
D5		B		外部存储数据总线第 5 位
D6		B		外部存储数据总线第 6 位

引脚名称	引脚编号	类型	复用	描述
D7		B		外部存储数据总线第 7 位
D8		B	NAND/NOR ECC DATA 0	外部存储数据总线第 8 位 NAND/NOR ECC 数据线第 0 位
D9		B	NAND/NOR ECC DATA 1	外部存储数据总线第 9 位 NAND/NOR ECC 数据线第 1 位
D10		B	NAND/NOR ECC DATA 2	外部存储数据总线第 10 位 NAND/NOR ECC 数据线第 2 位
D11		B	NAND/NOR ECC DATA 3	外部存储数据总线第 11 位 NAND/NOR ECC 数据线第 3 位
D12		B	NAND/NOR ECC DATA 4	外部存储数据总线第 12 位 NAND/NOR ECC 数据线第 4 位
D13		B	NAND/NOR ECC DATA 5	外部存储数据总线第 13 位 NAND/NOR ECC 数据线第 5 位
D14		B	NAND/NOR ECC DATA 6	外部存储数据总线第 14 位 NAND/NOR ECC 数据线第 6 位(总为 0)
D15		B	NAND/NOR ECC DATA 7	外部存储数据总线第 15 位 NAND/NOR ECC 数据线第 7 位(总为 0)
D16		B		外部存储数据总线第 16 位
D17		B		外部存储数据总线第 17 位
D18		B		外部存储数据总线第 18 位
D19		B		外部存储数据总线第 19 位
D20		B		外部存储数据总线第 20 位
D21		B		外部存储数据总线第 21 位
D22		B		外部存储数据总线第 22 位
D23		B		外部存储数据总线第 23 位
D24		B		外部存储数据总线第 24 位
D25		B		外部存储数据总线第 25 位
D26		B		外部存储数据总线第 26 位
D27		B		外部存储数据总线第 27 位
D28		B		外部存储数据总线第 28 位
D29		B		外部存储数据总线第 29 位
D30		B		外部存储数据总线第 30 位
D31		B		外部存储数据总线第 31 位

2.3 PCI 引脚定义

表 错误!文档中没有指定样式的文字。-2 PCI 引脚定义

引脚名称	引脚编号	类型	复用	描述
PCI_CLK		I		时钟
PCI_RST		O		复位
PCI_FRAM E		BPCI		帧周期

引脚名称	引脚编号	类型	复用	描述
PCI_IRDY		BPCI		主设备准备好
PCI_TRDY		BPCI		从设备准备好
PCI_STOP		BPCI		停止数据传送
PCI_DEVSEL		BPCI		设备选择
PCI_PERR		BPCI		奇偶校验
PCI_SERR		OD?		系统错误报告
PCI_PAR		BPCI		校验位
PCI_REQ0		I		总线占有请求 0
PCI_GNT0		BPCI		总线占有允许 0
PCI_REQ1		I		总线占有请求 1
PCI_GNT1		BPCI		总线占有允许 1
PCI_REQ2		I		总线占有请求 2
PCI_GNT2		BPCI		总线占有允许 2
PCI_REQ3		I		总线占有请求 3
PCI_GNT3		BPCI		总线占有允许 3
PCI_INTA		I		中断请求 0
PCI_INTB		I		中断请求 1
PCI_INTC		I		中断请求 2
PCI_INTD		I		中断请求 3
PCI_CBE0		BPCI		字节使能 0
PCI_CBE1		BPCI		字节使能 1
PCI_CBE2		BPCI		字节使能 2
PCI_CBE3		BPCI		字节使能 3
PCI_AD0		BPCI		数据地址线 0
PCI_AD1		BPCI		数据地址线 1
PCI_AD2		BPCI		数据地址线 2
PCI_AD3		BPCI		数据地址线 3
PCI_AD4		BPCI		数据地址线 4
PCI_AD5		BPCI		数据地址线 5
PCI_AD6		BPCI		数据地址线 6
PCI_AD7		BPCI		数据地址线 7
PCI_AD8		BPCI		数据地址线 8
PCI_AD9		BPCI		数据地址线 9
PCI_AD10		BPCI		数据地址线 10
PCI_AD11		BPCI		数据地址线 11
PCI_AD12		BPCI		数据地址线 12
PCI_AD13		BPCI		数据地址线 13
PCI_AD14		BPCI		数据地址线 14
PCI_AD15		BPCI		数据地址线 15
PCI_AD16		BPCI		数据地址线 16
PCI_AD17		BPCI		数据地址线 17

引脚名称	引脚编号	类型	复用	描述
PCI_AD18		BPCI		数据地址线 18
PCI_AD19		BPCI		数据地址线 19
PCI_AD20		BPCI		数据地址线 20
PCI_AD21		BPCI		数据地址线 21
PCI_AD22		BPCI		数据地址线 22
PCI_AD23		BPCI		数据地址线 23
PCI_AD24		BPCI		数据地址线 24
PCI_AD25		BPCI		数据地址线 25
PCI_AD26		BPCI		数据地址线 26
PCI_AD27		BPCI		数据地址线 27
PCI_AD28		BPCI		数据地址线 28
PCI_AD29		BPCI		数据地址线 29
PCI_AD30		BPCI		数据地址线 30
PCI_AD31		BPCI		数据地址线 31

2.4 SPI 引脚定义

表 错误!文档中没有指定样式的文字。-2 SPI 引脚定义

引脚名称	引脚编号	类型	复用	描述
SCLK		B (O)	GPIO20	SPI 时钟 (芯片只实现主模块)
MOSI		B (O)	GPIO21	SPI 主出从入数据
MISO		B (I)	GPIO22	SPI 主入从出数据
SS_		B (O)	GPIO23	SPI 选通信号

2.5 UART 引脚定义

表 错误!文档中没有指定样式的文字。-3 UART 引脚定义

引脚名称	引脚编号	类型	复用	描述
URT0_TXD		O		UART0 发送数据
URT0_RXD		I (O)	测试 时钟输出	UART0 接收数据
URT1_TXD		O		UART1 发送数据
URT1_RXD		I (O)	测试 时钟输出	UART1 接收数据

2.6 I2C 引脚定义

表 错误!文档中没有指定样式的文字。-4 I2C 引脚定义

引脚名称	引脚编号	类型	复用	描述
I2C_SCL		BoD ?		I ² C 时钟
I2C_SDA		BoD ?		I ² C 数据

2.7 GPIO 引脚定义

表 错误!文档中没有指定样式的文字。-5 GPIO 引脚定义

引脚名称	引脚编号	类型	复用	描述
GPIO0		B		GPIO 专用线第 0 位
GPIO1		B		GPIO 专用线第 1 位
GPIO2		B		GPIO 专用线第 2 位
GPIO3		B		GPIO 专用线第 3 位
GPIO4		B		GPIO 专用线第 4 位
GPIO5		B		GPIO 专用线第 5 位
GPIO6		B		GPIO 专用线第 6 位
GPIO7		B		GPIO 专用线第 7 位
GPIO8		B		GPIO 专用线第 8 位
GPIO9		B		GPIO 专用线第 9 位
GPIO10		B		GPIO 专用线第 10 位
GPIO11		B		GPIO 专用线第 11 位
GPIO12		B		GPIO 专用线第 12 位
GPIO13		B		GPIO 专用线第 13 位
GPIO14		B		GPIO 专用线第 14 位
GPIO15		B		GPIO 专用线第 15 位

2.8 JTAG 引脚定义

表 错误!文档中没有指定样式的文字。-6 JTAG 引脚定义

引脚名称	引脚编号	类型	复用	描述
TAP_SEL		I		TAP (测试访问口) 选择
JTCK		I		TAP 时钟
JRST_		I		TAP 复位
JTDI		I		TAP 数据输入
JTDO		O		TAP 数据输出
JTMS		I		TAP 工作模式

2.9 时钟/复位引脚定义

表 错误!文档中没有指定样式的文字。-7 时钟/复位引脚定义

引脚名称	引脚编号	类型	复用	描述
EXT_CLK		I		芯片主时钟
SYS_RST_		I		芯片复位

2.10 测试与其它控制引脚定义

表 错误!文档中没有指定样式的文字。-9 时钟/复位引脚定义

引脚名称	引脚编号	类型	复用	描述
------	------	----	----	----

SCAN_MODE_		I		扫描测试模式
TEST_MODE_		I		芯片测试模式
BIST_MODE_		I		片内 RAM 自测试模式
FLASH_ECC_FAIL		O		FLASH ECC 两位错指示信号
RAM_ECC_FAIL		O		RAM ECC 两位错指示信号
RAD_MODE		I		时钟三模冗余控制
RAD_CTRL0		I		时钟工作模式第 0 位
RAD_CTRL1		I		时钟工作模式第 1 位
RAD_CTRL2		I		时钟工作模式第 2 位
RAD_CTRL3		I		时钟工作模式第 3 位

2.11 电源/地引脚定义

表 错误!文档中没有指定样式的文字。-10 电源/地引脚定义

引脚名称	引脚编号	描述	类型	应用说明
VDD18		内核电压	数字 1.8V	
VSS18		内核地	数字地	
VDD33		IO 电压	数字 3.3V	
VSS33		IO 地	数字地	

注释： 表中类型含义：

I: 输入 O: 输出 B: 双向 OD: 漏级开路 BoD: 漏级开路的双向脚

BPCI: 标准 PCI33 接口

B(O): 功能复用引脚—GPIO 为双向(功能脚为输出)

B(I): 功能复用引脚—GPIO 为双向(功能脚为输入)

三、LS1E 芯片电气特性

3.1 临界工作参数

表 3-8 临界工作参数

参数	符号	数值			单位	说明
		最小值	典型值	最大值		
内核电压	VCCInst	-0.5		2.5	V	
IO 电压	VCCIO	-0.5		4.6	V	
输入电压	VI	-0.5		6	V	
输出电压	VO	-0.5		4.6	V	
存储温度	Ts	-65		150	°C	
环境温度	Ta				°C	待定
ESD 保护	Vesd	0		2000	V	HBM 模型

注意： 超出临界工作范围会对器件导致永久的损坏。长时间工作在临界范围会影响器件的可靠性，并可能导致不可逆的损坏。

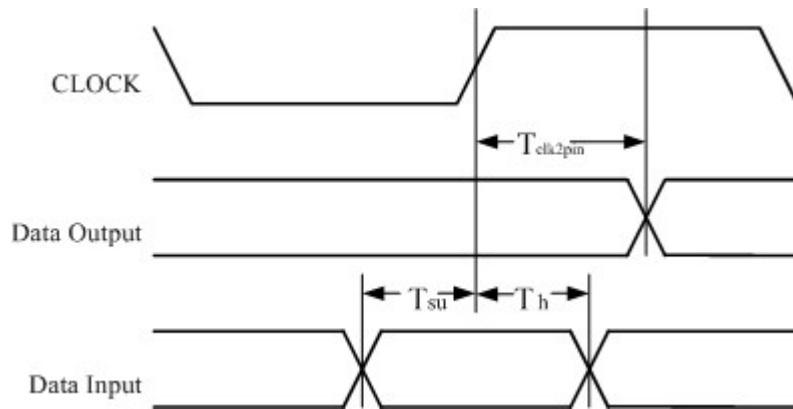
3.2 推荐工作参数

直流电气特性

表 3-9 直流电气特性

参数	符号	数值			单位	说明
		最小值	典型值	最大值		
内核电压	VCCInst	1.62	1.8	1.98	V	
IO 电压	VCCIO	2.97	3.3	3.63	V	
IO 输入低电平		-0.3		1.2	V	
IO 输入高电平		1.5		5.5	V	
输入漏电流		-10			uA	
输出低电平				0.4	V	
输出高电平		2.4			V	
输入引脚电容					pF	
引脚电感					nH	

交流电气特性



说明:

- 1) 输出延迟是从时钟输入管脚到信号输出管脚的总延迟。
- 2) 输出延迟的三个值分别是最好、典型、最坏三种工作条件下的最大延迟。
- 3) 输入保持时间的正值表示信号输入需要进行延迟补偿。