
LOONGSON

龙芯 LS2J 型微处理器数据手册

Revision 1.0.6 版

2014 年 2 月

中国科学院计算技术研究所

龙芯中科技术有限公司

修订历史



日期	版本	更新内容
2010.04.28	V1.0.1	AC/DC, 封装信息
2011.03.29	V1.0.2	芯片特点, CLKSEL、电压域描述, DDR2/3 SDRAM 控制器接口, 7.7 节
2011.04.18	V1.0.3	增加 PCI 信号说明, 修正 LPC 接口信号名
2013.05.28	V1.0.4	修正 3.3 节 PCI 使用外部仲裁的描述 产品名称由“龙芯 2G+”改为“龙芯 LS2J” 公司名称由“北京龙芯中科技术服务中心有限公司”改为“龙芯中科技术有限公司”
2013.07.10	V1.0.5	修正封装尺寸图, 芯片特点描述
2014.02.27	V1.0.6	修正表 7.1, 增加表 7.2, 修改封面标识

芯片特点



- 采用 65nm CMOS 工艺;
- 核心电源电压: 1.1V
- 最大时钟频率: 800MHz
- 指令集体系结构: MIPS; 指令集: MIPS64
- 总线结构: 访存接口采用 DDR2, I/O 接口采用 PCI 总线;
- 机器周期: 1.25ns; 内部时钟频率: 800MHz;
- 指令速度: 四发射结构, 主频乘 4 (即 3200) MIPS;
- 寄存器数量: 定点 32 个, 浮点 32 个;
- 中断类型: 多极中断向量;
- 地址访问模式: 基于页式机制的虚实地址转换访问模式;
- 地址位数: 64 位; 数据线位数: 64 位; 可管理存储位数: 64 位;
- I/O 总线宽度: 32 位;
- 功耗: $\leq 8W$;
- Cache: 一级指令 Cache 和数据 Cache, 大小各为 64KB;
- 支持 1MB 片内二级 Cache;
- 支持 Cache 一致性协议;
- 定点运算速度每秒 16 亿次, 单精度浮点运算速度每秒 64 亿次, 双精度浮点运算速度每秒 32 亿次;
- 33MHz/66MHz PCI/PCI-X 控制器;
- DDR2 控制器, 最高支持 333MHz;
- 2 个 1000M 自适应以太网控制器;
- 1 个标准串口控制器;
- 内部中断控制器;
- 支持 PS/2 键盘、鼠标。
- 采用 31mm x 31mm 的 WB CBGA500 封装形式。

目录

龙芯 LS2J 型微处理器数据手册	1
修订历史.....	II
芯片特点.....	III
目录	IV
图目录.....	VI
表目录.....	VII
1 引言.....	1
2 接口描述.....	3
2.1 接口信号模块	3
2.2 PCI 总线接口信号	4
2.3 GMAC RGMII 接口信号	5
2.4 DDR2/3 SDRAM 总线接口信号	5
2.5 初始化信号	6
2.6 低速 I/O 接口	7
2.7 芯片中断信号	8
2.8 JTAG 及 EJTAG 信号.....	9
2.9 测试和控制信号	9
2.10 时钟信号	9
2.11 电源和接地	11
3 低速 IO 总线接口特性	12
3.1 PCI/PCI-X 接口特性	13
3.2 仲裁器和设备模式	13
3.3 PCI 总线仲裁器.....	13
4 GMAC 描述.....	14
4.1 GMAC 特性	14
5 DDR2/3 SDRAM 控制器接口描述.....	14
5.1 DDR2/3 SDRAM 控制器特性	14
5.2 DDR2/3 SDRAM 读协议.....	15
5.3 DDR2/3 SDRAM 写协议	16
5.4 DDR2/3 SDRAM 参数设置顺序.....	16
6 初始化过程.....	18
7 电气特性.....	19

7.1 绝对最大额定值	19
7.2 推荐工作条件	19
7.3 DDR2 总线内存接口特性	19
7.3.1 推荐的直流特性	19
7.3.2 推荐的交流特性	20
7.3.3 电气交流时序特性	20
7.2.3.1 过冲和下冲	20
7.2.3.2 器件刷新参数	21
7.2.3.3 内存标准速率分级	22
7.2.3.4 时序参数	22
7.4 PCI-X 总线特性	24
7.4.1 推荐的直流工作条件	24
7.4.2 交流工作特性	25
7.4.3 时序参数	25
7.4.4 复位时序	27
7.4.5 PCI-X 总线系统的噪声容限	27
7.4.6 PCI-X 的系统时序裕量	28
7.5 GMAC 接口	29
7.5.1 数据和控制信号的复用	29
7.5.2 时序要求	30
7.5.3 电气特性	31
7.6 LPC 总线和其它引脚	31
7.6.1 LPC 总线	31
7.6.2 EJTAG	31
7.7 参考时钟	32
7.7.1 DDR2 内存的时钟	32
7.7.2 PCI-X 时钟	32
7.8 电源和上电时序	33
7.8.1 电源工作条件	33
7.8.2 上电时序	33
8 焊接特性	34
9 引脚排列和封装	35
9.1 封装引脚排列	35
9.2 封装尺寸	38

图目录

图 1.1 LS2J 芯片结构	2
图 2.1 LS2J 处理器接口信号框图	3
图 5.1 DDR2 SDRAM 读协议	15
图 5.2 DDR2 SDRAM 写协议	16
图 7.1 差分的信号电平	20
图 7.2 地址和控制信号的 AC 过冲和下冲定义	21
图 7.3 时钟, 数据和数据选通和数据屏蔽的 AC 过冲和下冲定义	21
图 7.4 转换到带上拉的 PCI-X 模式的 RST#时序	27
图 7.5 PCI-X 噪声容限	27
图 7.6 Multiplexing & Timing Diagram - Original RGMII	29
图 7.7 Multiplexing & Timing Diagram – RGMII-ID	30
图 7.8 3.3V PCI-X 时钟波形	32
图 8.1 焊接回流曲线	34
图 9.1 封装尺寸图	38

表目录

表 2.1 PCI 总线信号	4
表 2.2 GMAC 总线信号.....	5
表 2.3 DDR2 SDRAM 控制器接口信号	5
表 2.4 初始化接口信号.....	6
表 2.5 LPC 接口信号	7
表 2.6 SPI 接口信号.....	7
表 2.7 PS/2 接口信号	8
表 2.8 UART 接口信号	8
表 2.9 中断信号描述.....	8
表 2.10 JTAG 接口信号	9
表 2.11 EJTAG 接口信号.....	9
表 2.12 时钟信号.....	10
表 2.13 Core 时钟域倍频.....	10
表 2.14 DDR2/3 时钟域倍频.....	10
表 2.15 电源和接地信号.....	11
表 5.1 时钟信号 DDR2 SDRAM 行/列地址转换.....	15
表 7.1 绝对最大额定值.....	19
表 7.2 推荐工作条件.....	19
表 7.3 推荐的直流工作条件(SSTL_1.8).....	19
表 7.4 输入的直流逻辑电平.....	20
表 7.5 输出直流电流驱动.....	20
表 7.6 输入交流逻辑电平.....	20
表 7.7 差分的输入交流逻辑电平.....	20
表 7.8 差分的交流输出参数.....	20
表 7.9 地址和控制信号的 AC 过冲和下冲规范	20
表 7.10 时钟和数据信号的 AC 过冲和下冲规范	21
表 7.11 不同密度的器件刷新参数.....	21
表 7.12 DDR2 内存标准速率分级	22
表 7.13 DDR2-667 和 DDR2-800 时序参数.....	22
表 7.14 PCI-X 设备的直流规范	24
表 7.15 推荐的交流特性.....	25
表 7.16 输出信号的斜率.....	25

表 7.17 通用时序参数.....	25
表 7.18 PCI-X 系统的噪声容限.....	27
表 7.19 建立时间裕量.....	28
表 7.20 保持时间裕量.....	28
表 7.21 GMAC 时序特性.....	30
表 7.22 GMAC 电气特性.....	31
表 7.23 推荐的上拉电阻值.....	31
表 7.24 EJTAG 的交流时序特性.....	31
表 7.25 DDR2 的时钟参数.....	32
表 7.26 PCI-X 时钟参数.....	32
表 7.27 推荐的工作电源电压.....	33
表 8.1 含铅工艺的封装回流最大温度表.....	34
表 8.2 焊接回流时间.....	34
表 9.1 顶层引脚排列（左侧）.....	35
表 9.2 顶层引脚排列（中间）.....	36
表 9.3 顶层引脚排列（右侧）.....	37

1 引言

龙芯 LS2J 型微处理器（简称 LS2J）是龙芯 2 号处理器系列中的一款单核版处理器产品，采用 65nm 工艺制造，内部集成了一个 64 位超标量通用处理器核，最高工作主频为 800MHz，主要特征如下：

- 片内集成一个 64 位的四发射超标量 GS464 高性能处理器核；
- 处理器核流水线采用四发射动态超标量，9-10 级的超流水线结构，支持寄存器重命名、动态调度、分支预测和其它的乱序执行技术；
- 处理器核包括 2 个全流水的 64 位双精度浮点乘加部件；
- 兼容 IEEE754 标准的浮点单元，支持全流水的浮点加减、乘法、乘加等运算，支持硬件除法和开平方根运算，浮点单元还支持龙芯多媒体指令；
- 处理器核包含 64KB 一级数据 Cache 和 64KB 一级指令 Cache，四路组相联结构，块大小为 32 字节；
- 片内集成 1MB 二级 Cache；
- 通过目录协议维护 I/O DMA 访问的 Cache 一致性；
- 采用 128 位 AXI 接口的交叉开关网络；
- 片内集成 1 个 64 位 400MHz 的 DDR2/3 控制器；
- 片内集成 2 个 10M/100M/1000M 自适应以太网控制器；
- 片内集成 32 位 33/66MHz PCI/PCI-X；
- 最高 800MHz 的主频，可动态调节频率，支持动态功耗管理；
- 支持 1 个 LPC、1 个 PS/2、1 个 UART、1 个 SPI 和 16 位 GPIO 接口。

LS2J 的芯片整体架构基于两级互连实现，结构如图 1.1 所示。第一层互连采用 2x2 的交叉开关，连接 CPU、二级 Cache 模块（作为从设备）、以及两个千兆以太网控制器等。第二级互连采用 2x3 的交叉开关，连接 2 级 Cache 模块（作为主设备），DDR2 内存控制器、低速高速 I/O（包括 PCI、LPC、SPI、PS/2 等）以及芯片内部的控制寄存器模块。两级互连开关都兼容 AXI 协议，采用读写分离的数据通道，数据通道宽度为 128 位，工作在与处理器核相同的频率，可提供高速的片上数据传输。

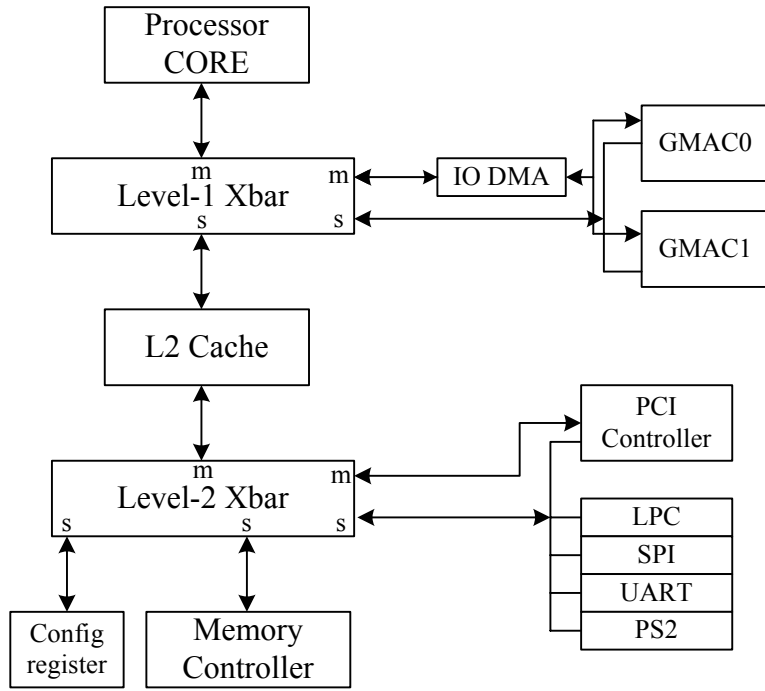


图 1.1 LS2J 芯片结构

2 接口描述

2.1 接口信号模块

LS2J 的接口信号如图 2.1 所示。

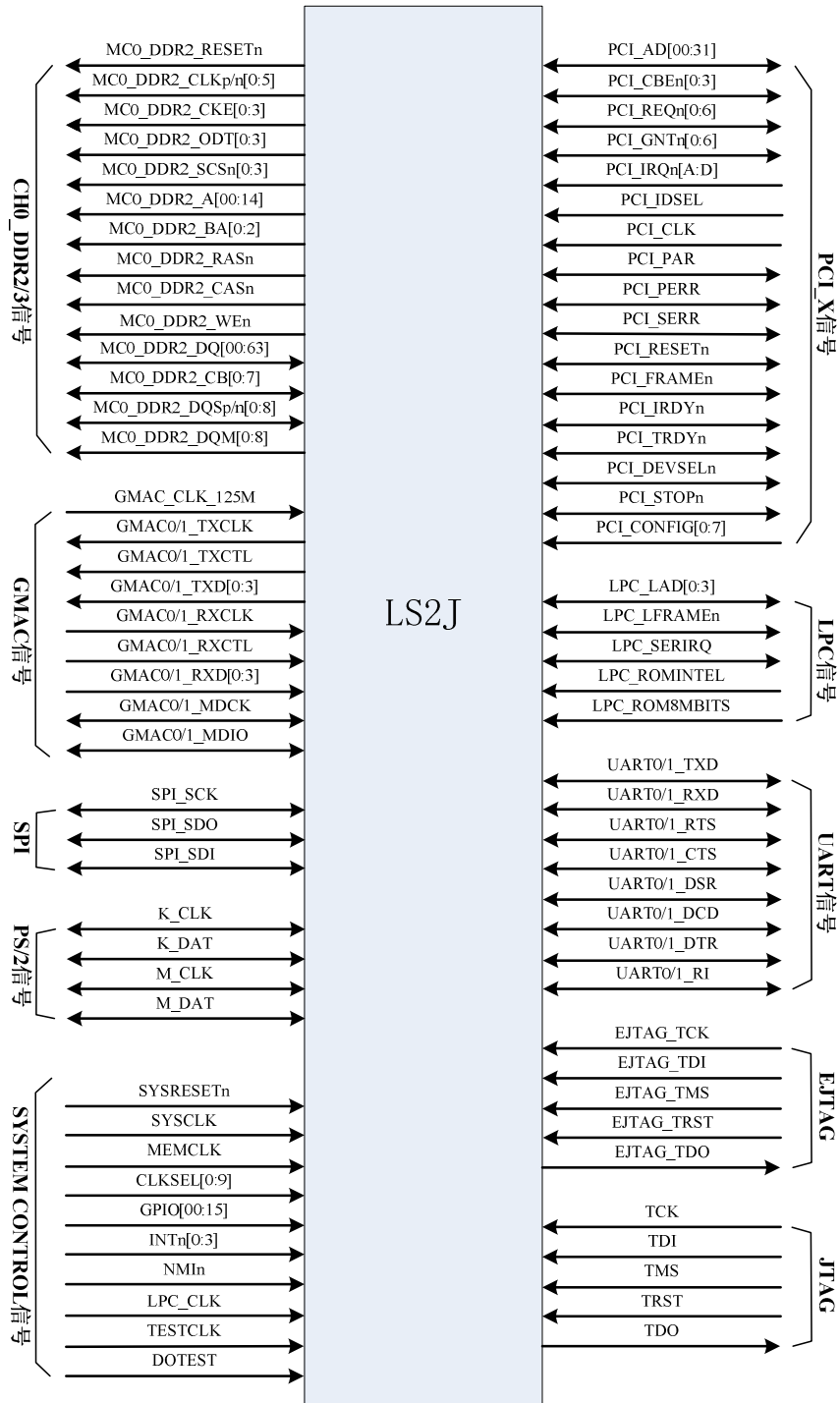


图 2.1 LS2J 处理器接口信号框图

2.2 PCI 总线接口信号

LS2J 的 PCI 总线兼容 PCI2.3 协议标准，支持 7 个从设备，信号包括：

- 32 位地址数据总线信号；
- 4 位命令数据 ID 总线信号；
- 14 位总线仲裁信号；
- 7 位接口控制信号；
- 2 位错误报告信号；

表 2.1 是 LS2J 处理器的 PCI 总线接口信号定义。

表 2.1 PCI 总线信号

信号名称	输入/输出	描述	是否三态	电压域
PCI_AD[31:0]	I/O	PCI 地址/数据信号	T/S	VDDE3V3
PCI_CBE _n [3:0]	I/O	PCI 命令/字节使能信号，需外部上拉	T/S	VDDE3V3
PCI_PAR	I/O	地址/数据奇偶检测信号，需外部上拉	T/S	VDDE3V3
PCI_REQ _n [6:0]	I	外部设备总线占用请求输入信号，需外部上拉	否	VDDE3V3
PCI_REQ _n [0]	I/O	外部设备总线请求输入/到外部仲裁器的总线请求占用输出信号，需外部上拉。当使用外部仲裁器时，该信号作为输出信号。	T/S	VDDE3V3
PCI_GNT _n [6:0]	O	到外部设备的 PCI 总线允许输出信号，需外部上拉	否	VDDE3V3
PCI_GNT _n [0]	I/O	外部仲裁器返回的总线请求允许输入/到外部设备的 PCI 总线允许输出，需外部上拉。当使用外部仲裁器时，该信号作为输入信号。	T/S	VDDE3V3
PCI_FRAME _n	I/O	PCI 帧周期信号，需外部上拉	S/T/S	VDDE3V3
PCI_IRDY _n	I/O	PCI 主设备准备好信号，需外部上拉	S/T/S	VDDE3V3
PCI_TRDY _n	I/O	PCI 目标设备准备好信号，需外部上拉	S/T/S	VDDE3V3
PCI_STOP _n	I/O	PCI 停止数据传送信号，需外部上拉	S/T/S	VDDE3V3
PCI_DEVSEL _n	I/O	PCI 设备选择，需外部上拉	S/T/S	VDDE3V3
PCI_PERR	I/O	PCI 数据奇偶错误报告信号，需外部上拉	S/T/S	VDDE3V3
PCI_SERR	I/O	PCI 系统错误报告，需外部上拉	否	VDDE3V3

【注】 S/T/S，持续三态信号（Sustained Tri-State），是一个低电平有效的三态信号。在某一时刻只能有一个设备驱动这个信号为高电平，在驱动设备释放该信号之前，必须维持这个高电平至少一个时钟周期，新设备只有在原设备释放之后才可以驱动这个信号。S/T/S 信号需要上拉电阻，以便在无任何设备驱动时，保持一个无效高电平状态。

2.3 GMAC RGMII 接口信号

LS2J 有两组独立的 RGMII 接口，每组 RGMII 信号又分为发送和接收两组。其中发送信号包括发送时钟，发送控制和发送数据。接收信号包括接收时钟、接收控制和接收数据。两组 RGMII 共用一个 125MHz 的参考时钟信号。表 2.2 是 LS2J 处理器的 GMAC 总线接口信号定义。

表 2.2 GMAC 总线信号

GMAC 总线信号			
信号名称	输入/输出	描述	电压域
CLK125	I	GMAC0/GMAC1 参考时钟	VDDEGMAC
GMAC0_RXCLK	I	GMAC0 RGMII 接收时钟	VDDEGMAC
GMAC0_RX_CTL	I	GMAC0 RGMII 接收控制	VDDEGMAC
GMAC0_RXD[3:0]	I	GMAC0 RGMII 接收数据	VDDEGMAC
GMAC0_TX_CLK	O	GMAC0 RGMII 发送时钟	VDDEGMAC
GMAC0_TX_CTL	O	GMAC0 RGMII 发送控制	VDDEGMAC
GMAC0_TXD[3:0]	O	GMAC0 RGMII 发送数据	VDDEGMAC
GMAC1_RXCLK	I	GMAC1 RGMII 接收时钟	VDDEGMAC
GMAC1_RX_CTL	I	GMAC1 RGMII 接收控制	VDDEGMAC
GMAC1_RXD[3:0]	I	GMAC1 RGMII 接收数据	VDDEGMAC
GMAC1_TX_CLK	O	GMAC1 RGMII 发送时钟	VDDEGMAC
GMAC1_TX_CTL	O	GMAC1 RGMII 发送控制	VDDEGMAC
GMAC1_TXD[3:0]	O	GMAC1 RGMII 发送数据	VDDEGMAC

2.4 DDR2/3 SDRAM 总线接口信号

LS2J 集成了标准的 DDR2/3 SDRAM 内存控制器。该内存控制器接口包括有下列信号：

- 72 位双向数据总线信号（包括 ECC）；
- 9 路双向数据选通差分信号（包括 ECC）；
- 9 位数据掩码信号（包括 ECC）；
- 15 位地址总线信号；
- 7 位逻辑 Bank 和物理片选信号；
- 6 路差分时钟信号；
- 4 位时钟使能信号；
- 3 位命令总线信号；
- 4 位 ODT(On Die Termination)信号；
- 1 位复位控制信号。

表 2.3 是 LS2J DDR2 SDRAM 控制器接口信号。

表 2.3 DDR2 SDRAM 控制器接口信号

信号名称	输入/输出	描述	电压域
DDR2_DQ[63:0]	IO	DDR2/3 SDRAM 数据总线信号	VDDE1V8
DDR2_CB[7:0]	IO	DDR2/3 SDRAM 数据总线 ECC 信号	VDDE1V8
DDR2_DQSp[8:0]	IO	DDR2/3 SDRAM 数据选通 (包括 ECC)	VDDE1V8
DDR2_DQSn[8:0]	IO	DDR2/3 SDRAM 数据选通 (包括 ECC)	VDDE1V8
DDR2_DQM[8:0]	O	DDR2/3 SDRAM 数据屏蔽 (包括 ECC)	VDDE1V8
DDR2_A[14:0]	O	DDR2/3 SDRAM 地址总线信号	VDDE1V8
DDR2_BA[2:0]	O	DDR2/3 SDRAM 逻辑 Bank 地址信号	VDDE1V8
DDR2_WEn	O	DDR2/3 SDRAM 写使能信号	VDDE1V8
DDR2_CASn	O	DDR2/3 SDRAM 列地址选择信号	VDDE1V8
DDR2_RASn	O	DDR2/3 SDRAM 行地址选择信号	VDDE1V8
DDR2_CS[3:0]	O	DDR2/3 SDRAM 片选信号	VDDE1V8
DDR2_CKE[3:0]	O	DDR2/3 SDRAM 时钟使能信号	VDDE1V8
DDR2_CKp[5:0]	O	DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟, {0,2,4}为另一组 DIMM 时钟	VDDE1V8
DDR2_CKn[5:0]	O	DDR2/3 SDRAM 差分时钟输出信号 {1,3,5}为一组 DIMM 时钟, {0,2,4}为另一组 DIMM 时钟	VDDE1V8
DDR2_ODT[3:0]	O	DDR2/3 SDRAM ODT 信号	VDDE1V8
DDR2_Resetn	O	DDR2/3 SDRAM 复位控制信号	VDDE1V8
DDR_COMP_REF_RES	IO	外置 DDR 参考电阻, 阻值 121K, 精度 1%	VDDE1V8

2.5 初始化信号

表 2.4 提供了初始化信号的名字, 定义, 方向和描述。

表 2.4 初始化接口信号

信号名称	输入/输出	描述	电压域																								
SYSRESETn	I	系统复位信号, 该信号的低电平状态需要维持多于一个 SYSCLK 周期, 它可异步于 SYSCLK 信号。	VDDE3V3																								
PCI_RESETn	I/O	PCI 接口复位信号	VDDE3V3																								
PCI_CONFIG[7:0]	I	PCI 配置 7 GMAC 输出引脚驱动能力控制 6:5 PCIX 总线速度选择 4 PCIX 总线模式选择 3 PCI 主设备模式 2 系统从 PCI 空间启动 1 使用外部 PCI 仲裁 0 GMAC 引脚电压选择 注: <table border="1" style="margin-left: 20px;"> <tr> <td>6</td> <td>5</td> <td>4</td> <td>PCIX 总线模式</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>PCI 33/66</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>PCI-X 66</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>PCI-X 100</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>PCI-X 133</td> </tr> </table> <table border="1" style="margin-left: 20px;"> <tr> <td>7</td> <td>GMAC 输出引脚驱动能力</td> </tr> <tr> <td>0</td> <td>8mA</td> </tr> </table>	6	5	4	PCIX 总线模式	0	0	0	PCI 33/66	0	1	1	PCI-X 66	1	0	1	PCI-X 100	1	1	1	PCI-X 133	7	GMAC 输出引脚驱动能力	0	8mA	VDDE3V3
6	5	4	PCIX 总线模式																								
0	0	0	PCI 33/66																								
0	1	1	PCI-X 66																								
1	0	1	PCI-X 100																								
1	1	1	PCI-X 133																								
7	GMAC 输出引脚驱动能力																										
0	8mA																										

1	10mA
0	GMAC 引脚电压
0	2.5V
1	3.3V

- **SYSRESETn**: 这个复位信号是唯一能复位整个 LS2J 处理器的信号。SYSCLK 和 MEMCLK 必须在 SYSRESETn 有效时提供稳定的时钟。SYSRESETn 的有效时间必须大于一个时钟周期。处理器内部的复位控制逻辑在 SYSRESETn 无效时才开始复位处理器。处理器内部复位将在 64K 个 SYSCLK 周期后完成，之后复位异常处理才可以被执行
- **PCI_RESETEn**: 当 LS2J 作为 PCI 总线主控制器时，这个信号工作为输出，系统中的 PCI/PCI-X 设备的复位必须由该信号控制。当 LS2J 作为 PCI/PCI-X 设备工作时，该信号作为输入用来复位 LS2J 的 PCI 接口。
注：当 LS2J 作为 PCI 总线主控制器时，处理器仅在系统上电复位时会产生 PCI_RESETEn 复位信号，LS2J 软复位时，需使用 GPIO 和外部复位电路配合，使处理器产生 PCI_RESETEn 复位信号。
- **PCI_CONFIG[7:0]**: 定义了 LS2J PCI/PCI-X 接口的工作模式。它在系统复位时必须保持稳定，系统开始运行时软件需从内部寄存器中读取该值。如果系统设置成从 PCI 地址空间启动，则第一条指令的 PCI 地址必须是 0x1fc00000，否则系统将从 LPC 总线的 ROM 空间 0 地址处开始取指。

2.6 低速 I/O 接口

LS2J 集成了 LPC、SPI、UART、PS/2 低速 I/O 接口。这些接口包含的信号如下：

表 2.5 LPC 接口信号

信号名称	输入/输出	描述	电压域
LPC_AD[3:0]	I/O	LPC 总线地址数据信号	VDDE3V3
LPC_LFRAME	O	LPC 总线数据开始/结束信号	VDDE3V3
LPC_SERIRQ	I/O	LPC 总线 serial IRQ 信号，用于传输串行中断信号	VDDE3V3
LPC_ROM8MBITS	I	LPC 启动 flash 8Mbits 和 4Mbits 设置。该信号为高表示 LPC 所接的启动 flash 为 8Mbits，该信号为低表示 LPC 所接的启动 flash 为 4Mbits	VDDE3V3
LPC_ROMINTEL	I	LPC 启动 flash 类型设置。该信号为高表示所接启动 flash 为 INTEL 类型，否则为 AMD 类型	VDDE3V3

表 2.6 SPI 接口信号

信号名称	输入/输出	描述	电压域
SPI_SCK	O	SPI 总线时钟	VDDE3V3

SPI_SDO	O	SPI 总线数据输出	VDDE3V3
SPI_SDI	I	SPI 总线数据输入	VDDE3V3

表 2.7 PS/2 接口信号

信号名称	输入/输出	描述	电压域
K_DAT	I/O	键盘数据	VDDE3V3
K_CLK	I/O	键盘时钟	VDDE3V3
M_DAT	I/O	鼠标数据	VDDE3V3
M_CLK	I/O	鼠标时钟	VDDE3V3

表 2.8 UART 接口信号

信号名称	输入/输出	描述	电压域
TXD	O	串口数据输出	VDDE3V3
RXD	I	串口数据输入	VDDE3V3
RTS	O	串口数据传输请求	VDDE3V3
CTS	I	设备接受数据就绪	VDDE3V3
DTR	O	串口初始化就绪	VDDE3V3
DSR	I	设备初始化就绪	VDDE3V3
DCD	I	外部 MODEM 探测到载波信号	VDDE3V3
RI	I	外部 MODEM 探测到振铃信号	VDDE3V3

2.7 芯片中断信号

LS2J 处理器支持 32 个普通中断和一个不可屏蔽中断（NMI）。32 个普通中断分为芯片引脚接入中断（称为引脚中断）和芯片内部产生中断（称为非引脚中断）。

引脚中断包括 4 个系统中断，4 个 PCI 中断信号，1 个 PCI 总线错误报告信号（SERR 与 PERR 共享）。表 2.9 显示了中断信号的名字，定义，方向和描述。

除了芯片引脚接入的中断外，LS2J 还包括 4 个 GMAC 中断，3 个内部事件中断，1 个 LPC 中断，以及 1 个内存控制器中断。这些中断通过内部的功能模块自己产生，不需要专门的中断引脚。

任意一个中断源可以选择路由到处理器核中断引脚的 INT0-3(对应 CP0_Status 的 IP2-5)四根中断中的任意一个。有关中断的详细说明请参加用户手册的中断部分。

表 2.9 中断信号描述

信号名称	输入/输出	描述	电压域
INTn[3:0]	I	4 个外部中断信号，这些信号分别连接到处理器中断寄存器(CR_CAUSE IP 域)的位 3 到 0，需视实际情况上下拉。	VDDE3V3

NMI _{in}	I	不可屏蔽中断信号，（复位为低有效），需视实际情况上下拉。	VDDE3V3
PCI_IRQ[3:0]	I	这些中断信号应在中断控制器中使能，低电平有效。这些中断能够被路由到中断寄存器的第 7 到 4 位，需外部上拉。	VDDE3V3
PCI_PERR	I/O	PCI 总线奇偶错信号，低电平有效。这些中断能够被路由到中断寄存器的第 15 位，需外部上拉。	VDDE3V3
PCI_SERR	I/O	PCI 总线系统错，低电平有效。这些中断能够被路由到中断寄存器的第 15 位（与 PCI_SERR 共享），需外部上拉。	VDDE3V3

2.8 JTAG 及 EJTAG 信号

LS2J 提供了一个兼容 JTAG 的边界扫描接口。JTAG 接口适用于测试处理器引脚的连接性。表 2.10 提供了 JTAG 信号的名字，定义，方向和描述。

表 2.10 JTAG 接口信号

信号名称	输入/输出	描述	电压域
TDI	I	JTAG 串行扫描数据输入	VDDE3V3
TDO	O	JTAG 串行扫描数据输出	VDDE3V3
TMS	I	JTAG 命令，指示输入的串行数据是一个命令	VDDE3V3
TRST	I	JTAG 复位输入	VDDE3V3
TCK	I	JTAG 串行扫描时钟	VDDE3V3

此外，LS2J 还提供了 EJTAG 调试接口，用于调试底层应用软件。表 2.11 提供了 EJTAG 信号的名字，定义，方向和描述。

表 2.11 EJTAG 接口信号

信号名称	输入/输出	描述	电压域
EJTAG_TDI	I	EJTAG 串行扫描数据输入	VDDE3V3
EJTAG_TDO	O	EJTAG 串行扫描数据输出	VDDE3V3
EJTAG_TMS	I	EJTAG 命令，指示输入的串行数据是一个命令	VDDE3V3
EJTAG_TRST	I	EJTAG 复位输入	VDDE3V3
EJTAG_TCK	I	EJTAG 串行扫描时钟	VDDE3V3

2.9 测试和控制信号

LS2J 芯片的测试信号仅仅用于芯片物理测试，如扫描链测试。当芯片正常工作，这些信号应设置为无效。通常应将这些信号进行上拉处理。

2.10 时钟信号

LS2J 关于时钟的信号参见表 2.12。处理器有五个系统输入时钟信号（SYSCLK，MEMCLK，CLK125，PCI_CLK 和 LPC_CLK）。LS2J 的 Core 时钟通过 SYSCLK 产生，DDR2/3 时钟通过 MEMCLK 产生，它们都由 CLKSEL 控制分频。对于更多的分频系数，参见表 2.13 和

表 2.14。LPC 总线时钟与 PCI 总线时钟独立，PCI 总线频率不再受到 LPC 设备的限制。

表 2.12 时钟信号

信号名称	输入/输出	描述	电压域
SYSCLK	I	33MHz 系统参考时钟输入，驱动内置的 PLL 产生处理器的 Core 时钟。它同时作为系统复位电路的时钟。	VDDE3V3
MEMCLK	I	33MHz DDR2 控制器参考时钟输入，驱动内置的 PLL 用来产生 DDR2 时钟。	VDDE3V3
CLKSEL[15:0]	I	Core 和 DDR 的频率选择，参见表 2.13 注：CLKSEL[15:10]保留，无需连接。	VDDE3V3
PCI_CLK	I	PCI 总线的时钟输入	VDDE3V3
LPC_CLK	I	LPC 总线的时钟输入	VDDE3V3
CLK125	I	GMAC 控制器的 125MHz 时钟输入	VDDE3V3

表 2.13 Core 时钟域倍频

CLKSEL[4:0]	倍频系数	CLKSEL[4:0]	倍频系数
00000	10.5	10000	21
00001	11	10001	22
00010	11.5	10010	23
00011	12	10011	24
00100	12.5	10100	25
00101	13	10101	26
00110	13.5	10110	27
00111	14	10111	28
01000	14.5	11000	29
01001	15	11001	30
01010	15.5	11010	31
01011	16	11011	32
01100	17	11100	34
01101	18	11101	36
01110	19	11110	38
01111	20	11111	1

表 2.14 DDR2/3 时钟域倍频

CLKSEL[9:5]	倍频系数	CLKSEL[9:5]	倍频系数
00000	20	10000	5
00001	11	10001	2.75
00010	12	10010	3
00011	13	10011	3.25
00100	14	10100	3.5
00101	15	10101	3.75
00110	16	10110	4
00111	18	10111	4.5
01000	10	11000	2.5

01001	5.5	11001	1.375
01010	6	11010	1.5
01011	6.5	11011	1.625
01100	7	11100	1.75
01101	7.5	11101	1.875
01110	8	11110	2
01111	9	11111	1

2.11 电源和接地

LS2J 的电源和地信号参见表 2.15。

表 2.15 电源和接地信号

信号名称	类型	描述
VDD	PWR	1.1V CPU 核电源
GND	GND	1.1V CPU 核地
VDDE1V8	PWR	1.8V IO 电源
VDDE3V3	PWR	3.3V IO 电源
VDDEGMAC	PWR	2.5V/3.3V IO 电源
MC0_DDR2_VREF	PWR	0.9V DDR 参考电压输入
GNDE	GND	IO 地
CORE_PLL_AVDD	PWR	1.8V PLL 模拟电源
CORE_PLL_GNDE	GND	1.8V PLL 模拟地
CORE_PLL_DVDD	PWR	1.1V PLL 数字电源
CORE_PLL_GND	GND	1.1V PLL 数字地
DDR_PLL_AVDD	PWR	1.8V PLL 模拟电源
DDR_PLL_GNDE	GND	1.8V PLL 模拟地
DDR_PLL_DVDD	PWR	1.1V PLL 数字电源
DDR_PLL_GND	GND	1.1V PLL 数字地

3 低速 IO 总线接口特性

LS2J 处理器的低速 IO 接口包括 LPC 总线、SPI 总线和 UART，LPC 总线连接启动 Flash 和 SuperIO 芯片，SPI 总线连接 SPI flash。

LPC 控制器具有以下特性：

- 符合 LPC1.1 规范；
- 支持 LPC 访问超时计数器；
- 支持 Memory Read、Memory write 访问类型；
- 支持 Firmware Memory Read、Firmware Memory Write 访问类型（单字节）；
- 支持 I/O read、I/O write 访问类型；
- 支持 Memory 访问类型地址转换；
- 支持 SerIALIZED IRQ 规范，提供 17 个中断源。

SPI 控制器具有以下特性：

- 全双工同步串口数据传输；
- 支持到 4 个的变长字节传输；
- 主模式支持；
- 模式故障产生错误标志并发出中断请求；
- 双缓冲接收器；
- 极性和相位可编程的串行时钟；
- 可在等待模式下对 SPI 进行控制。

UART 控制器具有以下特性：

- 全双工异步数据接收/发送；
- 可编程的数据格式；
- 16 位可编程时钟计数器；
- 支持接收超时检测；
- 带仲裁的多中断系统；
- 仅工作在 FIFO 方式；
- 在寄存器与功能上兼容 NS16550A。

PS/2 控制器具有以下特性：

- 16 位可编程 5us 时钟计数器，8 位可编程 60us 时钟计数器；
- 支持 PS/2 键盘接口；
- 支持第一套，第二套键盘扫描码；
- 支持编码键盘和非编码键盘；
- 支持 PS/2 鼠标接口；
- 支持二键式、三键式鼠标。

3.1 PCI/PCI-X 接口特性

PCI/PCI-X 接口特性包括：

- 兼容 PCI 2.3 和 PCI-X 1.0b；
- 接口速度最高支持到 PCI 33MHz 和 PCI-X 66MHz；
- 支持 64 位双地址周期寻址(Dual Address Cycle)；
- 支持 PCIX 模式下 8 个对外 split 读请求；
- 支持 PCIX 模式下 4 个对内 split 读请求；

3.2 仲裁器和设备模式

LS2J 的 PCI/PCI-X 接口可以工作在主控制器模式或设备模式。它依赖于初始信号 PCI_CONFIG。当处理器工作在主控制器模式时，接口根据 PCI_CONFIG[6:4]的内容初始化总线设备，这种情况 PCI_IDSEL 直接接地；当处理器工作在设备模式时，PCI 总线的初始值定义了接口的工作模式。在主控制器模式时，PCI_CONFIG[6:4]的值应该根据总线设备的驱动能力去设置（请参见 PCI-X 1.0b 标准）。

3.3 PCI 总线仲裁器

LS2J 上的 PCI/PCI-X 总线仲裁器最多支持 7 个外部主设备。仲裁采用两级的 Round Robin 调度算法，每一个请求的级别由软件配置决定。仲裁器能确保在总线切换时插入一个空周期。当总线上没有请求时，总线可配置为归属于最后发起操作的主设备或任一个指定的主设备。

当 LS2J 的 PCI_CONFIG[1]设置成 1 时，其 PCI/PCI-X 接口请求/允许信号连接到第 0 号请求/允许信号线(请求线为输出，允许线为输入)，此时使用外部的总线仲裁器。

4 GMAC 描述

LS2J 处理器拥有 2 个 GMAC 控制器，每个控制器通过标准的 RGMII 接口外界 PHY 芯片从而支持 10/100/1000Mbps 数据传输速率。

4.1 GMAC 特性

GMAC 特性包括：

- 1) 通过 IEEE 802.3 兼容的 RGMII 接口支持 10/100/1000Mbps 数据传输速率；
- 2) 支持全双工或者半双工工作模式。在半双工模式下支持 CSMA/CD 协议，在全双工模式下支持 IEEE 802.3x 规范定义的流控协议并支持发送或者接收暂停控制帧。支持半双工模式下的反压流控方式。
- 3) 在千兆模式下支持最大 16KB 的巨帧；
- 4) 支持可编程的帧间距；
- 5) 支持多种灵活的发送或者接收地址过滤机制；
- 6) 支持符合 IEEE 802.1Q VLAN Tag 的检测；
- 7) 支持硬件 IPV4 和 IPV6 TCP/UDP/ICMP 校验和硬件检测；
- 8) 支持链式或者环形 DMA 缓冲组织形式。

5 DDR2/3 SDRAM 控制器接口描述

LS2J 集成了内存控制器，兼容 DDR2/3 SDRAM 标准。

5.1 DDR2/3 SDRAM 控制器特性

LS2J 处理器支持最大 4 个 CS（由 4 个 DDR2 SDRAM 片选信号实现，即两个双面内存条），一共含有 18 位的地址总线（即：15 位的行列地址总线和 3 位的逻辑 Bank 总线）。最大支持的地址空间为 128GB (2^{37})。

在具体选择使用不同内存芯片类型时，可以调整 DDR2/3 控制器参数设置进行支持。其中，支持的最大片选（CS_n）数为 4，行地址（RAS_n）数为 15，列地址（CAS_n）数为 14，逻辑体选择（BANK_n）数为 3。

处理器发送的内存请求的物理地址将按照如下图所示的方法进行行列地址转换：

以 4GB 地址空间为例，按照下面的配置：

片选 = 4 Bank 数 = 8

行地址数 = 12 列地址数 = 12

表 5.1 时钟信号 DDR2 SDRAM 行/列地址转换

36	32 31	30 29	18 17	15 14	3 2	0
	CS_n	RAS_n	BANK_n	RAS_n	Byte	

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。内存控制器特性包括：

- DDR2/3 支持；
- 全流水的命令和数据读写；
- 通过合并和重排序增加带宽；
- 通过丰富的寄存器读写端口修改基本的参数；
- 内置 Delay Compensation Circuit(DCC)，用来可靠的发送/接收数据；
- 1 位和 2 位错误检测，通过 ECC 进行 1 位的错误修正；
- 频率：133MHz-400MHz；

5.2 DDR2/3 SDRAM 读协议

图 5.1 中显示 DDR2 SDRAM 读协议，命令 (CMD) 包括 RAS_n, CAS_n 和 WE_n。当一个读请求发生时，RAS_n=1, CAS_n=0, WE_n=1。

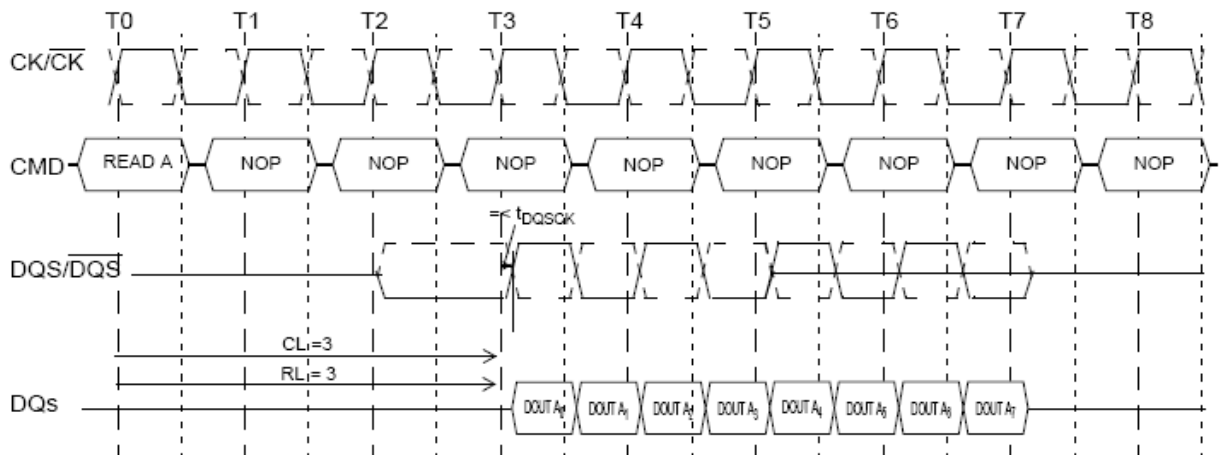


图 5.1 DDR2 SDRAM 读协议

注：CAS Latency = 3, Read Latency = 3, Burst Length = 8

在处理器对内存控制器进行了这种内存初始化操作之后，才可以发起对内存地址空间的访问。

6 初始化过程

LS2J的初始化分为Core时钟域、DDR2/3 时钟域、HT相关时钟域和PCI时钟域。

当处理器复位信号SYSRESETn为低时，相关的时钟，测试信号和初始化信号都必须有效。这些信号包括：

- SYSCLK, MEMCLK, CLK125, PCI_CLK 和 CLKSEL 必须稳定。
- 初始化信号 PCI_CONFIG 应该被设置为合适的值。

当SYSRESETn变高后，处理器内部的复位逻辑开始初始化芯片。

SYSRESETn应至少保持一个时钟周期内有效，以保证复位逻辑能可靠采样。

PCI时钟域将会被首先初始化以保证LS2J中基本配置寄存器的有效，当LS2J作为PCI Master时还会输出PCI_RESEn来复位外部PCI设备。此后Core、DDR2/3和GMAC时钟域相继初始化完成并根据配置引脚的输入去复位外部设备。

7 电气特性

7.1 绝对最大额定值

表 7.1 绝对最大额定值

Parameter	Description	Min.	Max.	Unit
VDD	Core Supply Voltage	-0.5	1.32	V
VDDE3V3	Chip IO Supply	-0.5	3.96	V
VDDE1V8	DDR2 Memory IO Supply	-0.5	2.3	V
VDDEGMAC	GMAC IO Supply	-0.5	3.0	V
VDDAPLLCORE	Core PLL Analog Supply	-0.5	2.3	V
VDDDPLLCORE	Core PLL Digital Supply	-0.5	1.32	V
VDDAPLLDDR	DDR PLL Analog Supply	-0.5	2.3	V
VDDDPLLDDR	DDR2 PLL Digital Supply	-0.5	1.32	V
VDDRREF	DDR2 Reference Voltage	-0.5	1.32	V
T _{STG}	Storage Temperature	-65	150	°C
T _j	Junction Temperature	-	150	°C

7.2 推荐工作条件

表 7.2 推荐工作条件

Parameter	Description	Min.	Max.	Unit
VDD	Core Supply Voltage	1.10	1.20	V
VDDE3V3	Chip IO Supply	3.15	3.45	V
VDDE1V8	DDR2 Memory IO Supply	1.71	1.89	V
VDDEGMAC	GMAC IO Supply	2.4	2.6	V
VDDAPLLCORE	Core PLL Analog Supply	1.71	1.89	V
VDDDPLLCORE	Core PLL Digital Supply	1.10	1.20	V
VDDAPLLDDR	DDR2 PLL Analog Supply	1.71	1.89	V
VDDDPLLDDR	DDR2 PLL Digital Supply	1.10	1.20	V
T _C	Work Temperature(case) ¹	-55	125	°C
f	Frequency	400	800	MHz

注：1. 在环境温度为 100 度，未加散热片且无风冷的情况下壳温 T_C 会达到 125 度。

7.3 DDR2 总线内存接口特性

7.3.1 推荐的直流特性

表 7.3 推荐的直流工作条件(SSTL_1.8)

Symbol	Parameter	Rating			Units
		Min.	Typ.	Max.	
VDDQ(VDDE1V8)	Supply Voltage for Output	1.7	1.8	1.9	V

VREF(MC0_DDR2_VREF)	Input Reference Voltage	0.49 x VDDQ	0.50 x VDDQ	0.51 x VDDQ	V
VTT	Termination Voltage	VREF - 0.04	VREF	VREF + 0.04	V

表 7.4 输入的直流逻辑电平

Symbol	Parameter	Min.	Max.	Units
V _{IH(dc)}	DC input logic HIGH	VREF+0.125	VDDQ+0.3	V
V _{IL(dc)}	DC input logic LOW	-0.3	VREF-0.125	V

表 7.5 输出直流电流驱动

Symbol	Parameter	SST1_18	Units
I _{OH(dc)}	Output Minimum Source DC Current	-13.4	mA
I _{OL(dc)}	Output Minimum Sink DC Current	13.4	mA

7.3.2 推荐的交流特性

表 7.6 输入交流逻辑电平

Symbol	Parameter	DDR2-400, DDR2-533		DDR2-667, DDR2-800		Units
		Min.	Max.	Min.	Max.	
V _{IH(ac)}	ac input logic HIGH	VREF+0.250	-	VREF+0.200	-	V
V _{IL(ac)}	ac input logic LOW	-	VREF-0.250		VREF-0.200	V

表 7.7 差分的输入交流逻辑电平

Symbol	Parameter	Min.	Max.	Units
V _{ID(ac)}	AC differential input voltage	0.5	VDDQ+0.6	V
V _{IX(ac)}	AC differential cross point voltage	0.5 x VDDQ-0.175	0.5 x VDDQ+0.175	V

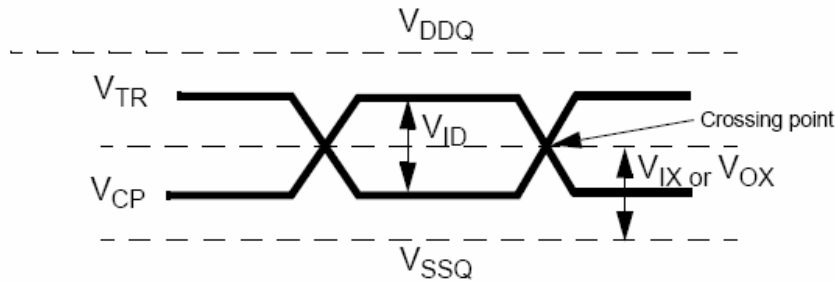


图 7.1 差分的信号电平

表 7.8 差分的交流输出参数

Symbol	Parameter	Min.	Max.	Units
V _{Ox(ac)}	AC differential cross point voltage	0.5 x VDDQ-0.125	0.5 x VDDQ+0.125	V

7.3.3 电气交流时序特性

7.2.3.1 过冲和下冲

表 7.9 地址和控制信号的 AC 过冲和下冲规范

	Specification
--	---------------

	DDR2-400	DDR2-533	DDR2-667	DDR2-800
Maximum peak amplitude allowed for overshoot area	0.5(0.9)V	0.5(0.9)V	0.5(0.9)V	0.5(0.9)V
Maximum peak amplitude allowed for undershoot area	0.5(0.9)V	0.5(0.9)V	0.5(0.9)V	0.5(0.9)V
Maximum overshoot area above VDD	1.33 V-ns	1.0 V-ns	0.8 V-ns	0.66 V-ns
Maximum undershoot area below VSS	1.33 V-ns	1.0 V-ns	0.8 V-ns	0.66 V-ns

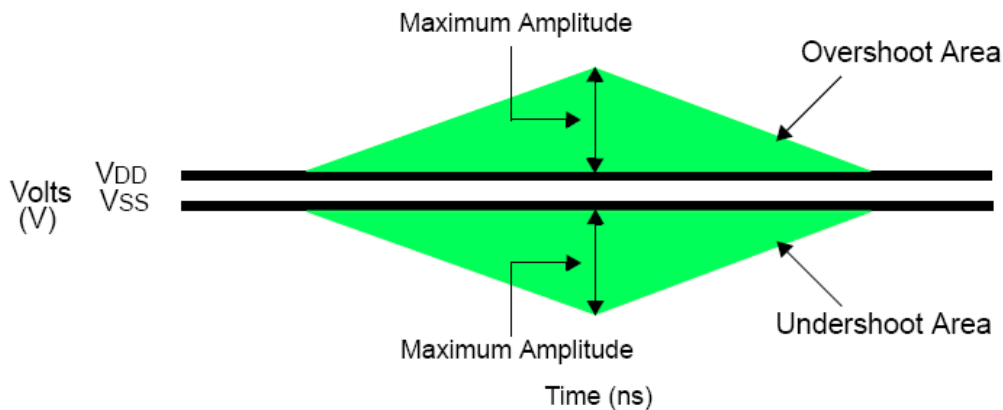


图 7.2 地址和控制信号的 AC 过冲和下冲定义

表 7.10 时钟和数据信号的 AC 过冲和下冲规范

	Specification			
	DDR2-400	DDR2-533	DDR2-667	DDR2-800
Maximum peak amplitude allowed for overshoot area	0.5 V	0.5 V	0.5 V	0.5 V
Maximum peak amplitude allowed for undershoot area	0.5 V	0.5 V	0.5 V	0.5 V
Maximum overshoot area above VDDQ	0.38 V-ns	0.28 V-ns	0.23 V-ns	0.23 V-ns
Maximum undershoot area below VSSQ	0.38 V-ns	0.28 V-ns	0.23 V-ns	0.23 V-ns

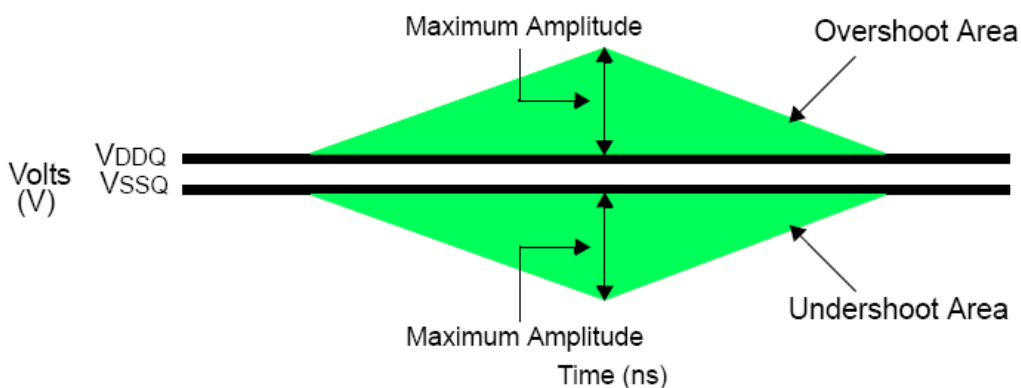


图 7.3 时钟，数据和数据选通和数据屏蔽的 AC 过冲和下冲定义

7.2.3.2 器件刷新参数

表 7.11 不同密度的器件刷新参数

Parameter	Symbol	256 Mb	512 Mb	1Gb	2Gb	4Gb	Units
Refresh to active/Refresh command time	tRFC	75	105	127.5	195	327.5	ns

Average periodic refresh interval	tREFI	0°C ≤ TCASE ≤ 85 °C	7.8	7.8	7.8	7.8	7.8	μs
		85°C < TCASE ≤ 95 °C	3.9	3.9	3.9	3.9	3.9	μs

7.2.3.3 内存标准速率分级

表 7.12 DDR2 内存标准速率分级

Speed bin CL-tRCD-tRP	DDR2-800C		DDR2-800D		DDR2-800E		DDR2-667C		DDR2-667D		Units
	4-4-4		5-5-5		6-6-6		4-4-4		5-5-5		
Parameter	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
tRCD	10	-	12.5	-	15	-	12	-	15	-	ns
tRP1	10	-	12.5	-	15	-	12	-	15	-	ns
tRC	55	-	57.5	-	60	-	57	-	60	-	ns
tRAS	45	70000	45	70000	45	70000	45	70000	45	70000	ns
tCK(avg) @CL=2	Optional		Optional		Optional		Optional		Optional		ns
tCK(avg) @CL=3	Optional		Optional		Optional		Optional		Optional		ns
tCK(avg) @CL=4	2.5	8	3.75	8	3.75	8	3	8	3.75	8	ns
tCK(avg) @CL=5	2.5	8	2.5	8	3	8	3	8	3	8	ns
tCK(avg) @CL=6	Optional		Optional		2.5	8	Optional		Optional		ns

7.2.3.4 时序参数

表 7.13 DDR2-667 和 DDR2-800 时序参数

Parameter	Symbol	DDR2-667		DDR2-800		Units
		Min.	Max.	Min.	Max.	
Average clock period	tCK(avg)	3000	8000	2500	8000	ps
Average clock HIGH pulse width	tCH(avg)	0.48	0.52	0.48	0.52	tCK(avg)
Average clock LOW pulse width	tCL(avg)	0.48	0.52	0.48	0.52	tCK(avg)
Write command to DQS associated clock edge	WL	RL - 1		RL - 1		nCK
DQS latching rising transitions to associated clock edges	tDQSS	-0.25	0.25	-0.25	0.25	tCK(avg)
DQS falling edge to CK setup time	tDSS	0.2	x	0.2	x	tCK(avg)
DQS falling edge hold time from CK	tDSH	0.2	x	0.2	x	tCK(avg)
DQS input HIGH pulse width	tDQSH	0.35	x	0.35	x	tCK(avg)
DQS input LOW pulse width	tDQSL	0.35	x	0.35	x	tCK(avg)
Write preamble	tWPRE	0.35	x	0.35	x	tCK(avg)
Write postamble	tWPST	0.4	0.6	0.4	0.6	tCK(avg)
Address and control input setup time	tIS(base)	200	x	175	x	ps

Address and control input hold time	tIH(base)	275	x	250	x	ps
Control & Address input pulse width for each input	tIPW	0.6	x	0.6	x	tCK(avg)
DQ and DM input setup time	tDS(base)	100	x	50	x	ps
DQ and DM input hold time	tDH(base)	175	x	125	x	ps
DQ and DM input pulse width for each input	tDIPW	0.35	x	0.35	x	tCK(avg)
DQ output access time from CK/CK	tAC	-450	450	-400	400	ps
DQS output access time from CK/CK	tDQSCK	-400	400	-350	350	ps
Data-out high-impedance time from CK/CK	tHZ	x	tAC, max	x	tAC, max	ps
DQS/DQS low-impedance time from CK/CK	tLZ(DQS)	tAC, min	tAC, max	tAC, min	tAC, max	ps
DQ low-impedance time from CK/CK	tLZ(DQ)	2 x tAC, min	tAC, max	2 x tAC, min	tAC, max	ps
DQS-DQ skew for DQS and associated DQ signals	tDQSQ	x	240	x	200	ps
CK half pulse width	tHP	Min(tCH(abs), tCL(abs))	x	Min(tCH(abs), tCL(abs))	x	ps
DQ hold skew factor	tQHS	X	340	x	300	ps
DQ/DQS output hold time from DQS	tQH	tHP - tQHS	x	tHP - tQHS	x	ps
Read preamble	tRPRE	0.9	1.1	0.9	1.1	tCK(avg)
Read postamble	tRPST	0.4	0.6	0.4	0.6	tCK(avg)
Activate to activate command period for 1KB page size products	tRRD	7.5	x	7.5	x	ns
Activate to activate command period for 2KB page size products	tRRD	10	x	10	x	ns
Four Activate Window for 1KB page size products	tFAW	37.5	x	35	x	ns
Four Activate Window for 2KB page size products	tFAW	50	x	45	x	ns
CAS to CAS command delay	tCCD	2	x	2	x	nCK
Write recovery time	tWR	15	x	15	x	ns
Auto precharge write recovery + precharge time	tDAL	WR + tnRP	x	WR + tnRP	x	nCK
Internal write to read command delay	tWTR	7.5	x	7.5	x	ns
Internal read to precharge command delay	tRTP	7.5	x	7.5	x	ns
CKE minimum pulse width (HIGH and LOW pulse width)	tCKE	3	x	3	x	nCK
Exit self refresh to a non-read command	tXSNR	tRFC + 10	x	tRFC + 10	x	ns
Exit self refresh to a read command	tXSRD	200	x	200	x	nCK
Exit precharge power down to any command	tXP	2	x	2	x	nCK
Exit active power down to read command	tXARD	2	x	2	x	nCK

Exit active power down to read command (slow exit, lower power)	tXARDS	7-AL	x	8-AL	x	nCK
ODT turn-on delay	tAOND	2	2	2	2	nCK
ODT turn-on	tAON	tAC, min	tAC, max + 0.7	tAC, min	tAC, max + 0.7	ns
ODT turn-on (Power-Down mode)	tAONPD	tAC, min + 2	2 x tCK(avg) + tAC, max + 1	tAC, min + 2	2 x tCK(avg) + tAC, max + 1	ns
ODT turn-off delay	tAOFD	2.5	2.5	2.5	2.5	nCK
ODT turn-off	tAOF	tAC, min	tAC, max + 0.6	tAC, min	tAC, max + 0.6	ns
ODT turn-off (Power-Down mode)	tAOFPD	tAC, min + 2	2.5 x tCK(avg) + tAC, max + 1	tAC, min + 2	2.5 x tCK(avg) + tAC, max + 1	ns
ODT to power down entry latency	tANPD	3	x	3	x	nCK
ODT Power Down Exit Latency	tAXPD	8		8		nCK
Mode register set command cycle time	tMRD	2	x	2	x	nCK
MRS command to ODT update delay	tMOD	0	12	0	12	ns
OCD drive mode output delay	tOIT	0	12	0	12	ns
Minimum time clocks remains ON after CKE asynchronously drops LOW	tDelay	tIS + tCK(avg) + tIH	X	tIS + tCK(avg) + tIH	x	ns

7.4 PCI-X 总线特性

7.4.1 推荐的直流工作条件

表 7.14 PCI-X 设备的直流规范

Sym	Parameter	Condition	PCI-X		3.3V Conventional PCI (ref)		Units
			Min.	Max.	Min.	Max.	
Vcc	Supply Voltage		3.0	3.6	3.0	3.6	V
Vih	Input High Voltage		0.5Vcc	Vcc+ 0.5	0.5Vcc	Vcc+ 0.5	V
Vil	Input Low Voltage		-0.5	0.35Vcc	-0.5	0.3Vcc	V
Vipu	Input Pull-up Voltage		0.7Vcc		0.7Vcc		V
Iil	Input Leakage Current	0<Vin<Vcc		+10		+10	mA
Voh	Output High Voltage	Iout= -500mA	0.9Vcc		0.9Vcc		V
Vol	Output Low Voltage	Iout=1500mA		0.1Vcc		0.1Vcc	V
Cin	Input Pin Capacitance			8		10	pF
Cclk	CLK Pin Capacitance		5	8	5	12	pF
CIDSEL	IDSEL Pin Capacitance			8		8	pF
Lpin	Pin Inductance			15		20	nH
Ioff	PME# input leakage	Vo ≤3.6V Vcc off or floating	-	1	-	1	mA

7.4.2 交流工作特性

表 7.15 推荐的交流特性

Symbol	Parameter	Condition	Min.	Max.	Unit
PCI-X					
Output Buffer Drive Currents					
Ioh(AC)	Switching Current High	$0 < V_{cc}-V_{out} \leq 3.6V$		-74(V _{cc} -V _{out})	mA
		$0 < V_{cc}-V_{out} \leq 1.2V$	-32 (V _{cc} -V _{out})		mA
		$1.2V < V_{cc}-V_{out} \leq 1.9V$	-11 (V _{cc} -V _{out}) -25.2		mA
		$1.9V < V_{cc}-V_{out} \leq 3.6V$	-1.8 (V _{cc} -V _{out}) -42.7		mA
Iol(AC)	Switching Current Low	$0 \leq V_{out} \leq 3.6V$		100V _{out}	mA
		$0 < V_{out} \leq 1.3V$	48 V _{out}		mA
		$1.3V < V_{out} \leq 3.6V$	5.7 V _{out} + 55		mA
Clamp Currents					
Icl	Low Clamp Current	$-3V < V_{in} \leq -0.8875V$	-40 + (V _{in} +1)/0.005		mA
		$-0.8875V < V_{in} \leq -0.625V$	-25 + (V _{in} +1)/0.015		mA
Ich	High Clamp	$0.8875V \leq V_{in}-V_{cc} < 4V$	$40 + (V_{in}-V_{cc}-1) / 0.005$		mA
		$0.625V \leq V_{in}-V_{cc} < 0.8875V$	$25 + (V_{in}-V_{cc}-1) / 0.015$		mA
66 MHz Conventional PCI (ref)					
AC Drive Points					
Ioh(AC)	Switching	V _{out} = 0.7V _{cc}		-32V _{cc}	mA
	Current High	V _{out} = 0.3V _{cc}	-12V _{cc}		mA
Iol(AC)	Switching	V _{out} = 0.18V _{cc}		38V _{cc}	mA
	Current Low	V _{out} = 0.6V _{cc}	16V _{cc}		mA
Clamp Currents					
Ich	High clamp	$V_{cc}+4 > V_{in} \geq V_{cc}+1$	$25 + (V_{in}-V_{cc}-1) / 0.015$		mA
Icl	Low clamp current	$-3 < V_{in} \leq -1$	-25 + (V _{in} +1)/0.015		mA

表 7.16 输出信号的斜率

Symbol	Parameter	Condition	PCI-X		Conventional PCI 66 (ref)		Units
			Min.	Max.	Min.	Max.	
Tr	Output rise slew rate	0.3V _{cc} to 0.6V _{cc}	1	6	1	4	V/ns
Tf	Output fall slew rate	0.6V _{cc} to 0.3V _{cc}	1	6	1	4	V/ns

7.4.3 时序参数

表 7.17 通用时序参数

Symbol	Parameter	PCI-X 133		PCI-X 66		Conventional PCI 66 (ref)		Conventional PCI 33 (ref)		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Tval	CLK to Signal Valid Delay - based signals	0.7	3.8	0.7	3.8	2	6	2	11	ns

Tval(ptp)	CLK to Signal Valid Delay -point to point signals	0.7	3.8	0.7	3.8	2	6	2	12	ns
Ton	Float to Active Delay	0		0		2		2		ns
Toff	Active to Float Delay		7		7		14		28	ns
Tsu	Input Set up Time to CLK- bused signals	1.2		1.7		3		7		ns
Tsu(ptp)	Input Set up Time to CLK- point to point signals	1.2		1.7		5		10,12		ns
Th	Input Hold Time from CLK	0.5		0.5		0		0		ns
Trst	Reset Active Time	1		1		1		1		ms
Trst-clk	Reset Active Time after CLK stable	100		100		100		100		ms
Trst-off	Reset Active to output float delay		40		40		40		40	ns
Trrsu	REQ64# to RST# setup time	10		10		10		10		clocks
Trrh	RST# to REQ64# hold time	0	50	0	50	0	50	0	50	ns
Trhfa	RST# high to first Configuration access	2^{27}		2^{27}		2^{25}		2^{25}		clocks
Trhff	RST# high to first FRAME# assertion	5		5		5		5		clocks
Tpvrh	Power valid to RST# high	100		100		100		100		ms
Tprsu	PCI-X initialization pattern to RST# setup time	10		10						clocks
Tprh	RST# to PCI-X initialization pattern hold time	0	50	0	50					ns
Trlex	Delay from RST# low to CLK frequency change	0		0						ns

7.4.4 复位时序

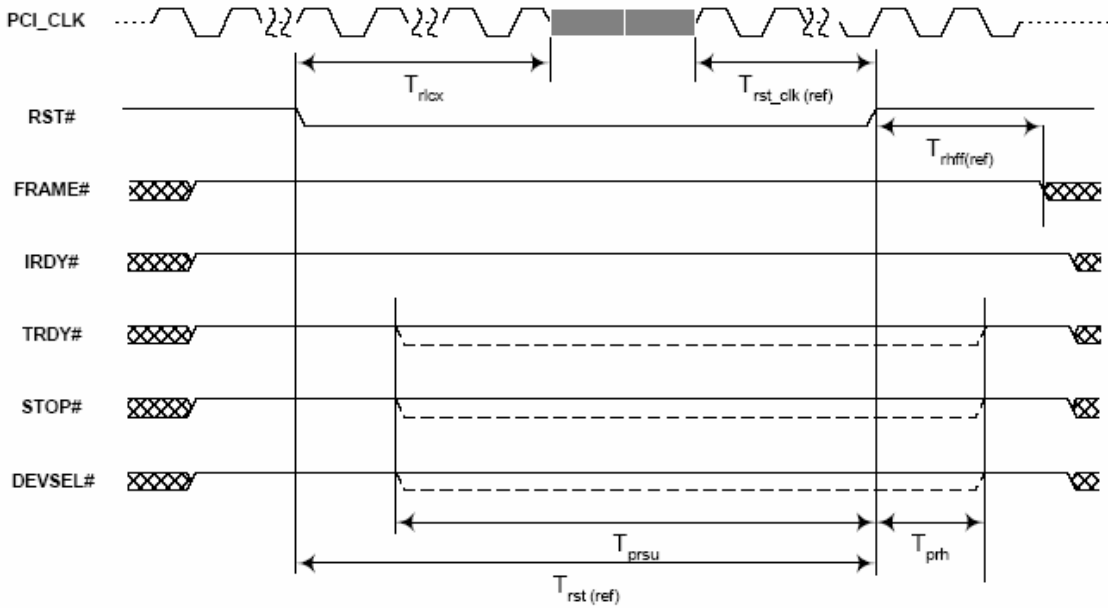


图 7.4 转换到带上拉的 PCI-X 模式的 RST#时序

7.4.5 PCI-X 总线系统的噪声容限

PCI-X的噪声容限与PCI总线非常类似，具体的输入输出电压容限见下图：

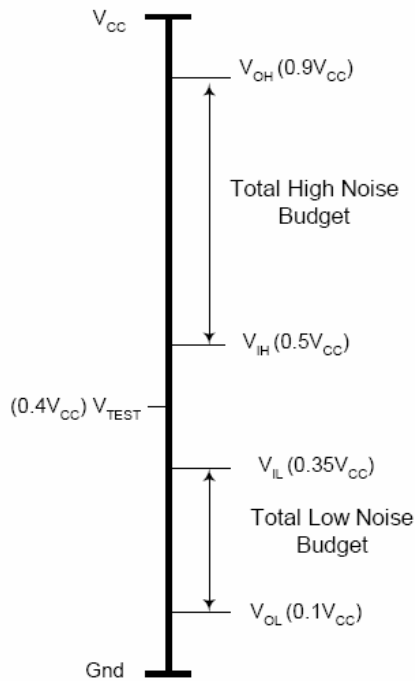


图 7.5 PCI-X 噪声容限

表 7.18 PCI-X 系统的噪声容限

Noise Source	Responsibility	High Noise Budget	Low Noise Budget
Reflective Noise	Platform	0.30Vcc	0.15Vcc
Crosstalk	Platform	0.05Vcc	0.05Vcc

Input Reference Offset	Device	0.05Vcc	0.05Vcc
Total		0.4Vcc	0.25Vcc

7.4.6 PCI-X 的系统时序裕量

PCI-X系统时序裕量与66MHz的PCI 2.2规范类似，具体的时序裕量见下表：

表 7.19 建立时间裕量

Parameter	PCI-X 133 MHz	PCI-X 100 MHz	PCI-X 66 MHz	Conventional PCI 66 MHz (ref)	Conventional PCI 33 MHz (ref)	Units
Tval (max)	3.8	3.8	3.8	6	11	ns
Tprop (max)	2.0	4.5	9.0	5	10	ns
Tskew (max)	0.5	0.5	0.5	1	2	ns
Tsu (min)	1.2	1.2	1.7	3	7	ns
Tcyc	7.5	10.0	15.0	15	30	ns

表 7.20 保持时间裕量

Parameter	PCI-X	Conventional PCI 66 MHz (ref)	Conventional PCI 33 MHz (ref)	Units
Tval (min)	0.7	2	2	ns
Tprop (min)	0.3	0	0	ns
Tskew (max)	0.5	1	2	ns
Th (min)	0.5	0	0	ns

7.5 GMAC 接口

7.5.1 数据和控制信号的复用

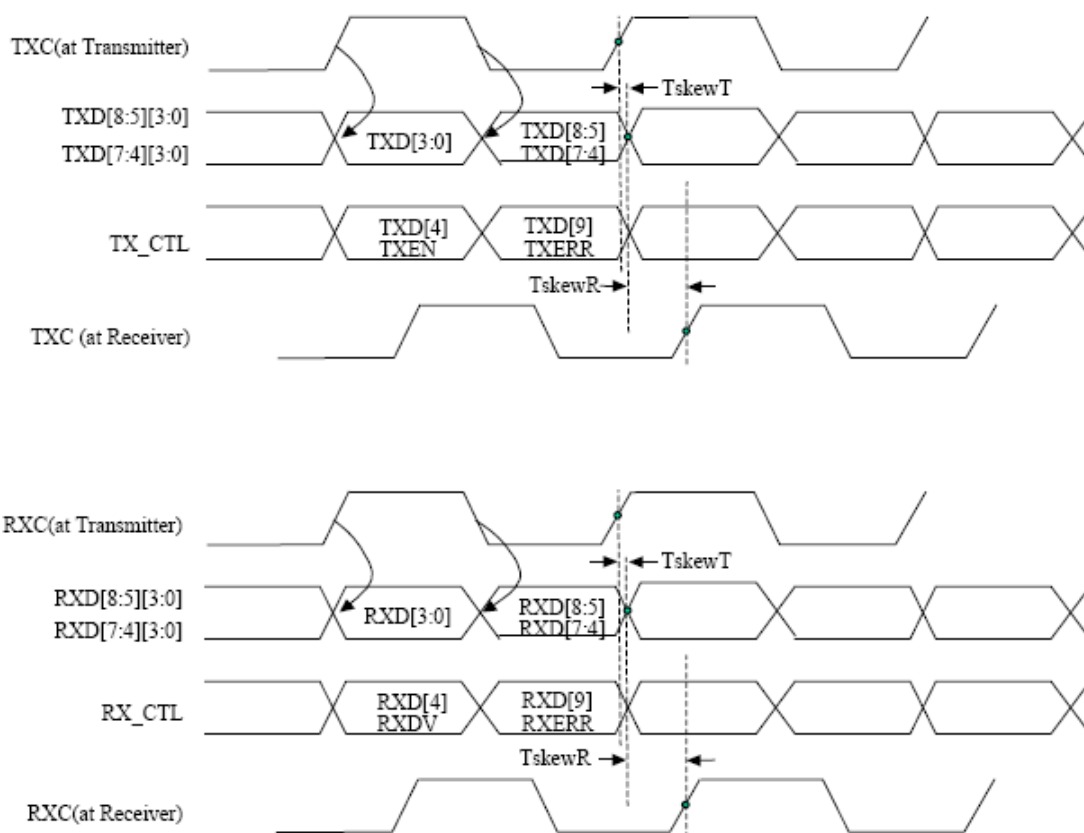


图 7.6 Multiplexing & Timing Diagram - Original RGMII

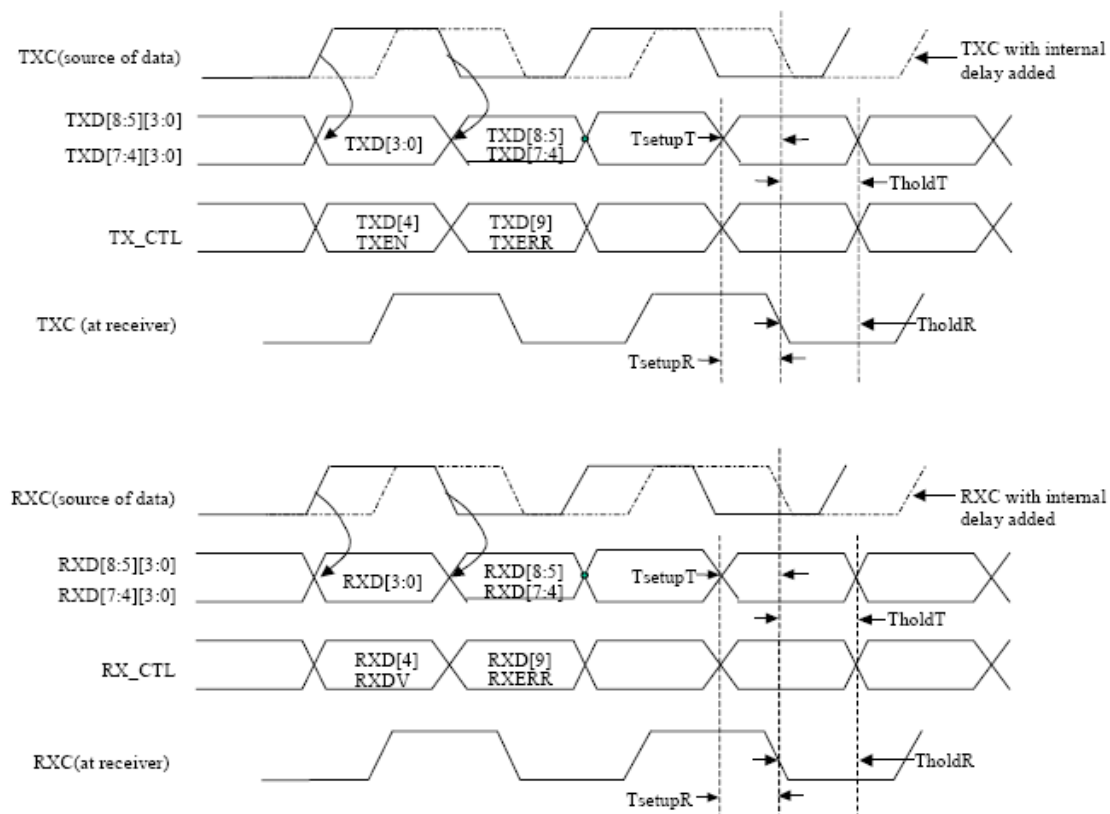


图 7.7 Multiplexing & Timing Diagram – RGMII-ID

7.5.2 时序要求

表 7.21 GMAC 时序特性

Symbol	Parameter	Min	Typical	Max	Units
TskewT	Data to Clock output Skew (at Transmitter)	-500	0	500	ps
TskewR	Data to Clock input Skew (at Receiver)	1	1.8	2.6	ns
TsetupT	Data to Clock output Setup (at Transmitter –integrated delay)	1.2	2.0		ns
TholdT	Clock to Data output Hold (at Transmitter –integrated delay)	1.2	2.0		ns
TsetupR	Data to Clock input setup Setup (at Receiver – integrated delay)	1.0	2.0		ns
TholdR	Data to Clock input setup Setup (at Receiver – integrated delay)	1.0	2.0		ns
Tcyc	Clock Cycle Duration	7.2	8	8.8	ns
Duty_G	Duty Cycle for Gigabit	45	50	55	%
Duty_T	Duty Cycle for 10/100T	40	50	60	%
Tr/Tf	Rise/Fall Time (20–80%)			0.75	ns

7.5.3 电气特性

表 7.22 GMAC 电气特性

Symbol	Parameter	Conditions	Min	Max	Units
V _{OH}	Output High Voltage	I _{OH} =-1.0mA; V _{CC} =Min	2.0	VDD+0.3	V
V _{OL}	Output Low Voltage	I _{OL} =1.0mA; V _{CC} =Min	GND-0.3	0.40	V
V _{IH}	Input High Voltage	V _{IH} >V _{IH_Min} ; V _{CC} =Min	1.7	-	V
V _{IL}	Input Low Voltage	V _{IH} >V _{IL_Max} ; V _{CC} =Min	-	0.70	V
I _{IH}	Input High Current	V _{CC} =Max; V _{IH} =2.5V	-	15	uA
I _{IL}	Input Low Current	V _{CC} =Max; V _{IN} =0.4V	-15	-	uA

7.6 LPC 总线和其它引脚

7.6.1 LPC 总线

LPC 总线规范的直流和交流特性与 PCI V2.3 的规范类似，其信号推荐的上拉电阻见下表：

表 7.23 推荐的上拉电阻值

Signal Name	Pull-Up
LAD[3:0]	15k -100k ohm

7.6.2 EJTAG

表 7.24 EJTAG 的交流时序特性

Parameter	Symbol	Min.	Max.	Unit	
EJTAG external clock frequency of operation	fJTG	0	33.3	MHz	
EJTAG external clock cycle time	TJTG	30	-	ns	
EJTAG external clock pulse width measured at 1.4 V	tJTKHKL	15	-	ns	
EJTAG external clock rise and fall	times	tJTGR & tJTGF	0	2	ns
TRST assert time	tTRST	25	-	ns	
Input setup times	Boundary-scan data TMS, TDI	tJTDVKH	4	-	ns
		tJTIVKH	0	-	
Input hold times	Boundary-scan data TMS, TDI	tJTDXKH	20	-	ns
		tJTIXKH	25	-	
Valid times	Boundary-scan data TDO	tJTKLDV	4	20	ns
		tJTKLOV	4	25	
Output hold times	Boundary-scan data TDO	tJTKLDX	-	-	ns
		tJTKLOX	-	-	
EJTAG external clock to	impedance: Boundary-scan	tJTKLDZ	3	19	ns

output high	data TDO	tJTKLOZ	3	9
-------------	----------	---------	---	---

7.7 参考时钟

7.7.1 DDR2 内存的时钟

表 7.25 DDR2 的时钟参数

Parameter	Symbol	DDR2-667		DDR2-800		Units
		Min.	Max.	Min.	Max.	
Clock period jitter	tJIT(per)	-125	125	-100	100	ps
Clock period jitter during DLL locking period	tJIT(per,lck)	-100	100	-80	80	ps
Cycle to cycle clock period jitter	tJIT(cc)	-250	250	-200	200	ps
Cycle to cycle clock period jitter during DLL locking period	tJIT(cc,lck)	-200	200	-160	160	ps
Cumulative error across 2 cycles	tERR(2per)	-175	175	-150	150	ps
Cumulative error across 3 cycles	tERR(3per)	-225	225	-175	175	ps
Cumulative error across 4 cycles	tERR(4per)	-250	250	-200	200	ps
Cumulative error across 5 cycles	tERR(5per)	-250	250	-200	200	ps
Cumulative error across n cycles, n = 6 ... 10, inclusive	tERR(6-10per)	-350	350	-300	300	ps
Cumulative error across n cycles, n = 11 ... 50, inclusive	tERR(11-50per)	-450	450	-450	450	ps
Duty cycle Jitter	tJIT(duty)	- 125	125	-100	100	ps

7.7.2 PCI-X 时钟

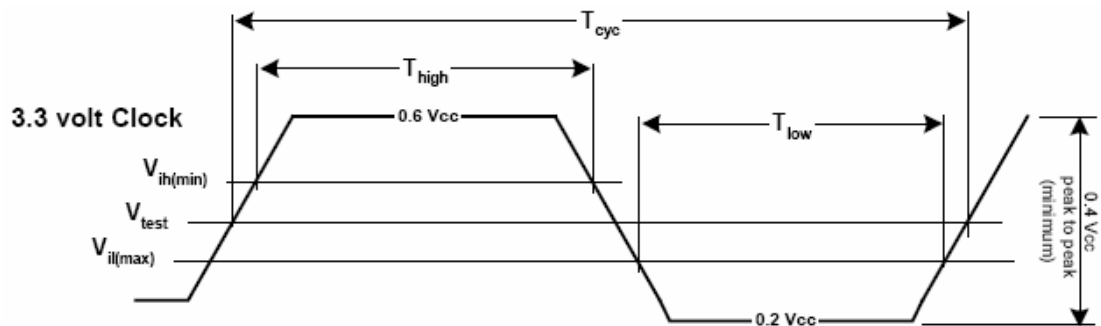


图 7.8 3.3V PCI-X 时钟波形

表 7.26 PCI-X 时钟参数

Sym	Parameter	PCI-X 133		PCI-X 66		Conv. PCI 66 (ref)		Conv. PCI 33 (ref)		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
T _{cyc}	CLK Cycle Time	7.5	20	15	20	15	30	30	∞	ns
T _{high}	CLK High Time	3		6		6		11		ns
T _{low}	CLK Low Time	3		6		6		11		ns
-	CLK Slew Rate	1.5	4	1.5	4	1.5	4	1	4	V/ns
Spread Spectrum Requirements										

fmod	Modulation frequency	30	33	30	33	30	33			kHz
fspread	frequency spread	-1	0	-1	0	-1	0			%

7.8 电源和上电时序

7.8.1 电源工作条件

表 7.27 推荐的工作电源电压

信号名称	描述	Min.	Typ.	Max.	Unit
VDD	1.1V CPU 核电源	1.05	1.1	1.15	V
GND	1.1V CPU 核地	0	0	0	V
VDDE1V8	1.8V IO 电源	3.135	3.3	3.465	V
VDDE3V3	3.3V IO 电源	1.7	1.8	1.9	V
VDDEGMAC	2.5V/3.3V IO 电源	2.375/3.135	2.5/3.3	2.625/3.465	V
MC0_DDR2_VREF	0.9V DDR 参考电压输入	0.882	0.9	0.918	V
GNDE	IO 地	0	0	0	V
CORE_PLL_AVDD	1.8V PLL 模拟电源	1.7	1.8	1.9	V
CORE_PLL_GNDE	1.8V PLL 模拟地	0	0	0	V
CORE_PLL_DVDD	1.1V PLL 数字电源	1.05	1.1	1.15	V
CORE_PLL_GND	1.1V PLL 数字地	0	0	0	V
DDR_PLL_AVDD	1.8V PLL 模拟电源	1.7	1.8	1.9	V
DDR_PLL_GNDE	1.8V PLL 模拟地	0	0	0	V
DDR_PLL_DVDD	1.1V PLL 数字电源	1.05	1.1	1.15	V
DDR_PLL_GND	1.1V PLL 数字地	0	0	0	V

7.8.2 上电时序

处理器的核电压和 IO 电压的上电顺序并没有严格限制，推荐以核电压在先、IO 电压在后为最佳上电顺序。

8 焊接特性

表 8.1 含铅工艺的封装回流最大温度表

Package Thickness	Volume mm ³ < 350	Volume mm ³ ≥ 350
< 2.5 mm	240 +0/-5 °C	225 +0/-5°C
≥ 2.5 mm	225 +0/-5°C	225 +0/-5°C

表 8.2 焊接回流时间

Profile Feature		Sn-Pb Eutectic Assembly
Average ramp-up rate (T _{smax} to T _p)		3°C/second max.
Preheat	Temperature Min (T _{smin})	100 °C
	Temperature Max (T _{smax})	150 °C
	Time (T _{smin} to T _{smax}) (t _s)	60-120 seconds
Time maintained above	Temperature (T _L)	183 °C
	Time (t _L)	60-150 seconds
Peak Temperature (T _p)		225 +0/-5°C
Time within 5°C of actual Peak Temperature (t _p) ²		10-30 seconds
Ramp-down Rate		6 °C/second max.
Time 25°C to Peak Temperature		6 minutes max.

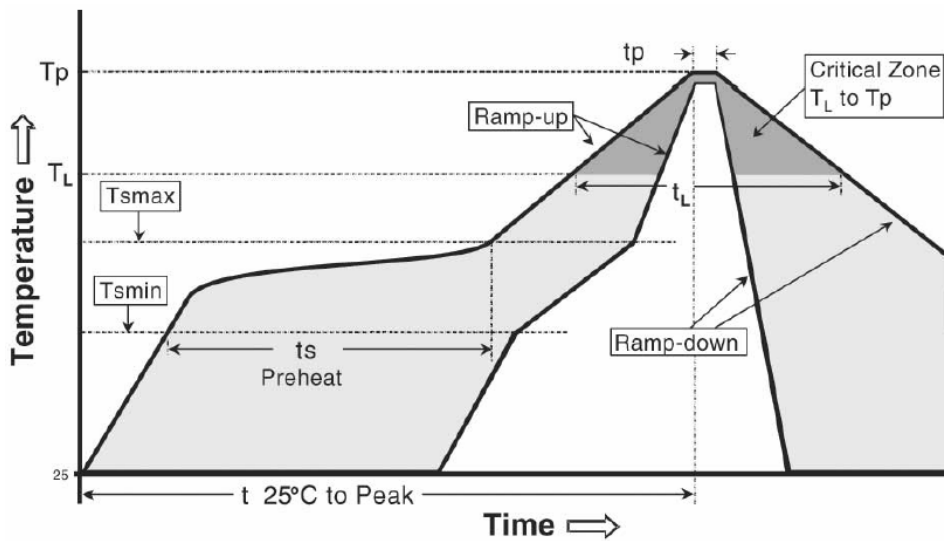


图 8.1 焊接回流曲线

9 引脚排列和封装

9.1 封装引脚排列

表 9.1 顶层引脚排列（左侧）

	1	2	3	4	5	6	7	8	9	10	11
A	UART0_CTS	UART0_RTS	UART0_DSR	PCI_CLK	LPC_LFRAMEN	LPC_LAD1	LPC_LAD3	MC0_DDR2DQ00	MC0_DDR2DQSN0	MC0_DDR2DQSP0	MC0_DDR2DQ08
B	UART0_DTR	UART0_TXD	UART0_RXD	UART0_DCD	LPC_CLK	LPC_LAD0	LPC_LAD2	MC0_DDR2DQ04	MC0_DDR2DQ01	MC0_DDR2DQ12	MC0_DDR2DQ02
C	PCI_IRQNC	UART0_RI	LPC_ROM8MBITS	GNDE	LPC_ROMINTEL	GNDE	LPC_SERIRQ	MC0_DDR2_DQM0	MC0_DDR2DQ07	MC0_DDR2VREF	MC0_DDR2DQM1
D	PCI_IRQND	PCI_IRQNA	PCI_GNTN1	VDDE3V3	PCI_REQN1	VDDE3V3	GNDE	MC0_DDR2_DQ05	MC0_DDR2VREF	MC0_DDR2DQ03	MC0_DDR2VREF
E	PCI_RESETN	PCI_IRQNB	PCI_GNTN2	PCI_REQN2	VDDE3V3	GND	VDD	GND	MC0_DDR2DQ06	VDD	MC0_DDR2DQ13
F	PCI_REQN0	PCI_GNTN0	GNDE	GNDE	VDD						
G	PCI_AD29	PCI_AD30	PCI_REQN3	PCI_GNTN3	GND						
H	PCI_AD26	PCI_AD28	VDDE3V3	VDDE3V3	VDD						
J	PCI_AD25	PCI_AD27	PCI_REQN4	PCI_GNTN4	GND						
K	PCI_AD23	PCI_AD24	GNDE	GNDE	VDD						
L	PCI_AD20	PCI_AD22	PCI_REQN5	PCI_GNTN5	GND						
M	PCI_AD18	PCI_AD21	VDDE3V3	VDDE3V3	VDD						
N	PCI_AD16	PCI_AD17	PCI_REQN6	PCI_GNTN6	GND						
P	PCI_FRAMEN	PCI_CBEN2	GNDE	GNDE	VDD						
R	PCI_TRDYN	PCI_IRDYN	PCI_CBEN3	PCI_AD31	GND						
T	PCI_STOPN	PCI_DEVELN	VDDE3V3	VDDE3V3	VDD						
U	PCI_SERR	PCI_PERR	PCI_CBEN1	PCI_AD19	GND						
V	PCI_AD15	PCI_PAR	GNDE	GNDE	VDD						
W	PCI_AD11	PCI_AD13	PCI_AD10	PCI_AD14	GND						
Y	PCI_AD09	PCI_AD12	VDDE3V3	VDDE3V3	VDD						
AA	PCI_AD07	PCI_CBEN0	PCI_AD06	PCI_AD08	GND						
AB	PCI_AD05	PCI_AD04	GNDE	GNDE	VDD						
AC	PCI_AD00	PCI_AD02	PCI_AD01	PCI_AD03	GND						
AD	PCI_CONFIG6	PCI_CONFIG7	VDDE3V3	VDDE3V3	VDD						
AE	PCI_CONFIG4	PCI_CONFIG5	SPI_SDO	PCI_IDSEL	GND						
AF	PCI_CONFIG2	PCI_CONFIG3	SPI_SCK	GNDE	VDDE3V3	GND	VDD	GND	VDD	GND	VDD
AG	PCI_CONFIG0	PCI_CONFIG1	SPI_SDI	VDDE3V3	EJTAG_TMS	GNDE	EJTAG_TCK	VDDE3V3	DOTEST	GNDE	TMS
AH	GPIO14	GPIO15	GNDE	EJTAG_TDI	EJTAG_TRST	GNDE	EJTAG_TDO	VDDE3V3	TDI	GNDE	TRST
AJ	GPIO12	GPIO13	GPIO09	GPIO07	GPIO05	GPIO03	GPIO01	NMIN	INTN2	INTN0	CLKSEL14
AK	GPIO10	GPIO11	GPIO08	GPIO06	GPIO04	GPIO02	GPIO00	INTN3	INTN1	CLKSEL15	CLKSEL13

表 9.2 顶层引脚排列（中间）

12	13	14	15	16	17	18	19	20	21
MC0_DDR2 DQSN1	MC0_DDR2 DQSP1	MC0_DDR2 DQ10	MC0_DDR2 DQSN2	MC0_DDR2 DQSP2	MC0_DDR2 DQ19	MC0_DDR2 DQSN3	MC0_DDR2 DQSP3	MC0_DDR2 CB0	MC0_DDR2 DQSN8
MC0_DDR2 DQ09	MC0_DDR2 CKP1	MC0_DDR2 DQ14	MC0_DDR2 DQ17	MC0_DDR2 DQ21	MC0_DDR2 DQ22	MC0_DDR2 DQ24	MC0_DDR2 DQ25	MC0_DDR2 DQ26	MC0_DDR2 CB1
MC0_DDR2 CKN0	MC0_DDR2 CKN1	MC0_DDR2 DQ15	MC0_DDR2 DQ20	GNDE	MC0_DDR2 DQ23	GNDE	MC0_DDR2 DQ29	MC0_DDR2 DQ30	MC0_DDR2 CB4
MC0_DDR2 CKP0	GNDE	MC0_DDR2 DQ11	GNDE	MC0_DDR2 DQM2	GNDE	MC0_DDR2 DQ28	GNDE	MC0_DDR2 DQ31	GNDE
GND	MC0_DDR2 RESETN	VDD	MC0_DDR2 DQ16	GND	MC0_DDR2 DQ18	VDD	MC0_DDR2 DQM3	GND	MC0_DDR2 DQ27
GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	VDD
VDDE3V3	TCK	GNDE	M_CLK	VDDE3V3	K_CLK	GNDE	GMAC0 MDCK	VDDEGMAC	GMAC1 MDCK
VDDE3V3	TDO	GNDE	M_DAT	VDDE3V3	K_DAT	GNDE	GMAC0 MDIO	VDDEGMAC	GMAC1 MDIO
CLKSEL12	CLKSEL10	CLKSEL08	CLKSEL06	CLKSEL04	CLKSEL02	CLKSEL00	GMAC0 RXD1	GMAC0 RXD3	GMAC0 RCTL
CLKSEL11	CLKSEL09	CLKSEL07	CLKSEL05	CLKSEL03	CLKSEL01	GMAC0 RXD0	GMAC0 RXD2	GMAC0 RX_CLK	GMAC0 TX_CLK
12	13	14	15	16	17	18	19	20	21

表 9.3 顶层引脚排列（右侧）

22	23	24	25	26	27	28	29	30	
MC0_DDR2_DQSP8	MC0_DDR2_CB3	MC0_DDR2_BA2	MC0_DDR2_A11	MC0_DDR2_A06	MC0_DDR2_A04	MC0_DDR2_CKP2	MC0_DDR2_CKN2	MC0_DDR2_CKP3	A
MC0_DDR2_CB5	MC0_DDR2_CB2	MC0_DDR2_CKE0	MC0_DDR2_A12	MC0_DDR2_A07	MC0_DDR2_A05	MC0_DDR2_A02	VDDE1V8	MC0_DDR2_CKN3	B
GNDE	MC0_DDR2_CB6	MC0_DDR2_CKE1	VDDE1V8	MC0_DDR2_A08	VDDE1V8	MC0_DDR2_A03	MC0_DDR2_A10	MC0_DDR2_SCSN0	C
MC0_DDR2_DQM8	GNDE	MC0_DDR2_CKE3	MC0_DDR2_A14	MC0_DDR2_A09	MC0_DDR2_A01	VDDE1V8	MC0_DDR2_SCSN2	MC0_DDR2_CASN	D
VDD	MC0_DDR2_CB7	VDDE1V8	MC0_DDR2_CKE2	VDDE1V8	MC0_DDR2_A00	MC0_DDR2_BA1	MC0_DDR2_ODT0	MC0_DDR2_ODT2	E
				MC0_DDR2_BA0	MC0_DDR2_RASN	VDDE1V8	MC0_DDR2_SCSN1	MC0_DDR2_SCSN3	F
				VDDE1V8	MC0_DDR2_A13	MC0_DDR2_WEN	MC0_DDR2_ODT1	MC0_DDR2_ODT3	G
				MC0_DDR_COMP_REF_RES	MC0_DDR2_DQ36	GNDE	MC0_DDR2_DQ32	MC0_DDR2_DQ37	H
				VDD	GNDE	MC0_DDR2_DQM4	MC0_DDR2_DQ33	MC0_DDR2_DQSN4	J
				GND	MC0_DDR2_DQ38	GNDE	MC0_DDR2_DQ39	MC0_DDR2_DQSP4	K
				MC0_DDR2_DQ35	GNDE	MC0_DDR2_DQ45	MC0_DDR2_DQ34	MC0_DDR2_DQ44	L
				VDD	MC0_DDR2_DQ46	GNDE	MC0_DDR2_DQ40	MC0_DDR2_DQ41	M
				MC0_DDR2_DQ47	GNDE	MC0_DDR2_DQ43	MC0_DDR2_DQM5	MC0_DDR2_DQSN5	N
				GND	MC0_DDR2_DQ52	GNDE	MC0_DDR2_DQ48	MC0_DDR2_DQSP5	P
				MC0_DDR2_DQ53	GNDE	MC0_DDR2_CKP4	MC0_DDR2_DQ42	MC0_DDR2_DQ49	R
				VDD	GNDE	MC0_DDR2_CKN4	MC0_DDR2_DQM6	MC0_DDR2_DQSN6	T
				MC0_DDR2_DQ54	GNDE	MC0_DDR2_CKP5	MC0_DDR2_CKN5	MC0_DDR2_DQSP6	U
				GND	MC0_DDR2_DQ55	GNDE	MC0_DDR2_DQ50	MC0_DDR2_DQ51	V
				MC0_DDR2_DQ56	MC0_DDR2_VREF	MC0_DDR2_DQ60	MC0_DDR2_DQ57	MC0_DDR2_DQSN7	W
				VDD	MC0_DDR2_DQM7	MC0_DDR2_VREF	MC0_DDR2_DQ61	MC0_DDR2_DQSP7	Y
				MC0_DDR2_DQ59	MC0_DDR2_VREF	MC0_DDR2_DQ63	MC0_DDR2_DQ62	MC0_DDR2_DQ58	AA
				VDD	GND	VDD	GND	VDD	AB
				GND	GND	VDD	GND	VDD	AC
				VDD	GND	VDD	GND	VDD	AD
				GNDE	GNDE	DDR_PLL_D_VDD	DDR_PLL_G_NDE	DDR_PLL_A_VDD	AE
GND	VDD	GND	VDD	VDDE3V3	VDDE3V3	DDR_PLL_G_ND	CORE_PLL_G_NDE	CORE_PLL_AVDD	AF
GNDE	VDDEGMAC	GNDE	VDDEGMAC	GNDE	VDDEGMAC	GNDE	CORE_PLL_G_ND	CORE_PLL_DVDD	AG
GNDE	VDDEGMAC	CLK125	VDDEGMAC	GNDE	VDDEGMAC	TESTCLK	SYSRESETN	SYSCLK	AH
GMAC0_TCTL	GMAC0_TXD2	GMAC0_TXD0	GMAC1_RXD1	GMAC1_RXD3	GMAC1_RCTL	GMAC1_TCTL	GMAC1_TXD2	MEMCLK	AJ
GMAC0_TXD3	GMAC0_TXD1	GMAC1_RXD0	GMAC1_RXD2	GMAC1_RXCLK	GMAC1_TXCLK	GMAC1_TXD3	GMAC1_TXD1	GMAC1_TXD0	AK
22	23	24	25	26	27	28	29	30	

9.2 封装尺寸

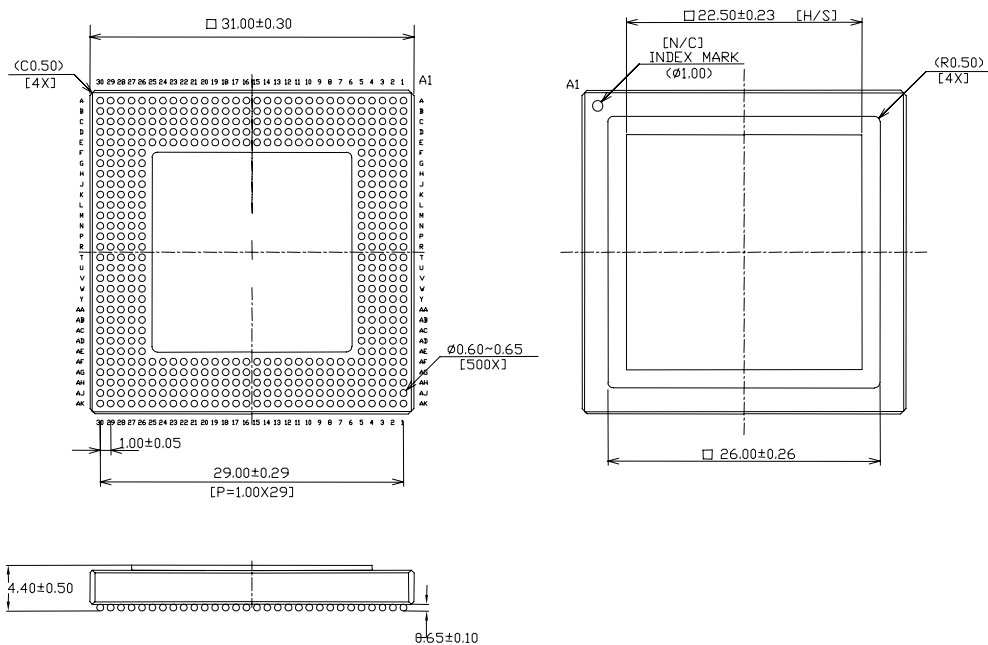


图 9.1 封装尺寸图